

動作速度가 빠른 Mo₂N/Mo 게이트 MOS 集積回路

(High Speed Mo₂N / Mo-Gate MOS Integrated Circuit)

金 鎮 燮*, 李 宇 一*, 李 大 雨**, 權 五 準**

(J. S. Kim, W. I. Lee, D. W. Lee and O. J. Kwon)

要 約

RMOS(refractory metal oxide semiconductor)의 게이트와 집적회로의 각 소자나 회로를 연결하는 연결선으로 사용되는 Mo₂N/Mo 이중층을 Ar과 N₂의 혼합가스 분위기에서 저온의 고주파 반응성스퍼터링으로 형성하였다. 1000Å-Mo₂N/4000Å-Mo 이중층의 면저항은 약 1.20~1.28Ω/□로서 다결정실리콘의 약 1/10정도가 되었다. C-V 측정으로부터 Mo₂N/Mo 이중층과 비저항이 6~9Ω·cm이고 결정면이 (100)인 p형 Si과의 일함수차 ϕ_{MS} 는 약 -0.30eV 및 산화층에 존재하는 고정전하밀도 Q_{ss}/q 는 약 $2.1 \times 10^{11}/\text{cm}^2$ 를 얻었다. 인버터 한개당의 신호전달 지연시간을 측정하기 위해 다결정실리콘게이트 NMOS 제조공정을 응용하여 45개의 인버터로 구성된 ring oscillator를 제작하였다. 본 실험에서 얻을 수 있었던 인버터 한개에 대한 신호전달지연시간은 약 0.8nsec였다.

Abstract

Mo₂N/Mo double layer which is to be used for gate of the RMOS (refractory metal oxide semiconductor) and interconnection material has been formed by means of low temperature r.f. reactive sputtering in Ar and N₂ mixture. The sheet resistance of 1000Å-Mo₂N/4000Å-Mo film was about 1.20-1.28 ohms/square, which is about an order of magnitude lower than that of polysilicon film. The workfunction difference ϕ_{MS} between Mo₂N/Mo layer and (100) p-Si with 6-9 ohm·cm resistivity obtained from C-V plots was about -0.30eV, and the fixed charge density Q_{ss}/q in the oxide was about $2.1 \times 10^{11}/\text{cm}^2$. To evaluate the signal transfer delay time per inverter stage, an integrated ring oscillator circuit consisting of 45-stage inverters was fabricated using the polysilicon gate NMOS process. The signal transfer delay time per inverter stage obtained in this experiment was about 0.8 nsec.

I. 序 論

반도체칩의 집적도를 증가시키려면 칩내부에 있는 소자의 크기와 소자간의 연결선폭을 줄여야 한다. 현재 MOS 집적회로에서는 MOSFET의 게이트나 집적회

로의 각 소자 또는 회로를 연결하는 연결선으로서 주로 고농도의 불순물이 도우핑된 다결정실리콘을 사용하고 있다. 이 다결정실리콘은 MOS 집적회로 제작공정상의 여러가지 잇점을 가지고 있으나, 입자의 크기가 비교적 큰 다결정물질이므로 고농도로 불순물물도 도우핑하여도 약 5,000Å의 두께에서 20~30Ω/□의 높은 면저항을 나타낸다. 그러므로 집적도를 높이기 위해서 게이트의 폭이나 연결선의 폭을 줄이면 회로의 RC 시정수가 증가하게 되므로 회로의 신호전송지연시간(signal transfer delay time)이 커지게 된다. 그리고

*正會員, 慶北大學校 工科學 電子工學科
(Dept. of Electron. Eng., Kyungpook National Univ.)

**正會員, 韓國電子通信研究所
(Electronics & Telecommunications Research Institute)
接受日字: 1985年 3月 4日

패턴부식의 측면에서 볼때도 다결정실리콘의 경우 $2\mu\text{m}$ 이하의 미세패턴을 재현성 있게 얻기 어렵다.¹¹ 이러한 문제들을 해결하기 위하여 최근에는 다결정실리콘보다 비저항이 훨씬 작은 refractory 금속과 실리콘의 합금(refractory silicide)이나 refractory 금속을 게이트 또는 소자간을 연결하는 연결선으로 사용하는 연구가 활발하게 이루어지고 있다.¹²⁻¹⁴

몰리브데늄을 게이트로 하는 소자에 대해서는 1968년 Brown¹⁵ 등에 의해 최초로 연구 보고된 바 있다. 몰리브데늄은 녹는점이 약 $2,600^\circ\text{C}$ 로 높고, 붕소(B)나 인(P) 등의 불순물화산과 이온주입에 대한 마스크 역할을 하므로 몰리브데늄을 게이트물질로 사용하면 다결정실리콘의 경우와 같이 게이트가 자기정렬 되는 MOSFET를 제작할 수 있고, MOS집적회로의 연결선으로 사용하면 비저항이 작아서 회로의 신호전달지연 시간을 다결정실리콘에서보다 훨씬 줄일 수 있다.¹⁶⁻⁸ 또한 $n^+ - \text{Si}$ 과 몰리브데늄의 접촉저항은 약 $1.5 \times 10^{-7} \Omega \cdot \text{cm}^2$ 로서 알루미늄과 $n^+ - \text{Si}$ 의 접촉 저항 $3.7 \times 10^{-6} \Omega \cdot \text{cm}^2$ 보다 훨씬 작다.¹⁴ 그러나 앞에서 언급한 바와 같이 몰리브데늄의 많은 잇점에도 불구하고 지금까지 널리 사용되지 못한 이유는 몰리브데늄의 표면이 self-passivation되지 않아 산화가 잘되기 때문이다. 이러한 취약성을 보완하기 위해 최근에는 Mo박막의 면저항을 크게 증가시키지 않으면서 산화가 잘 되지 않게 Mo표면을 질화몰리브데늄(molybdenum nitride) 막으로 보호하는 연구가 행해지고 있다. 질화몰리브데늄을 형성시키는 방법으로는 스퍼터링한 몰리브데늄을 NH_3 분위기에서 열질화(thermal nitridation) 시키는 것이 보고된 바 있다.¹⁹

본 실험에서는 지난번 보고¹⁰에 이어서 저온의 반응성스퍼터링으로 형성시킨 $\text{Mo}_2\text{N}/\text{Mo}$ 이중층을 게이트로 하는 MOS커패시터의 C-V특성을 조사하고, 이것을 MOS 집적회로의 게이트와 연결선으로 하여 제작한 MOS소자와 ring oscillator의 특성을 조사하였다.

II. 실험

1. $\text{Mo}_2\text{N}/\text{Mo}$ 게이트 MOS커패시터의 제작 및 C-V 특성 측정

게이트가 $\text{Mo}_2\text{N}/\text{Mo}$ 이중층으로된 MOS 커패시터를 제작하기 위해 사용한 기판은 비저항이 $6 \sim 9 \Omega \cdot \text{cm}$ 이고 결정면이 (100)인 p형 실리콘 단결정웨이퍼였다. 이 기판을 건식산화와 TCE게터링을 시켜 SiO_2 층을 성장시킨 뒤 표 1의 조건으로 Mo를 $2,000\text{\AA}$ 정도 스퍼터링하고, 그 위에 약 5%의 N_2 농도로 Mo를 반응성스퍼터링하여 약 $1,000\text{\AA}$ 의 Mo_2N 층을 형성시켜 $\text{Mo}_2\text{N}/\text{Mo}/\text{SiO}_2/\text{p-Si}$ 구조를 하는 MOS커패시터를 제작하였다.¹⁰⁾

표 1. 고주파 스퍼터링 조건

Table 1. Radio-frequency sputtering condition.

	Molybdenum	Molybdenum Nitride
Power	150 watt	150 watt
Plate Voltage	3.4 kV	3.4 Kv
Plate Current	200~230 mA	200~230 mA
Target Size	4"	4"
Cathode-Anode Spacing	3.8cm	3.8cm
Initial Vacuum	6×10^{-6} torr	6×10^{-6} torr
Working Atmosphere	Ar : 5 SCCM	Ar : 10 SCCM N ₂ : 0.5 SCCM
Working Vacuum	3×10^{-2} torr	3×10^{-2} torr
Substrate Temperature	Room Temperature	Room Temperature
Film Thickness	2000Å	1000Å

$\text{Mo}_2\text{N}/\text{Mo}$ 이중층과 기판사이의 일함수차 ϕ_{ms} 를 구하기 위해 산화층의 두께를 여러가지로 변화시켰다. 이때 커패시터의 산화층을 두께에 따라 각각 성장시킨 산화층의 고정전하밀도(fixed oxide charge density) Q_{ss}/q 가 산화층의 두께에 따라 변하므로 $2,000\text{\AA}$ 정도의 두꺼운 산화층을 성장시킨 뒤 BHF 용액을 사용하여 여러가지 두께로 부식하였다.¹¹⁾

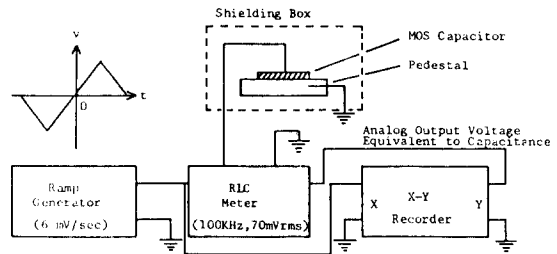


그림 1. C-V 특성 측정 장치

Fig. 1. Measurement set-up for C-V characteristics.

제작한 MOS커패시터를 그림 1과 같은 장치로 C-V 특성을 측정하였다. 신호발생기를 사용하여 $6\text{mV}/\text{sec}$ 의 느린 램프(ramp) 전압을 MOS커패시터의 게이트와 X-Y기록계의 X단자에 연결하고, RLC미터로 측정된 커패시터의 용량에 대한 등가출력전압을 Y단자에 연결하였다. 여기서 RLC미터의 측정소신호는 100kHz , 70mVrms 였다.

2. Ring Oscillator의 제작

집적회로에서 신호전달지연시간을 측정하기 위해 45개의 인버터로 구성된 ring oscillator를 제작하였다. 인버터의 구동 MOSFET는 채널의 폭과 길이가 각각

12 μ m와 5 μ m인 enhancement MOSFET($K_a=W_d/L_d=12/5$)로 하고, 부하MOSFET는 채널의 폭과 길이가 각각 6 μ m와 20 μ m인 depletion MOSFET($K_i=W_i/L_i=6/20$)로 하여 형상계수비(K_a/K_i)가 8이 되게 하였다.^[12]

Ring oscillator를 제작하기 위한 공정은 다결정실리콘 게이트 NMOS 집적회로 제작공정^[12]을 응용한 것으로서 그림 2에 나타내었다. 기판으로는 비저항이 6~9 $\Omega\cdot$ cm이고 결정면이 (100)인 p형 실리콘단결정 웨이퍼를 사용하였다.

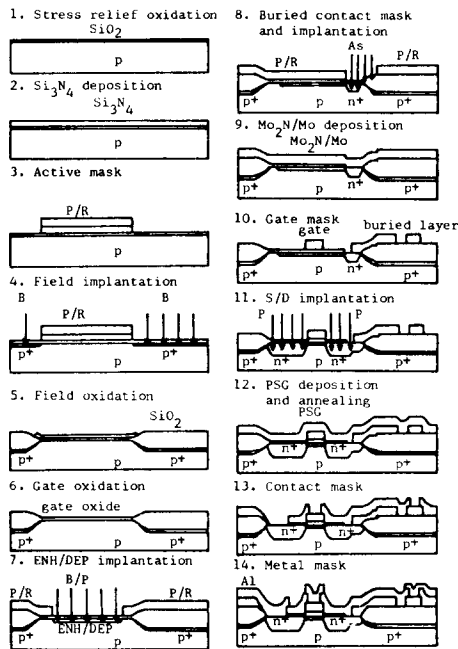


그림 2. Ring oscillator 제작공정
Fig. 2. Process sequence for the fabrication of ring oscillator.

먼저 웨이퍼를 세척하고 field 산화층 성장과정에서 발생하는 스트레스를 감소시켜주기 위해 건식산화법으로 약 800 \AA 정도의 산화막을 성장시켰다. 그 다음 활성영역을 결정하기 위하여 field 산화막위에 Si₃N₄막을 CVD법으로 약 1,200 \AA 의 두께로 증착하고, active mask를 사용하여 활성영역이 아닌 부분을 CF₄로 플라즈마부식하였다.

Field 산화층의 문턱전압을 높이기 위해 붕소를 웨이퍼전면에 주입시켰으며 이때 이온주입에너지와 주입량은 각각 70 keV 및 1.2 $\times 10^{13}/\text{cm}^2$ 였다. field의 이온주입이 끝난 뒤 120 $^{\circ}$ C의 H₂SO₄:H₂O₂=4:1용액으로

감광막을 제거하고 약 1 μ m 두께의 field 산화층을 성장시켰다. 활성영역에 남아있는 Si₃N₄와 산화막을 플라즈마부식으로 제거하고 세척한 다음 건식산화와 TCE 게터링을 병행하여 약 900 \AA 의 게이트산화층을 성장시켰다. Enhancement MOSFET의 문턱전압을 조정하기 위하여 붕소를 50 keV의 에너지로 활성영역전면에 이온주입하였으며 이때 주입량은 5 $\times 10^{10}/\text{cm}^2$ 로 하였다. 또한 depletion MOSFET의 문턱전압을 조정하기 위해서는 depletion 이온주입 마스크로 depletion 영역에만 인을 55 keV의 에너지로 이온주입하였으며 주입량은 1.8~2.2 $\times 10^{12}/\text{cm}^2$ 로 변화시켰다.

Buried contact을 위한 비소의 이온주입을 하기 위해 buried contact 마스크를 사용하여 900 \AA 의 건식산화막을 약 500 \AA 의 두께로 부식하였다. 이때 이온주입 에너지와 주입량은 각각 100 keV 및 5 $\times 10^{15}/\text{cm}^2$ 였다. 여기서 500 \AA 의 산화막을 남겨둔채로 이온주입하는 이유는 이온주입시 실리콘표면이 손상되는 것을 방지하기 위함이다. Buried contact을 위한 이온주입이 끝나면 나머지 500 \AA 의 산화막을 부식하고 감광막을 제거하였다.

게이트와 연결선의 패턴을 형성하기 위해 표 1의 조건으로 Mo와 Mo₂N층을 각각 약 4,000 \AA 및 1,000 \AA 의 두께로 고주파 스퍼터링하였으며, Mo₂N층을 스퍼터링할 때 Ar과 N₂의 유량을 각각 10SCCM 및 0.5 SCCM으로 하여 N₂의 농도를 약 5%가 되게 하였다.^[10] 그리고 게이트마스크를 사용하여 H₃PO₄:HNO₃=96:4 용액으로 게이트와 연결선의 패턴을 결정하고, 감광막을 제거하였다.^[7] 그 다음에 buried contact 이온주입에서와 같이 약 500 \AA 의 게이트산화층을 둔채로 소오스와 드레인에 인을 이온주입하였다. 소오스와 드레인의 이온주입에너지와 주입량은 각각 100 keV 및 5 $\times 10^{15}/\text{cm}^2$ 였다. 이 위에 PSG를 약 1 μ m 정도 증착하고 이온주입에 대한 열처리를 950 $^{\circ}$ C의 질소분위기에서 약 60분간 하였다. 이 열처리과정에서 소오스와 드레인 및 buried contact의 접합 깊이와 면저항이 결정되는데 본 실험에서는 접합의 깊이를 1 μ m 이하로 하였다. 열처리가 끝난 후 알루미늄 접촉마스크로 접촉창을 결정하고 플라즈마부식을 하였다. 알루미늄은 전자선 가열증착기로 3 $\times 10^{-4}$ torr의 진공에서 약 1 μ m의 두께로 증착하였다. 금속마스크로 알루미늄패드의 패턴을 결정하고 질소와 수소가 4:1의 비율로 혼합된 분위기에서 450 $^{\circ}$ C로 30분간 열처리하였다. 그림 3은 제작한 ring oscillator의 현미경 사진이다.

III. 결과 및 고찰

1. Mo₂N/Mo 게이트 MOS 커패시터의 C-V 특성
그림 1의 장치로 게이트산화층의 두께가 약 1,000 \AA

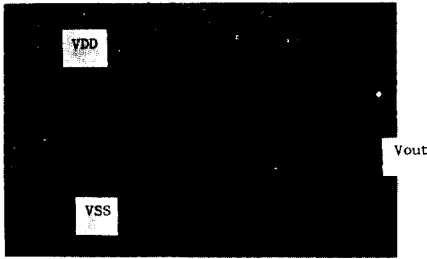


그림 3. Ring oscillator의 현미경사진
Fig. 3. Microphotograph of the ring oscillator.

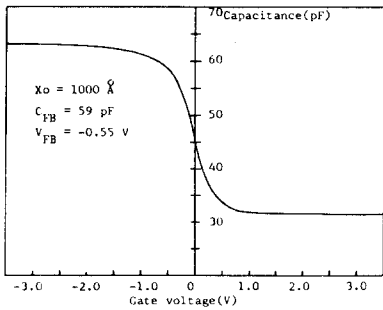


그림 4. Mo₂N/Mo게이트 MOS캐패시터의 C-V특성
Fig. 4. C-V plot of the Mo₂N/Mo-gate MOS capacitor.

인 MOS캐패시터에 대한 C-V곡선을 그림 4에 나타내었다. MOS캐패시터의 flat-band용량 C_{FB}는 게이트의 산화막용량 C₀와 반전층이 형성되었을 때 캐패시터용량 C_∞의 관계식¹³⁾

$$\frac{C_0 - C_{FB}}{C_0 - C_\infty} = \frac{C_0}{C_0 + C_\infty [2\sqrt{q_n(N_A/N_i)} - 1]} \quad (1)$$

으로부터 계산된다. 여기서 N_i는 진성반송자의 농도인데 N_i² = 1.5 × 10²³ · T³ · exp[-1.2/kT]로 주어지고, N_A는 기판의 불순물농도로써 본 실험에서 사용한 p형 Si 기판의 비저항이 6~9Ω·cm이므로 약 2 × 10¹⁵/cm³였다.¹⁴⁾ 이 값들을 식(1)에 대입하면 실온에서 식(2)로 표시된다.

$$\frac{C_0 - C_{FB}}{C_0 - C_\infty} \approx \frac{C_0}{C_0 + 6C_\infty} \quad (2)$$

그림 4의 경우 식(2)로 구한 C_{FB}는 약 59pF 이었고 이것에 대응하는 flat-band전압 V_{FB}는 -0.55V였다. 그리고 캐패시터의 문턱전압은 약 0.50V로서 양(+)의 값을 나타내었다.

Mo₂N/Mo게이트와 기판사이의 일함수차 φ_{MS}를 구하기 위해 산화층의 두께를 여러가지로 변화시켜 MOS 캐패시터를 제작하여 C-V특성을 측정하고, 식(2)로

부터 얻은 각각의 산화층두께에 대한 MOS캐패시터의 flat-band전압 V_{FB}를 그림 5에 나타내었다. 산화층의 두께 X₀와 flat-band전압 V_{FB}와의 관계는

$$V_{FB} = \phi_{MS} - \frac{Q_{SS}}{K\epsilon_0} X_0 \quad (3)$$

로 주어진다.¹⁷⁾ 여기서 Q_{SS}는 산화층에 존재하는 고정전하의 총합이고, ε₀는 진공의 유전율이며 K는 산화층의 비유전율이다. 그림 5로 부터 구한 일함수차 φ_{MS} 즉 X₀ = 0 일때의 V_{FB}는 약 -0.30V였으며, 또한 그림 5의 기울기로 부터 계산한 고정전하밀도 Q_{SS}/q는 약 2.1 × 10¹¹/cm²로서 비교적 큰 값을 나타내었다. 최근 Aitken^{15,16)} 등이 보고한 바에 의하면 고주파 스캐터링을 할 때 발생하는 전자, 스캐터링가스이온, 스캐터링된 금속이온 및 표적으로 부터 방출되는 X선과 자의선 등이 산화층의 고정전하밀도와 경계면상태밀도(interface state density)를 증가시킨다고 하였다. 본 실험에서 고정전하밀도가 큰 이유도 이들 때문인 것으로 생각한다.

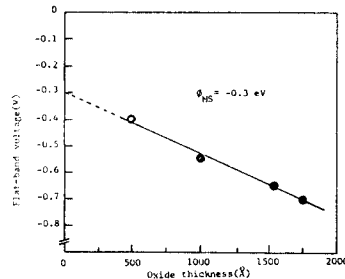


그림 5. 산화층의 두께에 따른 flat-band 전압변화
Fig. 5. Flat-band voltage versus oxide thickness.

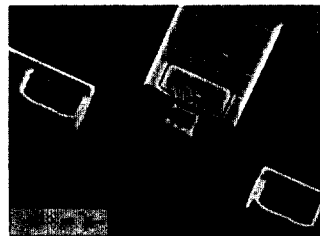


그림 6. Mo₂N/Mo게이트 MOSFET
Fig. 6. Mo₂N/Mo-gate MOSFET.

2. Ring Oscillator의 특성

다결정실리콘 게이트 NMOS제작공정을 응용하여 제작한 Mo₂N/Mo게이트 MOSFET는 그림 6과 같다. 채널에 문턱전압조정을 위한 이온주입을 하지 않았을 경

우와, 문턱전압을 조정하기 위해서 채널에 붕소와 인을 각각 50 keV 및 55 keV의 주입에너지와 $5.0 \times 10^{16}/\text{cm}^2$ 및 $2.0 \times 10^{15}/\text{cm}^2$ 의 주입량으로 이온주입을 하였을 경우 enhancement MOSFET와 depletion MOSFET의 개략적인 문턱전압은 표 2와 같았다. 표 2에서와 같

표 2. Enhancement 및 depletion MOSFET의 문턱전압

Table 2. Threshold voltages of enhancement and depletion MOSFET.

Boron Dose (cm^{-2})	Phosphorus Dose (cm^{-2})	V_{TE} (V)		V_{TD} (V)	
		W/L		W/L	
		100/100	12/5	100/100	12/5
-	-	0.84	0.70	0.92	0.65
5.0×10^{16}	2.0×10^{15}	1.33	1.19	-0.38	-0.70

이 문턱전압조정을 위한 이온주입을 하지 않았을 경우도 앞에서 언급한 MOS캐패시터와 같이 MOSFET가 양(+)의 문턱전압을 나타내었다. 그림 7은 ring oscillator를 구성하는 인버터의 구동 및 부하 MOSFET에 대한 I_b-V_D 특성곡선이다. 그림 7(a)의 구동 및 그림 7(b)의 부하 MOSFET에 대한 문턱전압은 각각 0.6V 및 -1.0V였다.

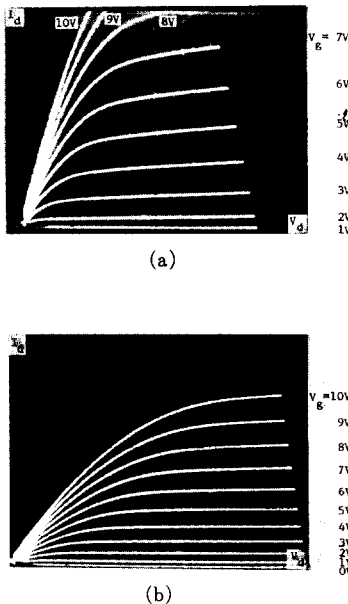


그림 7. (a) 구동 및 (b) 부하 MOSFET의 I_b-V_D 특성곡선
Fig. 7. I_b-V_D characteristics of (a) drive and (b) load MOSFETs.

소오스와 드레인에는 인(P)을, buried contact 부분에는 비소(As)를 각각 100 keV의 주입에너지와 $5 \times 10^{14}/\text{cm}^2$ 의 주입량으로 이온주입한 후, 950°C의 질소분위기에서 불순물확산을 하였을 때 인과 비소에 대해 확산시간에 따른 접합깊이 및 확산층의 면저항변화를 각각 그림 8과 그림 9에 나타내었다. 본 실험에서는 접합의 깊이와 확산층의 면저항을 고려하여 불순물확산시간을 약 60분간으로 하였다. 이때 인과 비소확산

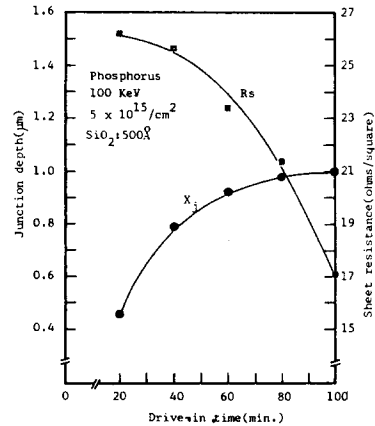


그림 8. 인을 이온주입 하였을 때 drive-in 시간에 대한 접합깊이 및 면저항의 변화
Fig. 8. Junction depth and sheet resistance versus drive-in time in the case of phosphorus implantation.

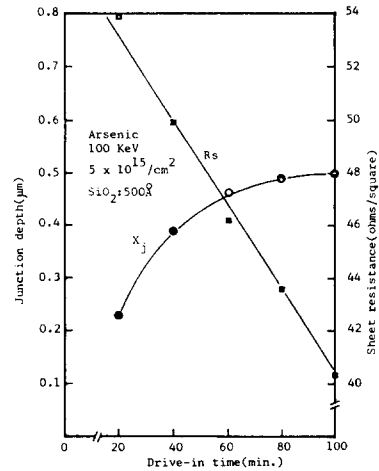


그림 9. 비소를 이온주입하였을 때 drive-in 시간에 대한 접합깊이 및 면저항의 변화
Fig. 9. Junction depth and sheet resistance versus drive-in time in the case of arsenic implantation.

층의 면저항은 각각 약 $23.4\Omega/\square$ 및 $46.2\Omega/\square$ 였으며 접합의 깊이는 약 $0.92\mu\text{m}$ 및 $0.45\mu\text{m}$ 였다.

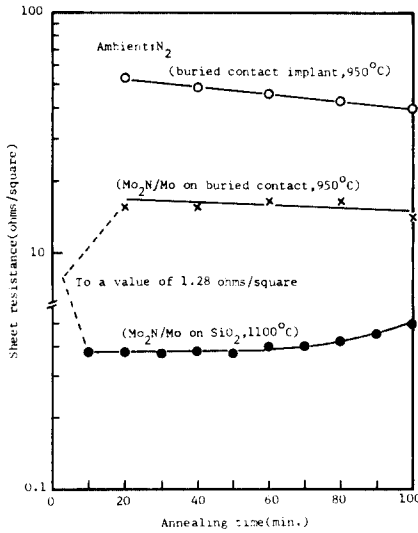


그림 10. 열처리시간에 대한 buried contact부분의 $\text{Mo}_2\text{N}/\text{Mo}$ 면저항 변화

Fig. 10. $\text{Mo}_2\text{N}/\text{Mo}$ sheet resistance of buried contact region versus annealing time.

그림 10은 buried contact을 위한 이온주입과 buried contact부분에 있는 $\text{Mo}_2\text{N}/\text{Mo}$ 및 SiO_2 층 위의 $\text{Mo}_2\text{N}/\text{Mo}$ 이중층에 대한 열처리시간에 따른 면저항변화를 나타내고 있다. Mo과 $n^+\text{-Si}$ 의 buried contact 부분에서 $\text{Mo}_2\text{N}/\text{Mo}$ 이중층의 면저항은 N_2 분위기에서 950°C 로 열처리하였을 때 그림 10과 같이 약 $16\Omega/\square$ 정도로 열처리전의 $1.28\Omega/\square$ 보다 큰 값을 나타내었고, 열처리시간에 대해서는 면저항의 변화가 크게 나타나지 않았다. 열처리후 buried contact부분의 $\text{Mo}_2\text{N}/\text{Mo}$ 이중층의 면저항이 증가하는 이유는 몰리브데늄과 실리콘이 반응하여 몰리브데늄층이 소모되고, 몰리브데늄과 실리콘의 경계면에 비저항이 비교적 큰 몰리브데늄 규화물이 형성되기 때문이다. 몰리브데늄의 경우는 다른 refractory 금속보다 높은 온도 (600°C 이상)에서 실리콘과 반응하여 몰리브데늄규화물이 형성되며, 반응속도는 몰리브데늄과 실리콘 사이에 SiO_2 층의 존재여부 및 반응시킬 때 사용하는 분위기가스에 의해서 크게 영향을 받는다.^{[17],[18]} 그림 10에서 열처리시간에 따른 buried contact부분의 $\text{Mo}_2\text{N}/\text{Mo}$ 면저항이 비교적 큰 원인은 앞에서 언급한 SiO_2 층 때문인 것으로 생각되며 열처리를 H_2 분위기에서 한다면 SiO_2 층이 환원되어 더 작은 면저항을 얻을 수 있으리라 생각한다. 본 실험에서 950°C 로

60분간 열처리했을 때 몰리브데늄과 $n^+\text{-Si}$ 의 접촉저항은 $5 \times 5\mu\text{m}^2$ 크기의 접촉창에서 약 10Ω 정도가 되었다.

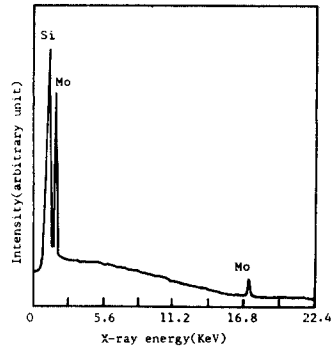


그림 11. Mo과 Si경계면의 X선 에너지 스펙트럼

Fig. 11. X-ray energy spectrum of Mo and Si interface.

몰리브데늄과 실리콘의 경계면을 XES(X-ray energy spectrometry)로 측정된 결과를 그림 11에 나타내었다. XES의 측정결과로부터 몰리브데늄과 실리콘의 경계면에서 몰리브데늄규화물이 형성된 것을 알 수 있었으나 정량적인 해석은 할 수 없었다.

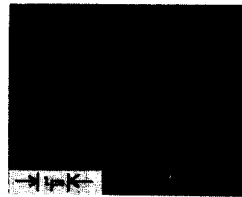
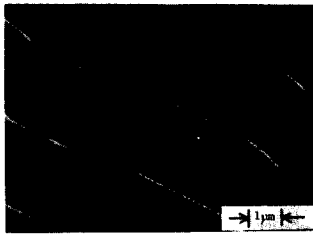


그림 12. Buried contact 부분의 SEM 사진

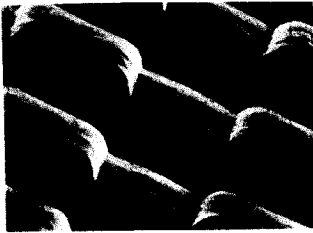
Fig. 12. SEM photograph of buried contact region.

그림 12는 60분간 열처리한 buried contact 부분에서 실리콘과 반응하고 남은 몰리브데늄을 제거한 후 SEM 촬영한 것으로 전형적인 refractory 금속규화물의 표면에 나타나는 noodle을 볼 수 있다.^[18]

그림 13은 약 $5,000\text{\AA}$ 의 $\text{Mo}_2\text{N}/\text{Mo}$ 이중층과 약 $1\mu\text{m}$ 의 알루미늄에 대한 step coverage를 보여주고 있다. 알루미늄에서는 450°C 의 열처리후 미세균열을 볼 수 있으나 $\text{Mo}_2\text{N}/\text{Mo}$ 이중층에서는 950°C 의 열처리후에도 미세균열이 나타나지 않았으며, 박막의 표면상태도 $\text{Mo}_2\text{N}/\text{Mo}$ 이중층의 경우가 알루미늄의 경우보다 훨씬 평탄하다.



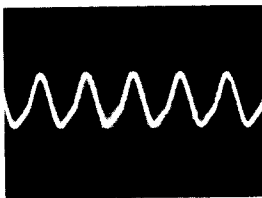
(a)



(b)

그림13. (a) Mo₂N/Mo 이중층 및 (b) 알루미늄의 step coverage

Fig.13. Step coverages of (a) Mo₂N/Mo double layer and (b) Al layer.



X: 50nsec/div.
Y: 2V/div.

그림14. Ring oscillator의 출력파형

Fig.14. Output waveform of the ring oscillator.

본 실험에서 제작한 ring oscillator의 V_{DD}에 5V를 인가하여 측정한 출력파형을 그림14에 나타내었다. 출력파형의 주기는 약 70nsec로서 인버터 한개에 대한 신호전달 지연시간은 약 0.8nsec였다.

IV. 結 論

저온의 고주파 반응성스퍼터링한 Mo₂N/Mo 이중층과 비저항이 6~9Ω·cm이고 결정면이 (100)인 p형 실리콘단결정 웨이퍼와의 일함수차는 약 -0.30eV였으며, Mo₂N/Mo 게이트 MOS 커패시터는 양(+)의 문턱전압을 나타내었다. MOS 집적회로의 게이트와 연결선으로 Mo₂N/Mo 이중층을 사용하고, 다결정실리콘 게이트 NMOS 제작공정을 응용하여 45개의 인버터로 구성된

ring oscillator를 제작하였다. 여기서 제작한 MOSFET의 경우도 문턱전압조정을 위한 이온주입을 하지 않았을 때 MOS 커패시터의 경우와 같이 양(+)의 문턱전압을 나타내었다. 본 실험에서 제작한 ring oscillator 출력파형의 주기는 약 70nsec로서 인버터 한개당 신호전달지연시간은 약 0.8nsec였으며, 이것은 다결정실리콘을 게이트와 연결선으로 사용하였을 경우보다 훨씬 작은 값이다.

參 考 文 獻

- [1] S.P. Muraka, *Silicides for VLSI Applications*, New York, Academic Press, pp. 9-14, 1983.
- [2] Henry J. Geipel, Ning Hsieh, Mousa H. Ishaq, Charles W. Koburger and Francis R. White, "Composite silicide gate electrodes-interconnections for VLSI device technologies," *IEEE J. Solid-State Circuits*, vol. SC-15, no. 4, pp. 481-489, 1980.
- [3] T. Paul Chow and Andrew J. Steckl, "Refractory metal silicides: thin film properties and processing technology," *IEEE Trans. on Electron Devices*, vol. ED-30, no. 11, pp. 1480-1496, 1983.
- [4] John Y. Chen and Lynette B. Roth, *Refractory Metals and Metal Silicide for VLSI Devices*. Solid-State Technology, pp. 145-149, August 1984.
- [5] D.M. Brown, W.E. Engler, M. Garfinkel and P.V. Gray, "Self-registered molybdenum-gate MOSFET," *J. Electrochem. Soc.: Solid State Science*, vol. 115, no. 8, pp. 874-876, 1968.
- [6] Ahmed El-Hoshy, Dale M. Brown and William E. Engler, "Molybdenum films as partial diffusion masks in MOS processing," *Appl. Phys. Lett.*, vol. 17, no. 6, pp. 261-263, 1970.
- [7] Manjin J. Kim and Dale M. Brown, "Mo₂N/Mo-gate MOSFETs," *IEEE Trans. on Electron Devices*, vol. ED-30, no. 6, pp. 598-602, 1983.
- [8] William E. Engler and Dale M. Brown, "Performance of refractory metal multi-level interconnection system," *IEEE Trans. on Electron Devices*, vol. ED-19, no. 1, pp. 54-61, 1972.
- [9] M.J. Kim, D.M. Brown and W. Katz,

- “Molybdenum nitride film formation,” *J. Electrochem. Soc.: Solid-State Science and Technology*, vol. 130, no. 5, pp. 1196-1200, 1983.
- [10] Jin Sup Kim, Jong Hyun Lee, Duk Dong Lee and Wu Il Lee, “Fabrication of self-aligned $\text{Mo}_2\text{N}/\text{Mo}$ -gate MOSFET and its characteristics,” *KIEE* vol. 21, no. 6, pp. 34-41, 1984.
- [11] H.P. Vyas, G.D. Kirchner and S.J. Lee, “Fixed charge density (Q_{ss}) at the Si-SiO₂ interface for thin oxides,” *J. Electrochem. Soc.: Solid State Science and Technology*, vol. 129, no. 8, pp. 1757-1760, 1982.
- [12] 이종덕등, “4K Static RAM Test Chip 제조 및 Mask 준비,” 한국전자기술연구소 (KIET), 연구보고서, 1982.
- [13] K. Lehovec, “Rapid evaluation of C-V plots for MOS structures,” *Solid-State Electronics*, vol. 11, pp. 135-137, 1968.
- [14] Richard S. Muller and Theodore I. Kamins, *Device Electronics for Integrated Circuits*, New York, John Wiley and Sons, pp. 24, 1977.
- [15] J.M. Aitken, “Annealing of radiation-induced positive charge in MOS devices with aluminum and polysilicon gate contact,” *J. Electronic Materials*, vol. 9, no. 3, pp. 639-649, 1980.
- [16] Minoru Noda, Masanori Okuyama and Yoshihiro Hamakawa, “Carrier trapping centers and interface state induced by r.f. sputtering of molybdenum electrodes in MOS-structure diodes,” *Solid-State Electronics*, vol. 27, no. 5, pp. 399-406, 1984.
- [17] R.W. Bower and J.W. Mayer, “Growth kinetics observed in the formation of metal silicides on silicon,” *Appl. Phys. Lett.*, vol. 20, no. 9, pp. 359-361, 1972.
- [18] G. Pelous and A. Martinez, “Reaction kinetics of molybdenum thin films on silicon (111) surface,” *J. Appl. Phys.*, vol. 49, no. 1, pp. 233-237, 1978.