

VTR 서-보 위상제어용 집적회로의 설계 및 제작

(Design and Fabrication of VTR Servo Phase Control IC)

裴政烈*, 吳昌竣*, 朴柱成*, 李振孝*

(Jeong Ryeol Bae, Chang Jun Oh, Ju Sung Park and Jin Hyo Lee)

要 約

본 논문은 VTR servo계의 위상을 제어하는 위상제어용 집적회로의 설계 및 제작에 대하여 기술한다. 6 μ m 설계법칙을 적용하여 설계하였으며 칩의 크기는 3.6 \times 3.55mm²이다.

SBC공정, analog-compatible I²L 공정 및 이중금속배선공정을 이용하여 집적회로를 제작하였다. 그 결과 D.C특성 및 위상제어기능이 만족스러운 집적회로의 제작에 성공하였다.

Abstract

This paper describes the design and fabrication of an integrated circuit which controls the phase of VTR servo systems.

The integrated circuit was designed using 6 μ m design rule and its chip size is 3.6 x 3.55 mm².

On the other hand it was fabricated using SBC, analog-compatible I²L and double layer metal fabrication process technology.

As a result, we succeeded in fabrication of IC which satisfied D. C. characteristics and phase control function.

I. 序 論

종래의 home VTR은 교류동기 motor를 사용하여 부피는 비록 크지만 신뢰도가 높고 간단한 servo회로도 동작이 가능하였다. 그러나 근래에는 소형, 경량화에 대한 요구증대와 복합기능의 필요성으로 인해 직류 motor로 대체하여 사용되고 있다. 직류 motor는 부하 및 인가전압의 변동이 생기고 motor의 회전수와 위상

이 변화하는바 이에 대한 제어가 불가피하다.

VTR system에는 magnetic tape의 주행을 제어하기 위한 capstan servo system과 head를 포함하고 있는 drum의 회전을 제어하기 위한 drum servo system이 있는데 본 연구에서 설계, 제작한 위상제어용 IC는 analog 방식으로 위상을 제어하는 위상제어제로서 drum motor PLL, capstan motor PLL 및 reference 30Hz generator로 구성되어 있다.

*正會員, 韓國電子技術研究所

(Korea Institute of Electronics Technology)

接受日字: 1984年 12月 10日

(※ 본 연구는 과학기술처에서 시행한 82, 83년도 기업주도형 특정연구과제 (N8211-1, N8304-F)의 일부임)

II. ANALOG 위상제어

Analog 방식에 의한 위상제어 방식으로 sample pulse에 의해 trapezoid 파형의 전압을 sample하여 motor의 회전수가 정상일 때의 전압과의 error voltage에 의해 위상을 조절하는 방식을 택했는데 그 원리는 그

림 1 과 같다.¹¹⁾

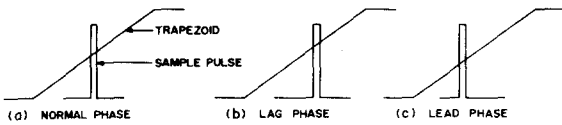


그림 1. 아날로그 위상 제어방식
Fig. 1. Analog phase control method.

여기에서 기준신호는 trapezoid 파형이고 비교신호는 sample pulse이다.

Motor의 회전이 정상일 경우는 그림 1 (a)와 같다.

Motor의 회전수가 감소하면 비교신호인 sample pulse의 위상이 늦어진다. 그림 1 (b)와 같이 sample pulse가 늦게 나타남으로써 trapezoid 파형의 sample voltage가 커지고 error voltage가 증가하여 motor의 회전수가 증가된다.

Motor의 회전수가 증가하면 sample pulse의 위상이 빨라진다. 그림 1 (c)와 같이 sample pulse가 빨리 나타남으로써 trapezoid 파형의 sample voltage가 작아지고 error voltage가 감소하여 motor의 회전수가 감소된다.

이렇게 함으로써 motor의 회전수를 정상속도와 같아지게 조절하여 motor의 위상을 일정하게 유지시켜준다.

III. IC설계

설계된 IC의 전체적인 block diagram은 그림 2와 같다.

쿨은선은 REC mode와 PB mode 공용이며 가는선은 REC mode시만 사용하고 점선은 PB mode시만 사용한다.

각각의 경우를 간단히 설명한다.

1. Record Mode

Drum motor PLL의 경우 수직동기신호를 기준신호로, drum tacho pulse를 비교신호로 사용했으며 capstan motor PLL의 경우 reference 30Hz pulse를 기준신호로 capstan tacho pulse를 비교신호로 사용했는데¹²⁾ REC mode의 block diagram은 그림 3과 같다.

그림 3에서 각 부분 파형의 timing diagram은 그림 4, 5와 같다.

그림 4 (a)와 같은 DTP(drum tacho pulse)는 DTP AMP에서 증폭되고(그림 4 (b), (c)) M. M. (Monostable Multivibrator)에서 delay된 후(그림 4 (d), (e)) F. F. (Flip Flop)에 가해져 그림 4 (f)와 같은 30Hz 구형파가 된다. 이 구형파가 trapezoid circuit에 가해지면 그림 4 (g)와 같은 trapezoid 파형이 되어 비교신호로 사용되는데 trapezoid circuit은 그림 6과 같다.

Input이 high이면 Q₂, Q₃, Q₄는 off되고 Q₁은 on되어 C₁의 전하가 Q₁을 통해 discharge된다. input이 low이면 Q₂, Q₃, Q₄는 on되고 Q₁은 off되어 Q₄를 통해 C₁에 전하가 charge된다. 이 경우 trapezoid 파형의 high limit voltage(V_H), low limit voltage(V_L) 및 capacitor의 용량 C와 전류 I의 관계는 다음과 같다.

$$V_H = V_{cc} - IR - V_{CE, sat} \quad (1)$$

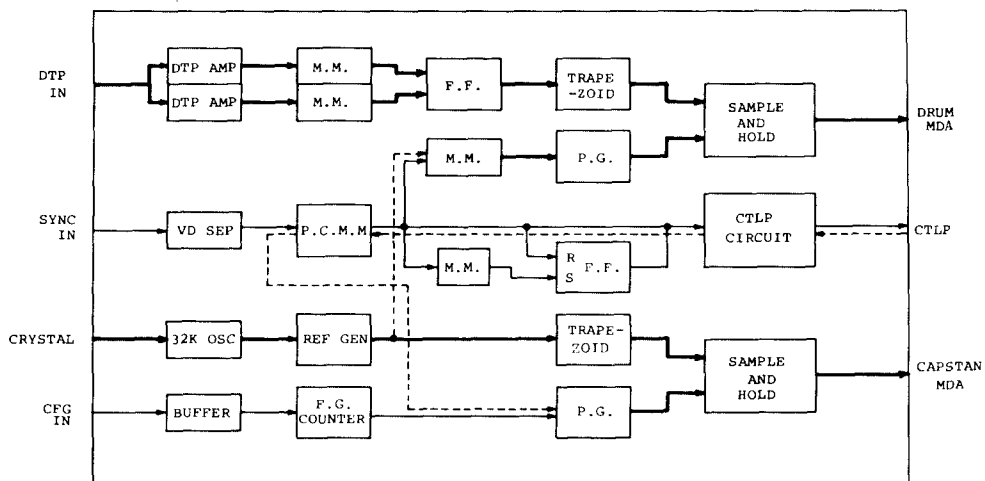


그림 2. 전체 블록 다이어그램
Fig. 2. Whole block diagram.

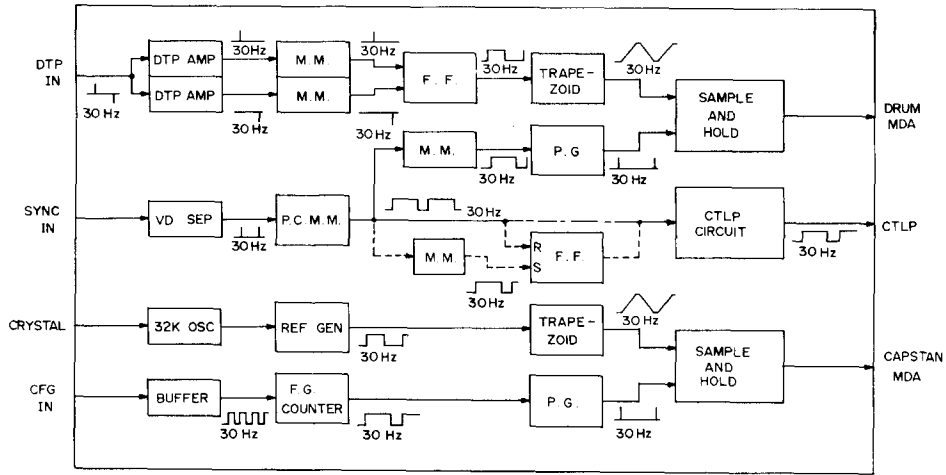


그림 3. 녹화시 블록 다이어그램
Fig. 3. Block diagram in REC mode.

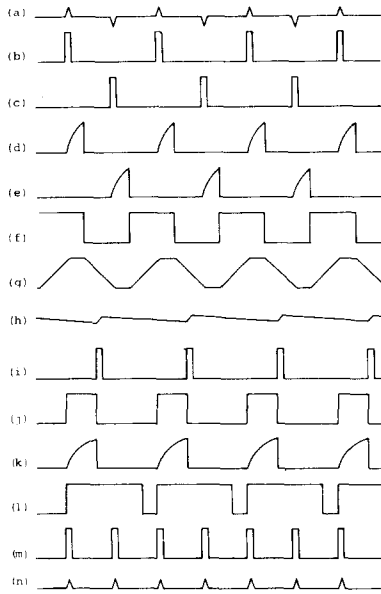


그림 4. 녹화시 드럼 모터의 타이밍 다이어그램
Fig. 4. Timing diagram of drum motor PLL in REC mode.

$$V_L = V_A + 2V_D - V_{BE} \quad (2)$$

$$t_t = \frac{C(V_H - V_L)}{I} < \frac{1}{30} \times \frac{1}{2}$$

$$C < \frac{I}{(V_H - V_L)} \times \frac{1}{30} \times \frac{1}{2} \quad (3)$$

60Hz 수직동기신호는(그림 4 (n)) VD SEP(vertical drive separator)에서 파형정형 되어 그림 4(m)과 같이 되고 P.C.M.M. (pulse count monostable

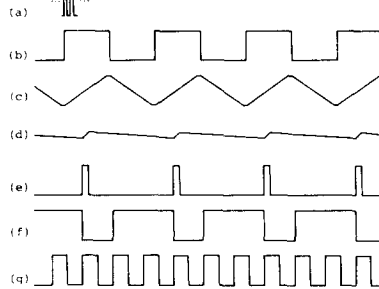


그림 5. 녹화시 캡스턴 모터의 타이밍 다이어그램
Fig. 5. Timing diagram of capstan motor PLL in REC mode.

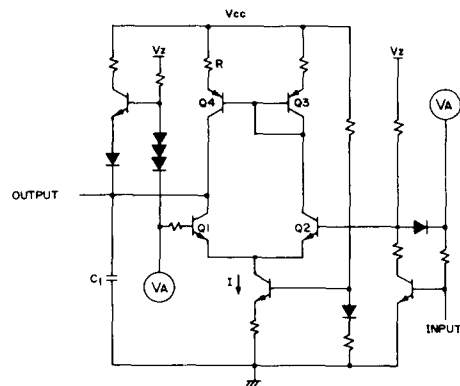


그림 6. 트라페조이드 회로
Fig. 6. Trapezoid circuit.

multivibrator)에 가해져 그림 4 (ℓ)과 같은 30Hz pulse가 된다. 이 pulse는 CTLP(control pulse) circuit을 거쳐 control head에 가해져 control track에 기록되는 한편 M. M.에서 delay되어 (그림 4 (k))그림 4 (j)와 같은 구형파가 된 후 P.G. (pulse generator) circuit에 가해져 그림 4 (i)와 같은 sample pulse가 되어 기준신호로 사용되는데 P.G.circuit은 그림 7과 같다.

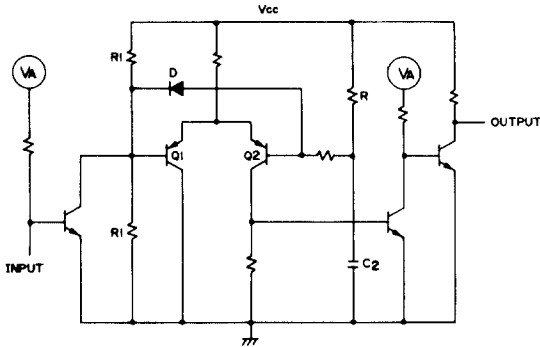


그림 7. 펄스 발생기 회로
Fig. 7. Pulse generator circuit.

Diode D에 의해 보통때 Q₁은 on, Q₂는 off 상태이다. Input이 high에서 low로 변하는 순간 Q₁의 base 전압은 high로 되지만 Q₂의 base 전압은 D가 off됨으로서 R을 통해 C₂에 charge되는 전압에 의해 서서히 증가하므로 이 경우 Q₁은 off, Q₂는 on되어 sample pulse가 만들어진다. 이 sample pulse의 width, tw는 다음과 같다.

$$\frac{V_{cc}}{2} = V_{cc}(1 - e^{-tw/RC}), \quad tw = RC \ln 2 \quad (4)$$

비교신호인 trapezoid 파형과 기준신호인 sample pulse가 sample and hold circuit에 가해지면 motor 회전수의 증감에 따른 error voltage인 그림 4 (h)에 의해 phase가 control 되는데 sample and hold circuit은 그림 8과 같다.

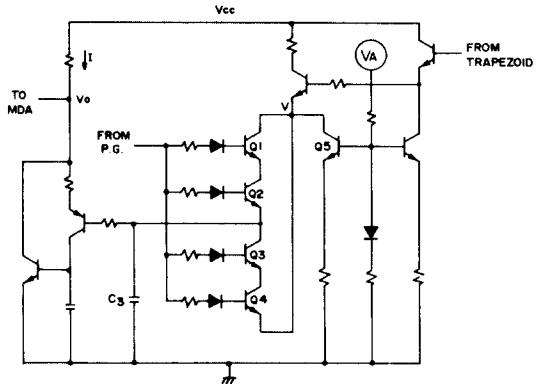


그림 8. 샘플, 홀드 회로
Fig. 8. Sample and hold circuit.

sample pulse가 low이면 C₃의 전압에는 변화가 없다. sample pulse가 high이면 C₃의 전압과 trapezoid 파형에 의한 전압 V가 비교된다. C₃의 전압이 크면 Q₃, Q₄가 on되고 Q₃, Q₄, Q₅를 통해 discharge되어 C₃의 전압이 감소한다. C₃의 전압이 감소하면 I가 증가되고 error voltage는 감소한다. 이에 반해 C₃의 전압이 작으면 Q₁, Q₂가 on되고 Q₁, Q₂를 통해 전하

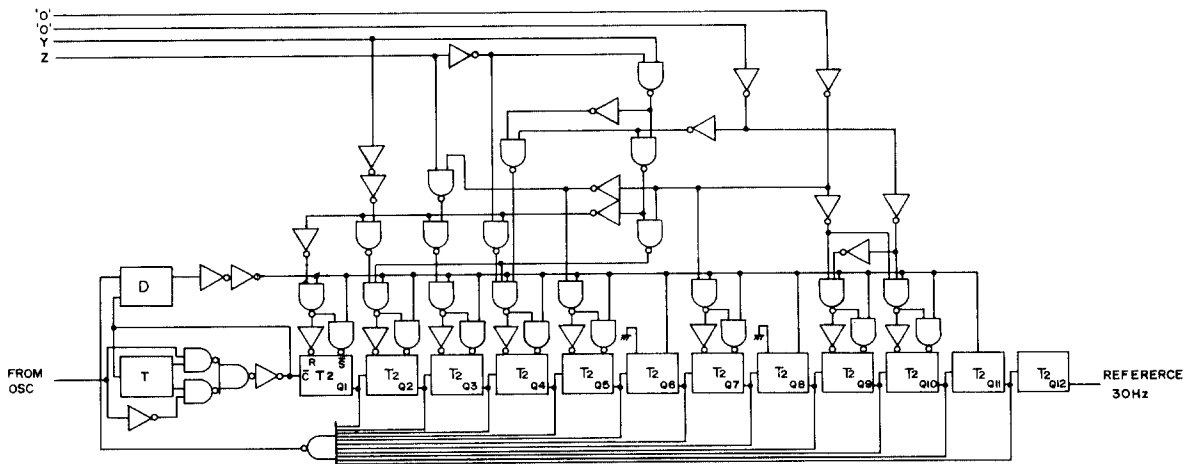


그림 9. 기본 주파수 발생기 회로
Fig. 9. Reference generator circuit.

가 charge 되어 C_2 의 전압이 증가한다. C_2 의 전압이 증가하면 I가 감소되고 error voltage는 증가한다. 이렇게 함으로써 phase를 일정하게 유지시켜 줄 수 있다.

수정발전기에서 만들어진 32.768KHz pulse가 (그림 5 (a)) REF GEN (reference generator)에 가해지면 그림 5(b)와 같은 30Hz 구형파가 되는데 REF GEN은 그림 9와 같다.

32.768KHz pulse가 double multiple circuit에 가해지면 65.536KHz pulse가 되고 11단의 flip flop을 거치면서 control signal인 Y, Z의 상태에 따라 1090, 1093, 1096으로 분주된 후 다시 2분주되는데 세가지 경우로 다르게 분주시킬 수 있도록 설계한 것은 정확한 30Hz 구형파를 만들어 내기 위한 것으로서 주파수는 0.3%, tape속도는 0.15%의 error 범위내에서 조절이 가능하다.^[2] 30Hz 구형파가 trapezoid circuit에 가해지면 그림 5 (c)와 같은 trapezoid파형이 만들어진다.

180Hz의 capstan tacho pulse는 buffer에 가해져 파형이 정형되어 그림 5 (g)와 같이 되고 F.G. (frequency generator) counter에서 6분주되어 그림 5 (f)와 같은 30Hz pulse가 된다. 이 pulse가 P.G. circuit에 가해지면 그림 5 (e)와 같은 sample pulse가 만들어진다.

기준신호인 trapezoid 파형과 비교신호인 sample pulse가 sample and hold circuit에 가해져 그 error voltage인 그림 5 (d)의 변화에 의해 capstan motor phase를 제어하게 된다.

2. Playback Mode.

Drum motor PLL의 경우 reference 30Hz pulse를 기준신호로 drum tacho pulse를 비교신호로 사용했으며 capstan motor PLL의 경우 reference 30Hz pulse를 기준신호로 control pulse를 비교신호로 사용했는데^[1] PB mode의 block diagram은 그림 10과 같다.

그림 10에서 각 부분 파형의 timing diagram은 그림 11, 12와 같다.

Drum의 경우 그림 11(f)와 같은 REF GEN의 30Hz 구형파를 M.M.에서 delay시켜(그림 11(e)) 그림 11 (d)와 같은 구형파를 만든다. 이를 P.G. circuit에 가하면 그림 11(c)와 같은 sample pulse가 만들어진다. Trapezoid 파형및 sample and hold circuit의 파형은 그림 11(a), (b)와 같으며 이는 REC mode와 동일하다.

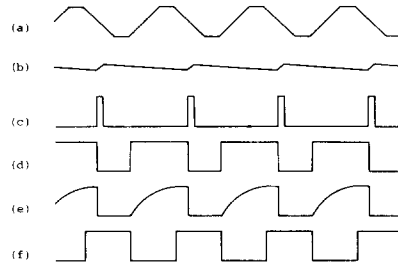


그림11. 재생시 드럼 모터의 타이밍 다이어그램
Fig.11. Timing diagram of drum motor PLL in PB mode.

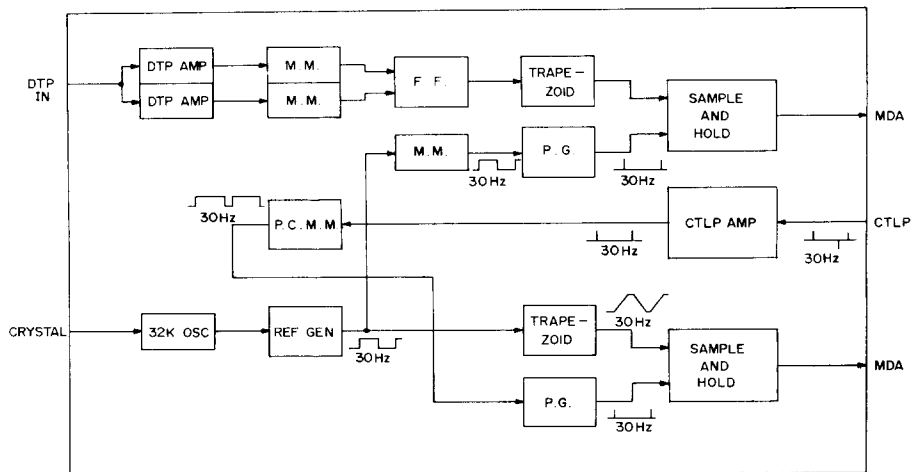


그림10. 재생시 블록 다이어그램
Fig.10. Block diagram in PB mode.

Capstan의 경우 REC mode시 control track에 기록된 그림 12(f)와 같은 control pulse를 CTLP AMP에 가해 증폭시키면 그림 12(e)와 같이 된다. 이를 P.C.M.M.에 가해 그림 12(d)와 같은 30Hz pulse로 만들어 P.G. circuit의 input으로 사용함으로써 그림 12(c)와 같은 sample pulse를 만들어낸다. Trapezoid 파형 및 sample and hold circuit의 출력 파형은 그림 12(a), (b)와 같으며 이는 REC mode와 동일하다.

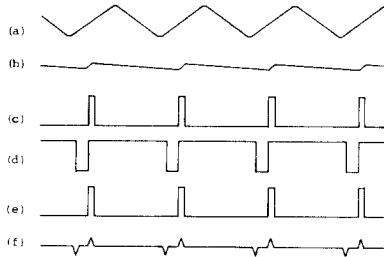


그림12. 재생시 캡스턴 모터의 타이밍 다이어그램
Fig.12. Timing diagram of capstan motor PLL in PB mode.

IV. IC 제작

1) Starting material

3inch, <111>, P-type (boron), 3~5° OFF <110>, $\rho = 8 \sim 15 \Omega \cdot \text{cm}$, thickness = $15 \pm 1 \text{ mil}$.

2) Buried layer 1

Predeposition (As); 1100°C , N_2/O_2 (50min), $18 \Omega/\square$
Drive-in; 1100°C , N_2 (40hr), $15 \Omega/\square$

3) Buried layer 2^{[3] [5] [6] [7]}

Ion-implantation (P); 50KeV, 200 μA , $6 \times 10^{14} \text{ atoms/cm}^2$
Annealing; 1000°C , N_2 (60min)
Drive-in; 1100°C , N_2/O_2 (20min)

4) Epitaxial growth

Thickness = $10 \mu\text{m}$, $\rho = 1 \Omega \cdot \text{cm}$

5) Isolation

Predeposition; 1100°C , N_2/O_2 (90min), $2 \sim 6 \Omega/\square$
Drive-in; 1130°C , N_2/O_2 (22hr)

6) Base 1^{[3] [5] [6] [7]}

Predeposition; 1100°C , N_2/O_2 (20min), $6 \sim 7 \Omega/\square$
Drive-in; 1000°C , N_2 (40min)

7) Base 2

Predeposition; 940°C , N_2 (35min), $63 \Omega/\square$
Drive-in; 1100°C , H_2/O_2 (40min), $200 \Omega/\square$

8) Emitter

Predeposition; 950°C , $\text{N}_2/\text{O}_2/\text{POCl}_3$ (30min), $9 \Omega/\square$
TCE gettering; 1000°C , O_2/TCE (20min)

9) Contact window.

10) Metal 1; Al evaporation ($1 \mu\text{m}$)

11) VIA^[4]

PIQ spin on; $3.5 \mu\text{m}$

Curing; $200^\circ\text{C}/350^\circ\text{C}$ (1hr/1hr)

Via open

12) Metal 2; Al evaporation ($1 \mu\text{m}$)

13) Alloy; 380°C , N_2 (30min)

** Photomask는 전부 negative를 사용.

V. 측정 및 결과

설계, 제작된 IC는 그림 13과 같다.

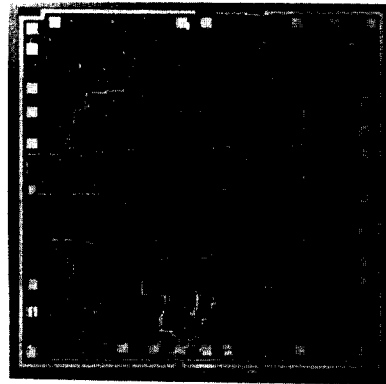


그림13. 제작된 IC
Fig.13. Fabricated IC.

IC의 동작상태를 측정하기 위해서 그림 14와 같은 test circuit을 구성하고 C_1 , C_2 , C_3 및 V_0 의 전압파형을 측정한 결과 PB mode시 drum motor PLL의 경우 그림 15와 같았다.

V_{CC} 가 12V일 때 V_H , V_L , t_t 및 t_w 는

$V_H = 9.7V$, $V_L = 2.5V$

$t_t = 1.9ms$, $t_w = 0.2ms$

이었다. 또한 REF GEN에 의해 만들어지는 30Hz 구형파는 평균 0.19% error를 나타냈었다.

VI. 結 論

Analog servo system의 위상을 제어하는 IC를 설계, 제작하였다.

Test circuit을 구성하고 설계, 제작된 IC를 측정한 결과 양호한 회로특성으로 원하는 기능을 잘 수행함을 알 수 있으며 packaging하여 실제 system에 응용해 본

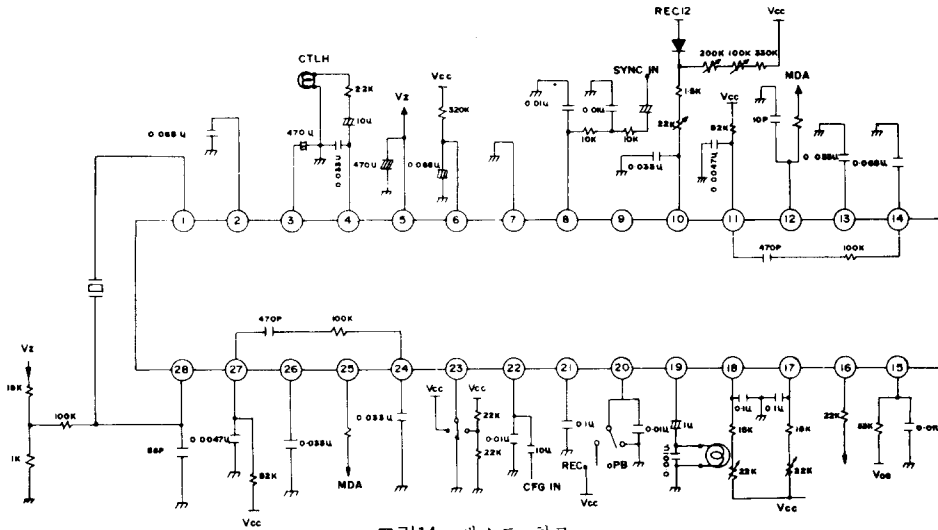


그림14. 테스트 회로
Fig.14. Test circuit.

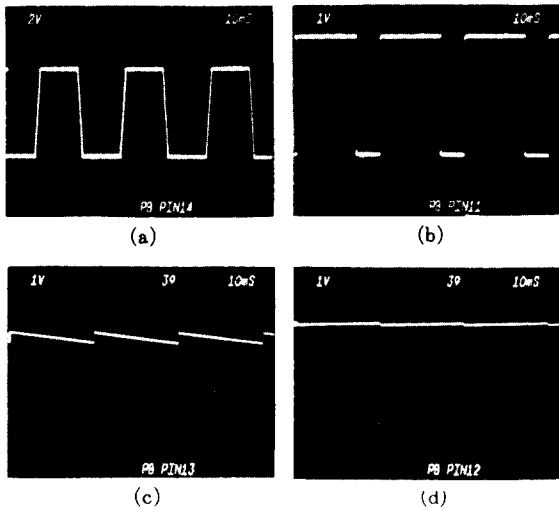


그림15. 출력파형
Fig.15. Output waveform.

본 결과 system이 잘 동작함을 알 수 있었다.
본 연구를 수행하는 과정에서 기존의 SBC 공정외에 analog-compatible I²L공정과 double layer metal 공정기술을 개발할 수 있었으며 process 중 발생하는 defect 및 I²L의 β-control에 의한 yield 및 double layer metal에 의한 신뢰도 특성이 문제점으로 지적되었다.
또한 본 연구를 성공적으로 수행함으로써 analog 방식에 의한 위상제어용 IC의 국산화와 아울러 수입대체효과를 가져올 수 있게 되었으며 축적된 기술을 이용하여 digital 회로와 analog 회로를 동시에 포함하는

새로운 IC 개발이 가능하게 되었다.

参 考 文 献

- [1] 韓永信, "基礎 VTR技術入門, 電子技術社
- [2] Akira Shibata, Oshi Itoh, Isao Nakagawa, "Advanced and simplified signal processing system for VTR and its high performance LSI's", *IEEE Trans. Cons. Elect.* vol. CE-24, no. 3, August 1978.
- [3] J. L. Saltish, W. L. George, and J. G. Soderberg, *Processing Technology and AC/DC Characteristics of Linear Compatible I²L*. IEEE Journal of Solid State Circuits, August 1976.
- [4] A. C. Adams, *Solid State Technol.* vol. 24, April 1981.
- [5] D. J. Allstot, S. K. Lui, T. S. T. Wei, P. R. Gray and R.G. Meyer, *A New High-Voltage Analog-Compatible I²L Process*. IEEE Journal of Solid State Circuits, August 1978.
- [6] W. H. Mattheus, R. P. Mertens and J. D. Stulting, "Characteristics of I²L at Low Current Levels", *IEEE Trans. Electron Devices*, vol. ED-24, pp. 1228-1233, Oct. 1977.
- [7] H. H. Berger, S. K. Wiedman, "Terminal Oriented Model for Merged Transistor Logic," *IEEE Journal of Solid State Circuits*, vol. SC-9, pp. 211-217, Oct. 1974. *