

# I<sup>2</sup>L회로에 의한 多值論理函數의 設計

## (Design of Multivalued Logic Functions Using I<sup>2</sup>L Circuits)

金 興 壽\*, 成 賢 慶\*

(Heung Soo Kim and Hyeon Kyeong Seong)

### 要 約

본 논문에서는 I<sup>2</sup>L회로를 사용한 多值論理函數의 설계방법을 제시한다.

먼저, delta( $\delta$ ) 函數를 切斷差分式의 離散函數로 변환하는 알고리즘을 구하고, 이 알고리즘에 의한 회로 實現을 논하였다. 다음에 離散函數와 切斷差分式의 변형된 delta函數를 혼합하여 주어진 多值眞理表를 I<sup>2</sup>L 회로로 실현하는 방법을 제시한다.

이 방법은 多入力-多出力 論理회로에 용이하게 확장 적용할 수 있다.

### Abstract

This paper presents the design method for multivalued logic functions using I<sup>2</sup>L circuits.

First, the algorithm that transforms delta functions into discrete functions of a truncated difference is obtained. The realization of multivalued logic circuits by this algorithm is discussed. And then, the design method is achieved by mixing discrete functions and delta functions using the modified algorithm for given multivalued truth tables.

The techniques discussed here are easily extended to multi-input and multi-output logic circuits.

### I. 序 論

多值論理회로의 설계 및 函數 最小化(minimization)에 관한 방법은 과거에 많은 논문을 통해 발표되었다.<sup>[1-5]</sup>

이 논문들은 代數學的 성질에 바탕을 두고 시작한 공통점을 가지고 있어서 실제 회로實現 목적을 위한 것 보다는 회로실현을 고려하지 않았거나 단지 회로실현에 대한 가능성만을 보였다.

1972년에 I<sup>2</sup>L(integrated injection logic) 회로들이

紹介된 후, 이 회로는 高密度(high package density) 실현, 低電力-速度積(low power-speed product) 및 다양한 전류레벨로 인하여 LSI에 많이 응용되고 있다.<sup>[6-8]</sup>

한편, 최근 몇년동안 게이트당 最小 遲延時間을 감소시키는 방향으로 연구가 계속되었으며, M.I. Elmasry는 摺疊콜렉터(folded collector) 회로를 제시하므로써 多值論理函數의 실현 가능성을 보였다.<sup>[9]</sup>

多值論理회로는 2進회로에 비하여 동일 情報量을 처리하는데 상호연결의 복잡성을 감소시키며 單位 面積當 높은 함수기능 및 高密度 實現이 가능하므로써 集約의 컴퓨터 제작을 용이하게 할 수 있는 장점이 있다.<sup>[10-12]</sup>

\*正會員, 仁荷大學校 電子工學科  
(Dept. of Electron. Eng., Inha Univ.)  
接受日字: 1984年 11月 23日

N. Friedman, C. A. T. Salama, F. E. Holmes와 P.M. Thompson<sup>13)</sup>은 합수기능이 증대된 多值 I<sup>2</sup>L 全加算器 (M<sup>2</sup>L full adder)를 실현하였으며, Dao<sup>14)</sup>는 바이트 기역구조상 1 이상의 바이트에 관한 오차 처리능력이 있는 單一誤差校正 및 2重誤差檢出 (SEC-DED) 블럭코오드의 4值 I<sup>2</sup>L 回路 실현을 보였으며 한편, Etienne<sup>15)</sup>은 I<sup>2</sup>L 多值比較器를 제시하였다. 최근 McCluskey<sup>16-18)</sup>는 I<sup>2</sup>L 多值論理回路의 논리설계 절차를 제시하고 있으며, Davio와 Deschamps<sup>19)</sup>는 切斷差分函數 (truncated difference function)를 사용한 I<sup>2</sup>L 회로의 설계방법을 제시하였다.

본 논문에서는 delta 函數를 切斷差分式的 離散函數로 변환하는 알고리즘을 구하고, 이 알고리즘에 의한 回路實現을 논하였다. 또한, 離散函數와 切斷差分式的 변형된 delta 函數를 혼합하여 주어진 多值眞理表를 I<sup>2</sup>L 회로로 실현하는 방법을 제시한다.

II. I<sup>2</sup>L 回路의 基本概念과 離散函數 및 delta 函數의 설계방법

論理게이트의 개념은 오랫동안 논리설계에 있어서 중요한 위치를 차지하며, 物理的 現象과 函數의 합성 사이에서 중간 위치를 차지하고 있다. 論理設計技術에서 게이트의 數는 소자낭비를 발생할 수 있고 분명히 이 영향은 集積水準이 높다면 특히 중요하게 대두될 수 있다.<sup>11)</sup>

게이트의 정의를 피하기 위해 수학적 表現과 기본적인 트랜지스터의 구성을 논하고, 다음에 離散函數와 delta 函數의 설계방법을 논하였다.

1. 數學的 表現法

1) Literal

N 值變數 x에 대하여 a와 b가 a ≤ b로 주어진 函數 x<sup>a..b</sup>는

$$x^{a..b} = N-1 \text{ iff } a \leq x \leq b$$

$$= 0 \text{ iff } a > x, x > b$$

2) Complement

N 值變數 x의 Complement는

$$\bar{x} = N-1-x$$

주어진 電流源이 K인 경우 x의 complement는

$$\bar{x}^k = K-x \text{ iff } x \leq K$$

$$= 0 \text{ iff } x > K$$

3) Interval

i) Closed interval

a와 b가 a ≤ b인 경우 函數 x<sup>[a..b]</sup>는

$$x^{[a..b]} = 1 \text{ iff } a \leq x \leq b$$

$$= 0 \text{ a} > x, x > b$$

ii) Semi-interval

$$x^{[a]} = 1 \text{ iff } a \leq x$$

$$= 0 \text{ iff } a > x$$

2. 기본 I<sup>2</sup>L 構造

2 個의 기본 I<sup>2</sup>L 트랜지스터 회로는 다음과 같다. 여기서 正의 入力電流과 正의 出力電流를 전류원으로 한다.

1) 禁止回路 (Inhibit Circuit)<sup>11,16,19)</sup>

禁止回路는 그림 1 과 같다.

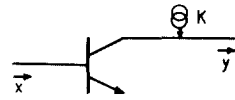


그림 1. 禁止回路  
Fig. 1. Inhibit circuit.

전류원 K는 K단위 전류원을 표시하며 이 禁止回路는 다음 函數를 실현한다.

$$y = K \cdot x^{(0)}$$

2) 電流미터 回路 (Current mirror circuit)<sup>11,16,19)</sup>

電流미터 回路는 그림2(a)와 같이 구성된다. 또, 이 회로의 入-出力 特性은 그림2(b)와 같다.

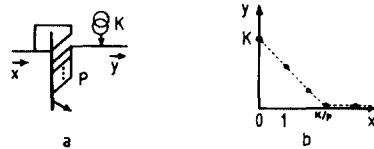


그림 2. 電流미터 回路  
Fig. 2. Current mirror circuit.

이 演算을 설명하기 위하여 實數集合 R에 대한 切斷差分 (truncated difference)의 演算子 “⊖”는

$$a \ominus b = a-b \text{ iff } a \geq b$$

$$= 0 \text{ iff } a < b$$

로 정의된다.<sup>19)</sup> 이 정의에 의하여 電流미터 回路는 다음 函數를 실현한다.

$$y = K \ominus p \cdot x$$

이 함수는 x ≥ k/p인 경우 0이다.

3. 離散函數와 delta 函數의 設計方法

1) 離散函數의 設計方法<sup>19)</sup>

Davio와 Deschamps는 임의의 變數 a, b, p, r을 포함하는 2 個의 트랜지스터를 상호연결한 기본회로를

그림 3 과 같이 보였다.

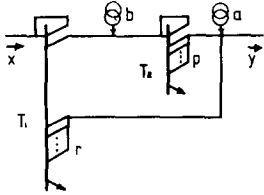


그림 3. 2 트랜지스터의 상호연결  
Fig. 3. An interconnection of two transistors.

그림 3에서 회로의 入-出力 動作은

$$y = a \sqcup [r \cdot x + p \cdot (b \sqcup x)] \tag{9}$$

그러므로,

$$x \geq b; y = a \sqcup r \cdot x \tag{10}$$

$$x \geq b; y = a \sqcup (r \cdot x + p \cdot b - p \cdot x) = (a - p \cdot b) \sqcup (r - p) \cdot x \tag{11}$$

式(10)과 (11)에 의한 6 가지 경우의 入-出力 函數와 特性曲線은 참고문헌<sup>11)</sup>에 있다. 入-出力 特性에 적합한 a, b, p, r의 값을 결정하는 예를 들면 그림 4 (a)의 特性曲線에서 실현할 수 있는 기울기가 정수이므로 i, j, m, n은 다음 식과 같이 表現할 수 있다.

$$n = s(m - j) = s'(i - m) : (s, s' = \text{기울기})$$

여기서  $b = m, r = s', a = s' \cdot i, p = s + s'$ 로 대응하여 설계 할 수 있다. 그림 4 (b)의 特性을 갖는 ramp 函數의 경우는 약간 다르게 취급된다. 즉,

$$n = s(m - j) : (s = \text{기울기})$$

의 관계식에서  $b = m, r = 0, a = n, p = s$ 로 대응하여 설계할 수 있다.

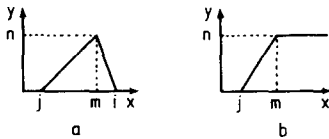


그림 4. 合成例  
Fig. 4. Synthesis example.

Davio와 Deschamps가 제시한 切斷差分式에 의한 離散函數의 설계방법을 요약하면 다음과 같다.

(순서 1) 변수변화에 眞理值表의 원소값이 다음의 기울기를 갖는 경우 원소의 최대값에 대하여 설계하며 이 설계 절차에서 最終 電流源을 결정한다.

(a) 주어진 眞理值表의 변수변화에 원소값이 증가하는 경우

(b) 주어진 眞理值表의 변수변화에 원소값이 감소하는 경우

(c) 주어진 眞理值表의 변수변화에 원소값이 증가하다가 어느점에서 감소하는 경우

(순서 2) 순서(1)에서 결정된 함수의 眞理值表를 작성하여 주어진 眞理值表에서 差를 구한다. 이 差分眞理值表가 負의 값이 되어야 한다.

2) Delta函數의 設計方法<sup>16,17,18)</sup>

McCluskey는 literal로 구성된 多值論理函數의 설계 방법에서 delta ( $\delta$ ) 函數를 정의하였다. 이 delta 함수는 獨立變數의 유일한 하나의 결합치에 대하여 0 이 아닌 함수를 point delta 函數라 정의하였고, 임의의 多值論理函數에 대한 標準表現式 (canonical expression) 은 모든 point delta 函數를 합하므로써 얻어진다. 일반적으로 標準合表現式 (canonical plus expression) 으로 부터 실현된 회로는 아주 비효율적이므로 point delta 函數를 일반화하므로써 이 비효율성을 감소할 수 있는 range delta 函數를 정의하였다.

또한, McCluskey는 delta 函數를 사용하여 임의의 函數가 0 인때마다 0 이 아닌 delta 函數의 가장 적은 集合을 취하고, 이 delta 函數에서 가장 큰값에 대하여 補數를 취한 다음, 이 補數를 취한 函數에서 0 이 아닌 원소들에 의해 delta literal의 가장 적은 集合을 선택한 후, 補數를 취한 함수에 대하여 表現式을 나타내므로써 delta 函數를 설계할 수 있다.

III. 변형된 Delta函數의 設計方法

II에서 논한 delta 函數의 설계방법은 모든 strong (혹은 weak) threshold와 literal로 구성된 회로들을 찾아서 설계한다는 복잡성과 어려움이 뒤따른다. 이 장에서는 delta 函數를 설계하는데 있어서 간단하게 설계가 가능한 表現式과 delta 函數를 切斷差分式의 離散函數로 변환하는 알고리즘을 제안하고, 이 알고리즘에 알맞는 회로를 제시한다.

1. 單一變數

[정의 1]<sup>16,17,18)</sup> N值의 delta 函數  $f(x)$ 는 다음과 같이 표현된다.

$$f(x) = K \cdot x^{a \cdot b} \text{에서} \\ K \cdot x^{a \cdot b} = K \text{ iff } a \leq x \leq b \\ = 0 \text{ iff } a > x, x > b \tag{12}$$

函數  $f(x)$ 를 임의의 interval을 갖는 切斷差分式으로 변환하는 순서는 다음과 같다.

(순서 1) 변수의 범위 a, b에 대하여 x에 관한 각 函數를 구성하고, K를 곱한다. 즉,  $K \cdot x^{a \cdot b}$ 에서  $K \cdot x^a, K \cdot x^b$ 로 한다.

(순서 2)  $K \cdot x^a$  식을  $K \cdot (a \ominus x)$ 의 切斷差分式으로 만든다.  
 (순서 3)  $K \cdot x^b$  식에 semi-interval을 취한 다음에  $b$ 에  $+1$ 을 하고, 순서(2)에서 구성한 식과 합한다.

$$K \cdot (a \ominus x) + K \cdot x^{b+1}$$

(순서 4) 합성한 두 函數를 원소값  $K$ 에 대하여 切斷差分式으로 한다. 즉,

$$f(x) = K \ominus [K \cdot (a \ominus x) + K \cdot x^{b+1}] \quad (13)$$

이 된다.

변형된 delta 函數式 (13)을 4個의 트랜지스터로 구성하여 實現시킨 회로가 그림 5 이다.

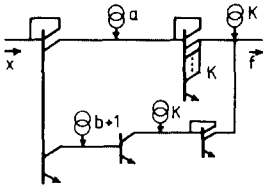


그림 5. 變形된 delta 函數의 實現  
 Fig. 5. Realization of the modified delta function.

(예 1) 4值 單一變數인 函數  $f(x) = 2 \cdot x^{1.2}$ 에서

- i)  $2 \cdot x^1, 2 \cdot x^2$
- ii)  $2 \cdot (1 \ominus x)$
- iii)  $2 \cdot (1 \ominus x) + 2 \cdot x^3$
- iv)  $f(x) = 2 \cdot \ominus [(1 \ominus x) + 2 \cdot x^3]$  (14)

式(14)을 實現한 회로가 그림 5 이다.

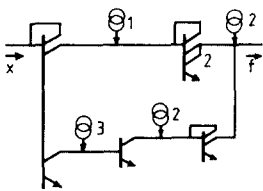


그림 6. 式(14)의 實現  
 Fig. 6. Realization of Eq. (14).

2. 多變數

[정의 2]<sup>16,17,18)</sup> 변수 범위가 유일한  $n$ 입력 변수의 delta 函數는 다음과 같이 정의된다.

$$K \cdot (x_1^{a_1}, x_2^{a_2}, \dots, x_n^{a_n}) = K \text{ iff } \begin{matrix} x_1 = a_1 \\ x_2 = a_2 \\ \vdots \\ x_n = a_n \end{matrix} \quad (15)$$

式(15)을 切斷差分式으로 변환하면

$$K \cdot (x_1^{a_1}, x_2^{a_2}, \dots, x_n^{a_n}) = K \ominus [K \cdot (a_1 \ominus x_1) + K \cdot x_1^{a_1+1} + K \cdot (a_2 \ominus x_2) + K \cdot x_2^{a_2+1} + \dots + K \cdot (a_n \ominus x_n) + K \cdot x_n^{a_n+1}] \quad (16)$$

式(16)을 위에서 논한 회로 구성 방법에 의하여 실현하면 그림 7 과 같다.

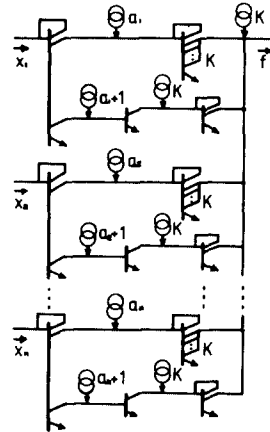


그림 7. 式(16)의 實現  
 Fig. 7. Realization of Eq.(16).

(예 2)  $f(x) = 2 \cdot (x_1^2, x_2^2)$ 에서  $x_1 = 2, x_2 = 1$ 인 경우에만  $f(x) = 2$  이므로

$$2 \cdot (x_1^2, x_2^2) = 2 \ominus [2 \cdot (2 \ominus x_1) + 2 \cdot x_1^3 + 2 \cdot (1 \ominus x_2) + 2 \cdot x_2^3]$$

이다. 이 결과를 회로로 실현하면 그림 8 과 같다.

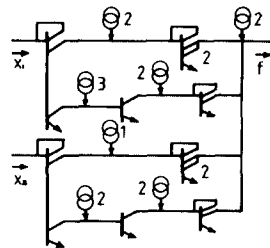


그림 8. 예(2)의 實現  
 Fig. 8. Realization of Ex.(2).

[정의 3]<sup>16,17,18)</sup> 일정한 변수범위를 갖는  $n$ 입력 변수의 delta 函數는 다음과 같이 정의된다.

$$K \cdot (x_1^{a_1, b_1}, x_2^{a_2, b_2}, \dots, x_n^{a_n, b_n}) = K \text{ iff } \begin{matrix} a_1 \leq x_1 \leq b_1 \\ a_2 \leq x_2 \leq b_2 \\ \vdots \\ a_n \leq x_n \leq b_n \end{matrix} \quad (17)$$

式(17)을 切斷差分式으로 변환하면

$$K \cdot (x_1^{a_1}, x_2^{a_2}, \dots, x_n^{a_n}) = K \{ [K \ominus x_1] \cdot (a_1 + K \cdot x_1^{a_1+1}) + K \cdot (a_2 \ominus x_2) + K \cdot x_2^{a_2+1} + \dots + K \cdot (a_n \ominus x_n) + K \cdot x_n^{a_n+1} \} \quad (18)$$

式(18)을 위에서 논한 회로 구성 방법에 의하여 실현하면 그림 9 와 같다.

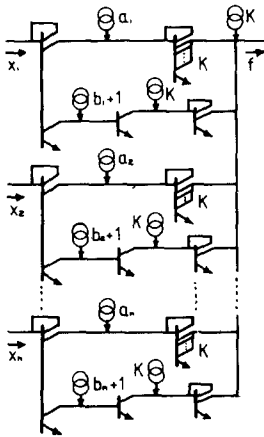


그림 9. 式(18)의 實現  
Fig. 9. Realization of Eq.(18).

(예 3)  $f(x) = 2 \cdot (x_1^{1.2}, x_2^{1.3})$  에서  $1 \leq x_1 \leq 2, 1 \leq x_2 \leq 3$  인 경우에만  $f(x) = 2$  이므로

$$2 \cdot (x_1^{1.2}, x_2^{1.3}) = 2 \{ [2 \cdot (1 \ominus x_1)] + 2 \cdot x_1^{1.2} + 2 \cdot (1 \ominus x_2) \}$$

이 결과를 회로로 실현하면 그림10과 같다.

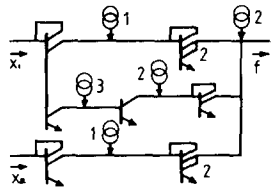


그림10. 예(3)의 實現  
Fig. 10. Realization of Ex.(3).

IV. 離散函數와 變形된 Delta函數를 혼합시킨 設計方法

앞에서 서술한 Davio 와 Deschamps<sup>19)</sup>가 제안한 切斷差分式에 의한 離散函數의 設計방법과 變形된 delta 函數의 設計방법을 합쳐서 多值論理函數의 設計방법을 논한다.

1. 사용함수와 회로

多值論理函數의 設計를 간편히 하기 위하여 설계절차에서 필연적으로 사용되는 變形된 delta函數에 의하여 설계된 회로를 논하면 다음과 같다.

표 1. [f<sub>a</sub>]

Table 1. [f<sub>a</sub>].

a)

$x_1, x_0$	a	b	c	d	
a	0	0	K	0	$f_a = K \{ [K \cdot (a+c) \ominus (x_0+x_1)] + K \cdot x_1^{c+1} \} \quad (19)$
b	0	K	K	0	
c	K	K	K	0	
d	0	0	0	0	

여기서 a, b, c, d는 0, 1, 2, 3에 대응되고 K는 1, 2, 3 가운데 임의의 값을 갖는다. 式(19)의 函數 f<sub>a</sub>를 실현한 회로가 그림11이다.

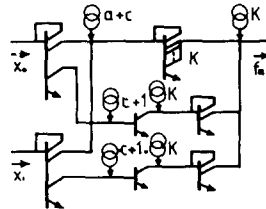


그림11. 表 1의 函數 f<sub>a</sub>의 實現  
Fig. 11. Realization of function f<sub>a</sub>.

표 2. [f<sub>b</sub>]

Table 2. [f<sub>b</sub>].

b)

$x_1, x_0$	a	b	c	d	
a	0	0	0	K	$f_b = K \cdot (x_0+x_1)^{a+d} \quad (20)$
b	0	0	K	K	
c	0	K	K	K	
d	K	K	K	K	

式(20)의 函數 f<sub>b</sub>를 실현한 회로가 그림12이다. 또한, 그림12회로의 A점의 電流源을 증가 혹은 감소시키므로 眞理值表의 出力 포함범위를 증가 및 감소시킬

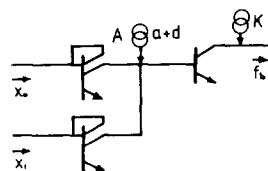


그림12. 表 2의 函數 f<sub>b</sub>의 實現  
Fig. 12. Realization of function f<sub>b</sub>.

수 있다.

표 3. [f<sub>c</sub>]  
Table 3. [f<sub>c</sub>].

c)

$x_1 \backslash x_0$	a	b	c	d
a	0	0	0	K
b	0	0	K	K
c	0	K	K	0
d	K	K	0	0

$$f_c = K \cdot (x_0 + x_1)^{a+d} \equiv K \cdot (x_0 + x_1)^{c+d} \quad (21)$$

式(21)의 函數 f<sub>c</sub>를 실현한 회로가 그림(13)이다. 또한 그림(13)회로의 C, D점에서 電流源을 증가 혹은 감소시키므로 眞理值表의 出力 포함범위를 증가 및 감소시킬 수 있다.

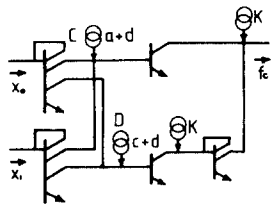


그림13. 표 3의 函數 f<sub>c</sub>의 實現  
Fig. 13. Realization of function f<sub>c</sub>.

d) 乘算眞理值表와 같이 眞理值表의 元소값이 0이 되는 경우는 禁止回路를 사용한다.

표 4. GF(3)乘算表 [f<sub>d</sub>]  
Table 4. Product of GF(3)[f<sub>d</sub>].

$x_1 \backslash x_0$	0	1	2
0	0	0	0
1	0	1	2
2	0	2	1

$$f_d = 2 \cdot (x_0^{11} \cdot x_1^{11}) \equiv [3 \equiv (x_0 + x_1) + (x_0 + x_1)^4] \quad (22)$$

式(22)의 函數 f<sub>d</sub>를 실현한 회로가 그림14와 같다. 그

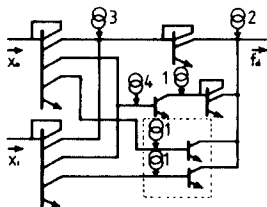


그림14. GF(3) 乘算表의 實現  
Fig. 14. Realization of product of GF(3).

림14의 회로에서 點線內의 회로가 (x<sub>1</sub><sup>11</sup> · x<sub>0</sub><sup>11</sup>)을 실현한다.

## 2. 設計方法

多值論理函數의 설계방법으로서 離散函數와 변형된 delta函數를 합쳐서 설계하는 절차를 논하면 다음과 같다.

[단계 1] 변수변화에 眞理值表의 원소 값이 다음의 기울기를 갖는 경우 II에서 서술한 離散函數의 설계방법에 의한다.

- a) 변수변화에 원소값이 증가하는 경우
- b) 변수변화에 원소값이 감소하는 경우
- c) 변수변화에 원소값이 일정한 경우 단계(4)를 실행한다.

[단계 2] 단계 [1]에서 결정된 函數의 眞理值表를 작성하여 주어진 眞理值表에서 差를 구한다. 差分眞理值表가 負의 값이 되어야 한다.

[단계 3] 差分眞理值表의 원소값이 변수변화에 의해 증가 혹은 감소이면 단계 [1], 단계 [2]를 반복 실행한다.

[단계 4] 주어진 眞理值表 혹은 差分眞理值表가 변수변화에 원소값이 일정한 경우 변형된 delta函數 설계방법에 의하며 IV-1에서 논한 회로를 사용한다.

[단계 5] 단계 [4]에서 결정된 函數의 眞理值表를 작성하여 단계 [3], 단계 [4]에서 구한 眞理值表에서 差를 구하여 원소값이 0이 되도록 한다.

- a) 변수변화에 원소값이 일정한 경우 단계 [4], 단계 [5]를 반복 실행한다.
- b) 변수변화에 원소값이 증가 혹은 감소이면 단계 [1], 단계 [2]를 반복 실행한다.

(예 4) 표 5의 2變數 4值眞理值表를 회로설계하면

표 5. 2變數 4值眞理值表  
Table 5. 4-valued 2 variables truth table.

$x_1 \backslash x_0$	0	1	2	3
0	0	1	2	3
1	1	2	3	2
2	0	1	2	1
3	1	2	3	1

[단계 1] 眞理值表의 원소값이 증가하므로 離散函數 설계방법에 의하면

$$f_1 = 6 \equiv [(3 \equiv x_1) + (3 \equiv x_0)]$$

이 되며, 眞理值表가 표 6(a)와 같다.

[단계 2] 표 5에서 표 6(a)의 差를 구한다. 즉, f<sub>0</sub> - f<sub>1</sub>을 구한 진리치표가 표 6(b)이다.

[단계 3] 표6 (b)에서 변형된 delta函數  $f_2$ 를 구하면,

$$f_2 = 2 \cdot (x_1^{2,3}) = 2 \ominus [2 \cdot (2 \ominus x_1)]$$

이 되며 진리치표가 표6 (c)가 된다.

[단계 4] 표6 (b)에서 표6 (c)의 차를 구한다. 즉,  $f_0 - f_2$ 를 구한 진리치표가 표6 (d)이다.

[단계 5] 표6 (d)에서 函數  $f_3$ 를 구하면

$$f_3 = 2 \cdot (x_0^{2,3}, x_1^{2,3}) = 2 \ominus [2 \cdot (3 \ominus x_0) + 2 \cdot (1 \ominus x_1)]$$

이 되며 진리치표가 표6 (e)이다.

[단계 6]  $f_0 - f_3 = f_4$ 이며 函數  $f_4$ 는

$$f_4 = (x_0 + x_1)^{1,6}$$

이다. 그러므로

$$f_0 = f_1 - f_2 - f_3 - f_4$$

$$= 6 \ominus [ (3 \ominus x_0) + (3 \ominus x_1) + \{ 2 \ominus 2 \cdot (2 \ominus x_1) \} + \{ 2 \ominus 2 \cdot (3 \ominus x_0) + 2 \cdot (1 \ominus x_1) \} + (x_0 + x_1)^{1,6} ]$$

이다. 函數  $f_0$ 를 실현한 회로가 그림15와 같다.

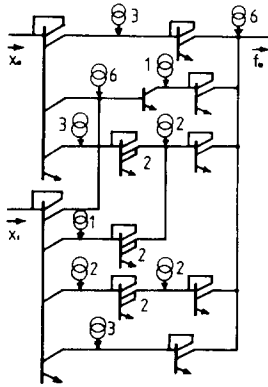


그림15. 표5의 函數  $f_0$ 의 實現  
Fig. 15. Realization of function  $f_0$ .

표 6. 差分眞理值表  
Table 6. The difference truth table.

$x_1 \backslash x_0$	0	1	2	3
0	0	1	2	3
1	1	2	3	4
2	2	3	4	5
3	3	4	5	6

(a) [ $f_1$ ]

$x_1 \backslash x_0$	0	1	2	3
0	0	0	0	0
1	0	0	0	$\bar{2}$
2	$\bar{2}$	$\bar{2}$	$\bar{2}$	$\bar{4}$
3	$\bar{2}$	$\bar{2}$	$\bar{2}$	$\bar{5}$

(b) [ $f_{01}$ ]

$x_0$	0	1	2	3
0	0	0	0	0
1	0	0	0	0
2	$\bar{2}$	$\bar{2}$	$\bar{2}$	$\bar{2}$
3	$\bar{2}$	$\bar{2}$	$\bar{2}$	$\bar{2}$

(c) [ $f_2$ ]

$x_0$	0	1	2	3
0	0	0	0	0
1	0	0	0	$\bar{2}$
2	0	0	0	2
3	0	0	0	3

(d) [ $f_{02}$ ]

$x_1 \backslash x_0$	0	1	2	3
0	0	0	0	0
1	0	0	0	$\bar{2}$
2	0	0	0	$\bar{2}$
3	0	0	0	$\bar{2}$

(e) [ $f_3$ ]

$x_1 \backslash x_0$	0	1	2	3
0	0	0	0	0
1	0	0	0	0
2	0	0	0	0
3	0	0	0	$\bar{1}$

(f) [ $f_4$ ]

(예5) 표7의 GF(4)乘算表를 회로실제 하면

표 7. GF(4)의 乘算表  
Table 7. Product of GF(4).

$x_1 \backslash x_0$	0	1	2	3
0	0	0	0	0
1	0	1	2	3
2	0	2	3	1
3	0	3	1	2

[단계 1] 眞理值表의 원소값이 증가하므로 離散函數 설계방법에 의하면

$$f_1 = 5 \ominus [6 \ominus (x_1 + x_0)]$$

가 된다. 표7이 승산표이므로 IV-1에서 논한 회로와 동일형이므로 禁止回路를 사용하면 函數  $f_1$ 은

$$f_1 = 5 \cdot (x_0^{1,1} \cdot x_1^{1,1}) \ominus [6 \ominus (x_0 + x_1)]$$

이 되며 진리치표가 표8 (a)와 같다.

[단계 2] 표7에서 표8 (a)의 차를 구한다. 즉,  $f_0 - f_1$ 을 구한 差分眞理值表가 표8 (b)이다.

[단계 3] 표8(b)의 差分眞理值表가 IV-1에서 논한 진리

표 8. GF(4)乘算表의 差分眞理值表  
Table 8. The difference truth table of product of GF(4).

$x_1 \backslash x_0$	0	1	2	3
0	0	0	0	0
1	0	1	2	3
2	0	4	3	4
3	0	2	4	5

(a) [ $f_1$ ]

$x_1 \backslash x_0$	0	1	2	3
0	0	0	0	0
1	0	0	0	0
2	0	0	0	$\bar{3}$
3	0	0	$\bar{3}$	$\bar{3}$

(b) [ $f_2$ ]

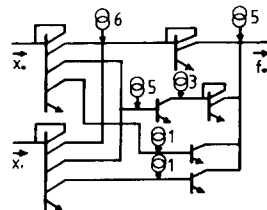


그림16. GF(4) 乘算表의 實現  
Fig. 16. Realization of product of GF(4).

치표와 동일형이므로 函數  $f_2$ 는

$$f_2 = 3 \cdot (x_0 + x_1)^{15}$$

이다. 그러므로 函數  $f_0$ 는

$$f_0 = f_1 - f_2 \\ = 5 \cdot (x_1^{15} \cdot x_0^{15}) \equiv 6 \equiv (x_1 + x_0) + 3 \cdot (x_0 + x_1)^{15} ]$$

이다. 函數  $f_0$ 를 실현한 회로가 그림16이다.

### V. 結 論

본 논문에서는 delta函數를 切斷差分式의 離散函數로 변환하는 알고리즘을 구하고 이 알고리즘에 의한 回路實現을 논하였다. 또한, 離散函數와 切斷差分式의 변형된 delta函數를 혼합하여 多值論理函數의 설계방법을 제시하였으며, 효과적인 集積回路의 설계 이용성을 갖는 임의의 多值論理函數를 실현하기 위한  $I^2L$  회로의 설계 가능성을 보였다.

McCluskey<sup>[16,17,18]</sup>는 加算(+), lattice(v) 演算을 실현하고, 만능 4值論理게이트(universal quad logic gate)를 형성하는데 6個의 트랜지스터를 상호연결하여 사용하였고, Davio와 Deschamps<sup>[19]</sup>는 離散函數의 기본회로를 설계하기 위해 2個의 트랜지스터를 사용하였다. 본 논문에서는 4個의 트랜지스터를 상호연결하여 모든 delta函數를 실현하였다. 최근, LSI/VLSI의 기술발달로 인하여 소자의 數보다는 오히려 설계절차 개발이 더 중요한 문제가 되리라 생각한다. 더우기, 많은 獨立變數를 갖는 函數를 효과적으로 설계하기 위한 알고리즘을 연구 개발하는 문제가 여전히 남아 있다.

본 논문에서는 雜音問題를 고려하지 않고 회로설계 방법만을 논하였다.

### 參 考 文 獻

[1] C. M. Allen and D. D. Givone, "A minimization technique for multiple-valued logic systems", *IEEE Trans. Comput.*, vol. C-29, pp. 182-184, Feb. 1968.

[2] D. C. Rine, *Computer Science and Multiple-valued Logic Theory and Applications*. Amsterdam, Netherland, North-Holland, 1977.

[3] M. Davio, J. P. Deschamps and A. Thayse, *Discrete and Switching Functions*. New York, McGraw-Hill, 1978.

[4] S. Su and P. T. Cheung, "Computer minimization of multiple switching functions", *IEEE Trans. Comput.*, vol. C-21, pp. 995-1003, Sept. 1972.

[5] Z. G. Vranesic, E. S. Lee and K. C. Smith, "A many-valued algebra for switching systems", *IEEE Trans. Comput.*, vol. C-19, pp. 964-971, Oct. 1970.

[6] N. C. De Troye, "Integrated injection logic-present and future", *IEEE J. Solid-State Circuits*, vol. SC-9, pp. 206-211, Oct. 1974.

[7] W. C. Kim, P. K. Seegebrecht and W. L. Engl, "(MI)<sup>2</sup>L: Multiinput-multioutput integrated injection logic", *IEEE J. Solid-State Circuits*, vol. SC-14, pp. 807-811, Oct. 1979.

[8] K. W. Current, "High density integrated computing circuitry with multiple valued logic", *IEEE J. Solid-State Circuits*, vol. SC-15, Feb. 1980.

[9] M. I. Elmasry, "Folded-collector integrated injection logic", *IEEE J. Solid-State Circuits*, vol. SC-11, pp. 644-647, Oct. 1976.

[10] T. T. Dao, "Threshold  $I^2L$  and its applications to binary symmetric functions and multivalued logic", *IEEE J. Solid-State Circuits*, vol. SC-12, pp. 463-472, Oct. 1977.

[11] T. T. Dao, E. J. Mc Cluskey and L. K. Russel, "Multivalued integrated injection logic", *IEEE Trans. Comput.*, vol. C-26, pp. 1233-1241, Dec. 1977.

[12] J. T. Butler, A. S. Wojcik, "Guest editors' comments", *IEEE Trans. Comput.*, vol. C-30, pp. 617-618, Sept. 1981.

[13] N. Friedman, C. A. T. Salama, F. E. Holmes and P. M. Thompson, "Realization of a multivalued integrated injection logic (MI<sup>2</sup>L) full adder", *IEEE J. Solid-State Circuits*, vol. SC-13, pp. 532-534, Oct. 1977.

[14] T. T. Dao, "SEC-DED nonbinary code for fault-tolerant byte-organized memory implemented with quaternary logic", *IEEE Trans. Comput.*, vol. C-30, pp. 662-666, Sept. 1981.

[15] D. Tiemble, "Multivalued  $I^2L$  circuits for TSC checker", *IEEE Trans. Comput.*, vol. C-29, pp. 537-540, Jun. 1980.

[16] E. J. Mc Cluskey, "Logic design of multivalued  $I^2L$  logic circuits", *IEEE Trans. Comput.*, vol. C-28, pp. 546-559, Aug. 1979.

[17] E. J. Mc Cluskey, *Logic Design of Multi-*



- valued I<sup>2</sup>L Logic Circuits*. Proc. 8th International Symposium on Multiple-valued Logic, Rosemont Il., pp. 14-22, May 1978.
- [18] E. J. Mc Cluskey, *Logic Design of Multi-Input Quad I<sup>2</sup>L Circuits*. Proc. 9th International Symposium on Multiple-valued Logic, Bath, England, pp. 121-127, May 1979.
- [19] M. Davio and J. P. Deschamps, "Synthesis of discrete functions using I<sup>2</sup>L technology", *IEEE Trans. Comput.*, vol. C-30, pp. 653-661, Sept. 1981.
- [20] G. Pomper and J. R. Armstrong, "Representation of multivalued functions using the direct cover method", *IEEE Trans. Comput.*, vol. C-30, pp. 674-679, Sept. 1981.
- [21] K. C. Smith, "The prospects for multivalued logic; a technology and application view", *IEEE Trans. Comput.*, vol. C-30, pp. 619-634, Sept. 1981.
- [22] W. D. Ballew and S. C. Lee, *B(2): P(m) Dual Radix Logic and Its I<sup>2</sup>L Implementation*. Proc. 11th International Symposium on Multiple-valued Logic, Norman, Oklahoma, pp. 290-298, May 1981.
- [23] C. A. Johnson and J. R. Armstrong, *Improve I<sup>2</sup>L for Multivalued Logic*. Proc. 11th International Symposium on Multiple-valued Logic, Norman, Oklahoma, pp. 200-204, May 1981.
- [24] L. Sintonen, "A Clocked Multivalued Flip-Flop." *IEEE Trans. Comput.*, pp. 292-294, March 1977.
- [25] J. H. Pugsley and C. B. Silio, *Some I<sup>2</sup>L Circuits for Multiple-Valued Logic*. Proc. 8th International Symposium on Multiple-Valued Logic, Rosemont, Il., pp. 23-31, May 1978.
- [26] A. Beach and J. R. Armstrong, *Results of a Chip Layout Study for Multivalued I<sup>2</sup>L*. Proc. 12th International Symposium on Multiple-valued Logic, Paris, France, pp. 56-68, May 1982.
-