

이온 注入한 MOSFET에 대한 Threshold 전압의 모델링

(Threshold Voltage Modeling of Ion-Implanted MOSFET's)

柳 鍾 善*, 金 如 煥*, 金 輔 佑*

(Jong Son Lyu, Yeo Hwan Kim and Bo Woo Kim)

要 約

본 論文에서는 채널에 붕소를 이온주입하여 불균일한 도우핑 profile을 가지는 n-채널 MOSFET의 threshold 전압에 대하여 보다 간단한 모델링을 기술하였다. 실제의 도우핑 profile을 지수적인 profile로 近似시키고 Poisson 방정식과 depletion approximation을 이용하여 실리콘 표면의 potential, 最大 空乏層의 폭 그리고 threshold 전압을 구하였다. 계산한 threshold 전압이 실험치와 잘 일치한다는 사실은 이온 注入한 MOS 素子들에 대하여 指數的인 도우핑 profile로 近似시킬 수 있다는 타당성을 보여 주고 있다.

Abstract

More simplified modeling for the threshold voltage of n-channel MOSFET's with non-uniform doping profile by boron implantation in channel region is described in this paper.

Assuming the approximated exponential profile and using the Poisson equation and depletion approximation, expressions for the surface potential, maximum depletion width and threshold voltage are derived. The good agreement between the theory and experimental results shows the validity of the approximated exponential profiles for many ion-implanted MOS devices.

I. 序 論

N-채널 MOSFET에 있어서 threshold 전압을 조절하기 위하여 이온 注入하는 방법을 널리 이용하고 있다. 게이트 酸化膜을 통하여 실리콘 substrate에 붕소를 이온 注入시켜 열처리함으로써 substrate 표면의 도우핑 profile을 바꿈과 동시에 threshold 전압을 높일 수 있다.

Threshold 전압의 변화는 주로 게이트 酸化膜의 두

께, 붕소 이온의 에너지와 dose, 그리고 熱處理 과정에 지배적으로 좌우된다. 이온의 에너지와 dose가 높아지면 붕소 이온들의 일부가 最大 空乏層 밖으로 밀려나게 되어 threshold 전압에는 기여하지 않으나 body effect를 증가시킨다.¹⁾

MOSFET의 채널에 이온 注入된 불순물은 그 도우핑 profile을 Gaussian 함수로 기술할 수 있다. Trautman²⁾과 Fu³⁾ 등은 Gaussian profile로서 threshold 전압을 구하는 동시에 空乏層 폭의 함수로 실리콘 표면 potential의 表現式을 얻었다. 그러나 그들의 表現式은 2차, Gaussian과 error 함수 등 3가지의 다른 함수들을 포함하여 매우 복잡하므로 空乏層 폭을 구하려면 numerical analysis를 하여야 한다.⁴⁾ 空乏層과 threshold 전압에 대한 表現式이 closed-form이 되지 않으면 素子에 대한 다른 여러가지의 變數, 특히 짧은 채널 효과를 위한 變數를 유도하는데 큰 장애 요인이 된다.

*正會員, 韓國電子技術研究所

(Korea Institute of Electronics Technology)

接受日字: 1984年 6月 15日

(※ 본 연구는 과학기술처에서 시행한 '83년도 국책과제인 "모스 기술개발에 관한 연구"사업의 일환으로 이루어졌음.)

도우핑 profile을 실제와 近似하게 간략화시켜 空乏層의 폭과 threshold전압을 구하는 방법은 많이 알려져 있으나, 近似化한 profile의 segment가 많을수록 경계치 조건을 일일이 구하여야 하므로 式이 복잡해진다.

본 論文에서는 Gaussian profile을 指數的인 profile로 近似시켜 空乏層의 폭과 threshold전압을 구하고 짧은 채널을 가지는 MOSFET의 threshold전압을 구하는데 응용하였다. 실험치와 계산치는 매우 잘 일치하며 따라서 指數的인 profile로서 threshold전압을 모델링하는 것이 타당성을 가짐을 알 수 있다.

II. 도우핑 Profile 모델과 Threshold 전압의 계산

Gaussian profile에 보다 近似시켜 空乏層의 폭과 threshold전압 V_T 를 구하기 위하여 그림 1에서 예시한 바와 같이 指數적인 profile을 SUPREM II profile에 近似시켰다. 그림에서 x_0 는 붕소注入時 붕소이온의 projected range이며 a 는 SUPREM II simulation으로 얻은 profile의 tail에 近似시키기 위하여 가정한 상수인데 이온注入 에너지와 熱處理가 커질수록 붕소들이 profile의 가장자리로 퍼져 나가게 되므로 式(1)의 a 값은 작아지게 된다.

$$N_A(x) = N_0 e^{-\alpha(x-x_0)} + N_B \quad (1)$$

여기서 N_0 는 붕소의 最大濃度이며 N_B 는 substrate의 붕소濃度이다.

두께가 T_{ox} 인 게이트 酸化膜으로 붕소가 이온注入되면 酸化膜에 의하여 일부의 이온들이 遮閉된다. 붕소

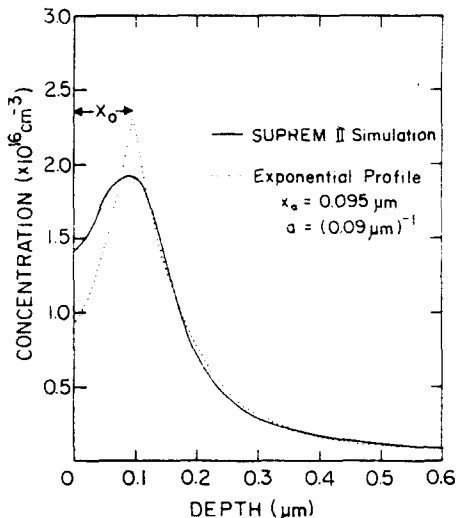


그림 1. 이온주입한 profile에 대한 지수적인 근사
Fig. 1. Exponential approximation of implanted profiles.

dose가 실리콘내로 注入되는 비율을 F_T 라 하고 이온 注入 dose를 N_I 라 하면

$$N_I \cdot F_T = \int_0^\infty N_0 e^{-\alpha(x-x_0)} dx \quad (2)$$

가 되고 따라서 N_0 는

$$N_0 = \frac{N_I \cdot F_T \cdot \alpha}{2 - e^{-\alpha \cdot x_0}} \quad (3)$$

가 된다. F_T 는 게이트 酸化膜의 두께와 붕소 이온 에너지에 따라 변하는데 본 실험에 있어서 酸化膜의 두께가 900, 650과 400Å 일 때 F_T 는 각각 0.93, 0.97과 0.99이다.

Poisson방정식과 depletion approximation을 사용하여 실리콘 bulk로부터 표면까지의 표면 potential ψ_s 를 구하면

$$\begin{aligned} \psi_s = & (q/\epsilon_s) \int_0^{x_d} x N(x) dx \\ & + (kT/q) [x_d/N_A(x_d)] (dN_A/dx)_{x=x_d} \\ & + (kT/q) \ln[N_B/N_A(x_d)] \end{aligned} \quad (4)$$

가 된다.¹⁷⁾ 여기서 ϵ_s 는 실리콘의 유전계수, x_d 는 공핍층의 폭, kT/q 는 열전압이며 N_A 는 이온화된 붕소의 濃度이다. 실리콘 표면의 불순물 濃度가 일정하지 않을 경우 strong surface inversion은 표면의 소수 캐리어(電子)濃度가 공핍층 경계면의 다수 캐리어(hole)의 濃度和 같거나 초과할 때 일어난다고 가정한다.¹⁷⁾ Strong inversion이 일어날 때의 표면 potential, ψ_{inv} 은

$$\psi_{inv} = (kT/q) \ln[N_A(x_{d,max}) N_B/n_i^2] \quad (5)$$

으로 된다. 여기서 n_i 는 실리콘의 眞性濃度로 상온에서 약 10^{10}cm^{-3} 의 값을 갖는다. 最大 空乏層의 폭 $x_{d,max}$ 은 (4)와 (5)를 연립시키면 구할 수 있다.

$$\begin{aligned} & (kT/q) \ln[N_A(x_{d,max}) N_B/n_i^2] \\ = & (q/\epsilon_s) \int_0^{x_{d,max}} x N_A(x) dx \\ & + (kT/q) [x_{d,max}/N_A(x_{d,max})] (dN_A/dx)_{x_{d,max}} \\ & + (kT/q) \ln[N_B/N_A(x_{d,max})] \end{aligned} \quad (6)$$

式(1)을 式(6)에 대입하고 $x_{d,max}$ 이 x_0 보다 크다고 가정하면 式(6)은 式(7)로 된다.

$$\begin{aligned} & (kT/q) \ln[(N_B + N_0 e^{-\alpha(x_{d,max}-x_0)}) \cdot N_B/n_i^2] \\ = & (q/\epsilon_s) \{ N_0 [e^{-\alpha x_0} - e^{-\alpha(x_{d,max}-x_0)}] / \alpha^2 + 2x_0/\alpha - x_{d,max} \cdot e^{-\alpha(x_{d,max}-x_0)}/\alpha] + N_B \cdot x_{d,max}^2/2 \} \\ & - (kT/q) (x_{d,max} \cdot e^{-\alpha(x_{d,max}-x_0)}) \\ & + (kT/q) \{ \ln[N_B/(N_B + N_0 e^{-\alpha(x_{d,max}-x_0)})] \} \end{aligned} \quad (7)$$

V_T 를 높이기 위하여 이온注入 dose를 늘리더라도 대부분의 경우 $x_{d,max}$ 은 x_0 보다 크며, 式(7)을 iteration 방법으로 풀면 $x_{d,max}$ 을 구할 수 있다.

MOSFET의 V_T 는 다음의 式으로 표현된다.¹⁷⁾

$$V_T = \phi_{ms} - \frac{Q_{ss}}{C_{ox}} + \psi_{inv} + \frac{q}{C_{ox}} \int_0^{x_{d,max}} N_A(x) dx \quad (8)$$

여기서 C_{ox} 은 단위면적당의 酸化膜 capacitance, Q_{ss} 은 等價의 境界面 電荷密度이며 ϕ_{ms} 는 게이트와 Si substrate 사이의 일 함수(work function)의 差뿐인데 Si 표면에 붕소를 주입한 경우에는 표면의 Fermi potential, E_{FF} 가 減小하여 ϕ_{ms} 또한 減小하게 된다. 따라서 본 論文에서는 게이트의 ϕ_m 과 最大 公핍층 폭 ($x_{d,max}$)에서의 ϕ_s 와의 差를 ϕ_{ms} 로 假定하였다. 즉 ϕ_{ms} 는

$$\phi_{ms} = \phi_{ms0} + (kT/q) \ln[N_B/N_A(x_{d,max})] \quad (9)$$

이 된다. Polysilicon 게이트의 경우 ϕ_{ms0} 는 약 -0.7 V 정도이다.

III. 짧은 채널 효과

짧은 채널 길이를 가진 MOSFET에서 $V_D = V_S = 0V$ 일 때, 채널의 소오스와 드레인 근처에서는 소오스와 드레인으로 부터 나오는 일부의 電氣力線이 채널 영역에 있는 bulk電荷에 끝나기 때문에 채널 아래에서의 空乏電荷量은 減小하게 된다. 따라서 게이트로부터 실 리콘 substrate에 이르는 電氣場은 보다 적은 電荷量을 空乏시키게 되고 따라서 V_T 값은 낮아진다.¹⁸⁾ 균일한 채널 도우핑의 경우 소오스/드레인 接合쪽의 空乏層 깊이를 구하여 幾何적으로 게이트에 의한 空乏電荷를 구할 수 있다. 이온주입한 채널 도우핑의 경우 接合部位에 따라 空乏層의 깊이, W_d 가 달라져 幾何적인 해석이 어려워진다. 接合영역에서의 built-in 포텐셜, V_{bi} 는 ψ_{inv} 보다 크므로 소오스와 드레인 영역에서 接合은 게이트보다 더 많은 空乏電荷의 分配를 받을 것이다.¹⁹⁾ 따라서 接合깊이를 零으로 하여 式(10)에 의하여 W_d 를 구하고 이를 接合部位의 평균적인 空乏層의 깊이로 가정하면 $W_d > x_{d,max}$ 이 되어 앞의 電荷分配 효과를 나타낼 수 있다.

$$\begin{aligned} V_{bi} &= E_{Fn} - E_{Fp,d} \\ &\approx 0.55V + (kT/q) \ln[N_A(W_d)/n_i] \\ &= (q/\epsilon_s) \int_0^{W_d} x N_A(x) dx \\ &\quad + (kT/q) \{ [W_d/N_A(W_d)] (dN_A/dx)_{W_d} + \ln[N_B/N_A(W_d)] \} \end{aligned} \quad (10)$$

짧은 채널에 있어서 V_T 는 Yau의 사다리꼴 近似¹⁸⁾ 약간 수정하여 구할 수 있다. 소오스와 드레인에 의하여 空乏되는 길이는 게이트에 의한 것과는 다르며 그림 2에서 보인 바와 같이 사다리꼴內의 전체 電荷量 Q_b 는 式(11)과 같다.

$$Q_b = q \cdot \int_0^{x_{d,max}} N_A(x) dx \cdot W \cdot \left(\frac{L+L'}{2} \right) \quad (11)$$

여기서 W 는 채널 폭이며 $L+L'$ 은 간단한 계산을 지치면

$$\begin{aligned} L+L' &= 2(L-b) \\ b &= x_j \left[\sqrt{1 + (W_d^2 + 2W_d \cdot x_j - x_{d,max}^2)/x_j^2} - 1 \right] \end{aligned} \quad (12)$$

으로 되며 x_j 는 소오스와 드레인의 接合 깊이이다.

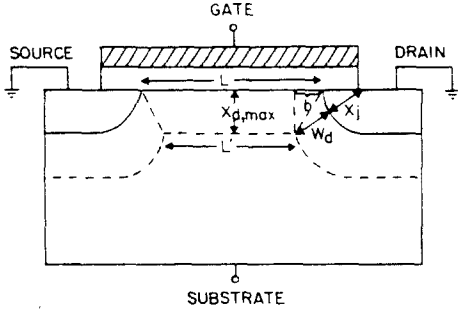


그림 2. 짧은 채널 효과를 위한 사다리꼴 근사법
Fig. 2. Trapezoidal approximation for short channel effect.

따라서 threshold 전압은 다음과 같다.

$$\begin{aligned} V_T &= \phi_{ms} - \frac{Q_{ss}}{C_{ox}} + \psi_{inv} + \frac{q}{C_{ox}} \cdot \int_0^{x_{d,max}} N_A(x) dx \\ &\quad \{ 1 - (x_j/L) \left[\sqrt{1 + (W_d^2 + 2W_d \cdot x_{d,max} - x_{d,max}^2)/x_j^2} - 1 \right] \} \end{aligned} \quad (13)$$

IV. 結果 및 考察

Threshold 전압의 測定에 쓰이는 방법은 그림 3과 같이 일정한 드레인 전압 (V_{DS})에서 게이트 전압 (V_{GS})에 따른 드레인 전류 (I_{DS})의 變化를 外插하는 것이다. 線型 영역에서 동작하는 MOSFET의 V_T 는 I_{DS} 의 線型 特性을 연장하여 V_{GS} 축에 만나는 점에서 $V_{DS}/2$ 를 減해 하면 된다.

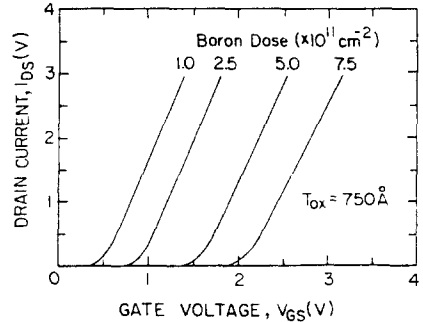


그림 3. 선형 영역에서 각각 다른 붕소 dose를 가지는 MOS트랜지스터의 게이트 threshold 특성
Fig. 3. Gate threshold characteristic for MOS transistors with different boron doses.

50keV의 이온 에너지로 붕소를 注入하고 이후의 열처리 과정을 거칠 때 a 를 $(0.09\mu\text{m})^{-1}$ 로 두면 실제의 도우핑 profile에 近似한다. 900, 650과 400Å의 酸化膜에 대하여 x_0 는 각각 0.07, 0.095와 $0.12\mu\text{m}$ 가 된다.

그림 4는 붕소 注入 dose에 따른 V_T 의 변화를 나타낸 것이다. 이온 注入 dose가 작을 때는 대부분의 붕소 이온들이 最大 空乏層 영역 내에 존재하므로 dose에 비례적으로 V_T 가 증가하나 $5 \times 10^{11}\text{cm}^{-2}$ 이상의 dose에서는 이온 注入된 붕소의 일부가 最大 空乏層 밖으로 나가게 되어 V_T 의 증가에 기여할 수 없으므로 V_T 의 증가율이 낮아진다. 여기서 Q_{ss} 는 NMOS공정에 전형적인 값인 $5 \times 10^{10}\text{cm}^{-2}$ 으로 하였으나 酸化膜 두께가 얇아질수록 이온 注入에 의한 damage로 그 값은 커질 것으로 짐작되며 또한 붕소의 out-diffusion이 커질 것이므로 실리콘 표면의 붕소 電荷량은 계산치보다 작아진다. 따라서 酸化膜 두께가 400Å일 때 실험치보다 V_T 가 낮으나 650Å과 900Å의 경우는 계산치와 실험치가 잘 일치하고 있다.

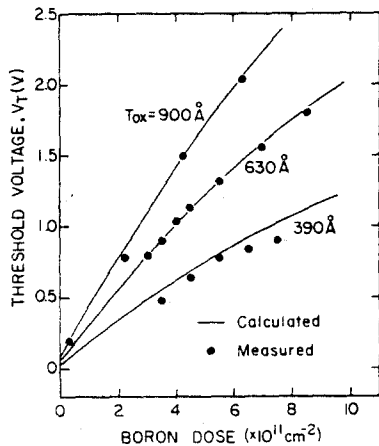


그림 4. 50keV의 붕소 이온에너지와 $7 \times 10^{14}\text{cm}^{-3}$ 의 substrate 농도에 대하여 붕소 dose에 따른 threshold 전압의 변화

Fig. 4. Threshold voltage shifts vs. boron implant dose for ion energy of 50keV and substrate concentration of $7 \times 10^{14}\text{cm}^{-3}$.

MOSFET는 네개의 단자(게이트, 소오스, 드레인 과 substrate)를 가진 素子로서 substrate bias(back bias)의 크기는 중요하고 유용한 變數이므로 素子의 설계에 있어서 반드시 고려하여야 한다. Back bias가 인가되었을 때 最大 空乏層을 구하려면 式(7)의 왼편에 back bias(V_{bs})를 더하면 된다. 여기서 구한 $x_{d,max}$

을 式(8)에 대입하면 threshold 전압을 얻을 수 있다. 그림 5는 붕소 dose를 媒介變數로 하여 back bias에 따른 threshold 전압의 변화를 보인 것이다. 붕소 dose가 커질수록 작은 back bias에 대하여 V_T 의 변화율이 커지는데 이것은 最大 空乏層이 붕소가 이온 注入된 실리콘 표면쪽으로 접근하기 때문이다. Back bias가 커지면 $x_{d,max}$ 이 substrate 쪽으로 밀려나게 되어 붕소 dose에 관계 없이 V_T 의 증가율은 같아지게 된다.

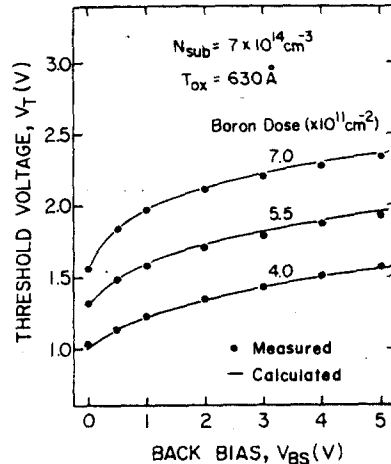


그림 5. Back bias에 따른 threshold 전압의 변화
Fig. 5. Threshold voltage shifts as a function of back bias.

그림 6은 좁은 채널 효과(narrow channel effect)가 나타나지 않도록 채널 폭을 $50\mu\text{m}$ 로 한 MOSFET의 V_T 를 유효 채널 길이의 함수로 나타낸 것이다. 유효 채널 길이 L_{eff} 는 I-V 특성 곡선의 線型 영역에서 동일한 전압 조건으로 마스크상의 채널 길이가 서로 다른 여러가지의 MOSFET에 흐르는 드레인 전류(I_{DS})의 逆數를 취하고 이를 채널 길이의 함수로 나타낸 다음 기울기의 延長線이 채널 길이 축과 만나는 점을 $2\Delta L$ 로 하고 이 값을 마스크상의 채널길이 L에서 減한 값이다.

짧은 채널 효과가 크게 일어나도록 하려면 式(13)에서 알 수 있듯이 C_{ox} 을 줄이면 되는데, 따라서 게이트 酸化膜의 두께가 900Å인 시료를 택하였고 비스(As) 이온 注入으로 이루어진 소오스와 드레인의 接合 길이 x_0 는 $0.5\mu\text{m}$ 이다. $2.3 \times 10^{11}\text{cm}^{-2}$ 의 dose 외에는 계산치는 실험치와 잘 일치한다. Dose가 작을 경우 $x_{d,max}$ 과 W_d 는 back bias나 소오스/드레인 전압에 따라서 그 변화폭이 커지는데 측정상 V_{DS} 에 0.1V를 가하므로 드레인에 의한 空乏層의 길이는 소오스에 의한 것보다

다소 크다. 따라서 Q_b 가 작아지므로 $|\Delta V_T|$ 는 계산한 값보다 커진다. Dose가 커지면 $x_{d,max}$ 과 W_d 는 큰 비율로 감소하므로 V_T 의 변화 폭도 균일한 도우핑의 경우와 별로 차이가 없다.

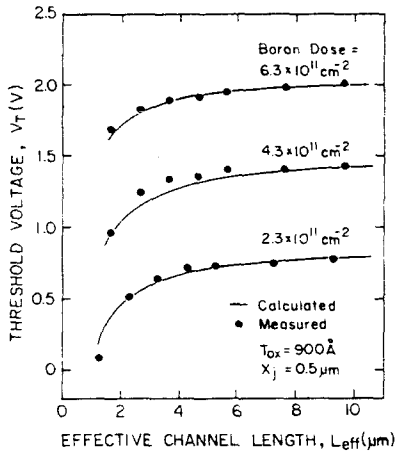


그림 6. 유효 채널 길이에 따른 threshold 전압의 변화
Fig. 6. Threshold voltage shifts as a function of effective channel length.

본 논문에서의 모델을 여러가지의 붕소 dose로 실리콘 표면에 이온 주입한 MOS capacitor의 최소 capacitance를 구하는 데 응용할 수 있다. 그림 7은 50 keV의 에너지로 560 Å의 게이트 산화막을 통하여

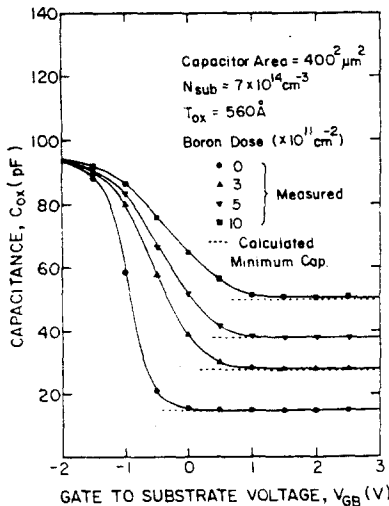


그림 7. 붕소 dose에 따른 최소 capacitance의 변화
Fig. 7. Minimum capacitance shifts with a boron implant dose.

에서 $10 \times 10^{11} \text{cm}^{-2}$ 까지 변하는 MOS capacitor의 C-V 곡선이다. 게이트 전압에 따른 capacitance는 1MHz의 small signal에 의하여測定하였다. MOS capacitor의 최소 capacitance C_{min} 은 다음과 같다.⁽¹⁰⁾

$$\frac{1}{C_{min}} = \frac{1}{C_{ox}} + \frac{1}{C_s(x_{d,max})} = \frac{\epsilon_{ox} \cdot x_{d,max} + \epsilon_s \cdot T_{ox}}{\epsilon_{ox} \cdot \epsilon_s \cdot A} \quad (14)$$

여기서 ϵ_{ox} , ϵ_s 와 T_{ox} 는 각각 산화막의誘電率, 실리콘의誘電率과 산화막의 두께이며 A는 capacitor의面積이다. 점선은 계산한 C_{min} 의 값인데 모든 붕소 dose에 대하여 실험치와 잘 일치하고 있으며 이는 불균일한 불순물 profile에 대한 본 논문에서의 모델이 실제 응용에 적합하다는 것을 보여 주고 있다.

V. 結 論

채널에 이온 주입하고 處熱理하여 형성된 도우핑 profile을 指數的인 profile로 近似시키고 Poisson 방정식과 depletion approximation으로 最大 空乏層 깊이와 threshold 전압을 구하여 이를 修正한 Yau 모델에 응용하여 짧은 채널 효과를 구하였다. 이온 주입 dose, 유효 채널 길이와 back bias의 함수로 구한 threshold 전압은 誤差限界内에서 실험치와 잘 일치하였다. MOS capacitor의 最小 capacitance를 구하는데도 이 모델을 이용하였으며 측정된 C_{min} 값에 잘 일치한다. 따라서 이들은 실제의 도우핑 profile을 指數함수의 형태로 近似시킨 모델이 타당성을 가진다는 것을 보여 준다.

參 考 文 獻

- [1] S. Horiuchi, "Threshold voltage shifts of n-channel Si-gate MOSFET's," *IEEE Trans. Electron Devices*, vol. ED-22, no. 11, pp. 1038-1043, Nov., 1975.
- [2] R.R. Troutman, "Ion-implanted threshold tailoring or insulated gate field-effect transistors," *IEEE Trans. Electron Devices*, vol. ED-24, no.3, pp. 182-192, Mar., 1977.
- [3] K.Y. Fu, "A new analysis of the threshold voltage for non-uniform ion-implant MOSFET's," *IEEE Trans. Electron Devices*, vol. ED-29, no.11, pp. 1810-1813, Nov., 1982.
- [4] S.W. Tarasewicz and C.A.T. Salama, "Theory of the surface depletion region for semiconductors with linearly graded impurity profiles," *Solid-St. Electron.*, vol. 27, no.1, pp.33-43, Jan., 1984.

- [5] 유중선, 강진영, 이만구, 이종덕, "N-channel MOSFET에 있어서 Threshold Voltage의 특성", 大韓電子工學會 秋季綜合學術大會 論文集, 第5卷 第2號, pp.232-234, 11, 1982.
- [6] P.K. Chatterjee, J.E. Leiss, G.W. Taylor, "A dynamic average model for the body effect in ion implanted short channel ($L=1\mu\text{m}$) MOSFET's," *IEEE Trans. Electron Devices*, vol. ED-28, no.5, pp. 606-607, May, 1981.
- [7] G. Doucet and F.V.D. Wiele, "Threshold voltage of nonuniformly doped MOS structures," *Solid-St. Electron.*, vol. 16, pp. 417-423, 1973.
- [8] L.D. Yau, "A simple theory to predict the threshold voltage of short-channel IGFET's," *Solid-St. Electron.*, vol. 17, pp. 1059-1063, 1974.
- [9] G.W. Taylor, "Subthreshold conduction in MOSFET's," *IEEE Trans. Electron Devices*, vol. ED-25, no. 3, pp. 337-350, Mar., 1978.
- [10] A.S. Grove, *Physics and Technology of Semiconductor Devices*. Wiley, New York, pp. 272, 1967.
-