-□ 技 術 展 望 □-

고속 영상신호 처리를 위한 VLSI아키텍쳐

金 炯 坤
(KAIST先任研究員)

■ 차 례 ■

1. 서 론
2. 영상신호 처리 기법과 기본적인 특성
3. VLSI 기술의 특징과 그 구조적 고려점
4. 영상신호 처리에 적합한 VLSI 아키텍쳐
4.1 화면 병렬성(Image-Plane Parallelism)에 근거를 둔 구조
4.2 화소Kernel병렬성(Pixel-Kernel Parallelism)에 근거를 둔 구조
5. 결 론
참고문헌

1. 서 론

제 3세대 컴퓨터에 의해 간단한 영상신호 처리를 위한 알고리즘의 실현이 시도된 1960년대 이후 영상신호 처리의 응용분야는 급속한 발전을 거듭하여 왔으며 특히, 근래의 급작스런 하드웨어의 발전에 힘입어 의학, 우주과학, 생물학, 기상학, 물리학, 컴퓨터공학 등 과학전반에 걸쳐 그 중요성을 인정받게 되었다. 이러한 초창기의 급속한 발전은 소재 기술의 발전에 힘입은 범용 컴퓨터의 성능 향상과 영상신호 처리를 위한 알고리즘의 개발이 그 주축을 이루어 왔으며 아직도 이 분야에 활발한 연구가 진행 중이다.

최근에 들어서 영상신호 처리기술은 실험실적 환경으로 부터 벗어나 로보트공학, 자동조립, 인공지능(Artificial Intelligence)등 산업 및 군사용으로 실제적인 응용분야에 적용되기 시작 했으며 이를 위하여 영상신호의 실시간 처리(Real-Time Processing)을 가능케 하는 고성능의 프로세서 개발 및 이의 효율적 실현에 대한 요구가 급증하고 있다.[1),2)] 이를 위한 한 방안으로 앞서 언급된 소재기술의 발전에 의한 범용 컴퓨터의 성능 향상을 들 수 있다. 초창기 진공관을 이용하던 컴퓨터는 제 2차 세계대전 이후의 트랜지스터 시대를 거쳐 60년대 이후의 집적회로(Integrated(circuit)시대를 거치는 동안 그 성능은 급격히 증가 했으며 이러한 추세는 앞으로도 계속되어 1990년 대에는 G_aA_s나 Josephson 소자 등의 초고속 화합물 반도체나 절대온도 0°K 부근에서 동작하는 Cryogenic Computer 등에 의해 10~100 psec 정도의 instruction 처리 시간을 갖는 초고속 컴퓨터가 예상된다.

그러나 소자기술에 의한 범용 컴퓨터의 성능 향상은 소자간의 전류 흐름에 필요한 시간이 소자에서의 처리시간을 능가하는 소위 '빛속도의 장벽'(Speed-of-light barrier)이라는 절대한계에 부딪치게 되고 이러한 고속처리 조차도 많은 영상신호 처리 응용분야에 근본적인 한계를 갖고온다.

고속 영상신호 처리를 위한 다른 한방법으로 초집적(Very Lorge Scale Integration)회로 기술의 발전에 근거를 둔 병렬처리 기법의 이용을 들 수 있다. 1958년 Unger[3)]의 첫 시도 이래 여러형태의 영상신호 처리를 위한 컴퓨터 및 프로세서의 구조가 제시되어 왔으나[4),5)] 사용가능한 하드웨어 소자의 성능, 복잡성, 가격 등에 의해 그 실현에 제한을 받아왔다. 최근 급속히 발전 되어온 VLSI 기술은 수 십만개의 트랜지스터를 갖는 전자회로를 하나의 칩상에 실현을 가능하게 하였으며 수년이내 수 백만개의 트랜지스터들이 하나의 칩에 설계될 것으로 보인다.[6),7)] 이러한 거대한 량의 하드웨어 소자들을 조화 시키는

기술은 영상신호 처리를 위한 계산구조의 고유한 병렬성 (parallelism)을 하드웨어를 통해 실현 시킬 수 있는 돌파구를 제시하였다.

본고에서는 병렬성에 근거를 둔 고속 영상신호 처리를 위한 VLSI 아키텍처의 특징, 연구동향 및 그 실태를 소개하고 앞으로의 연구방향을 제시한다.

2 영상신호 처리 기법과 기본적인 특성

영상신호 처리의 응용분야는 크게 영상정보 자료관리 (Image Data-base Management)와 영상이해 (Image Understanding)의 두 분야로 나누어 질 수 있다.[1]

영상정보 자료관리는 일반적으로 거대한 량의 영상정보 자료에 대한 효과적이고 경제적인 저장, 교정, 색인 등을 목적으로 하며 영상자료의 압축 (compression)을 위한 영상 부호화 (Image Coding) 기술이 핵심을 이룬다.[8] 영상 부호화 기술은 공간영역 (Spatial Domain)에 의한 방법과 변환영역 (Transform Domain)에 의한 방법으로 양분 될 수 있으며 전자의 방법으로는 PCM, DPCM 등의 예측 부호화 (Predictive Coding)기법과 통계 부호화 (Statistical Coding)기법을 들 수 있으며 Karhunen-Loeve (KL) 변환, Cosine/Sine 변환, Slant 변환, Hadamad/Haar 변환 등에 근거를 두는 후자의 방법에 비해 높은 압축비를 얻을 수 있다.

영상이해 (Image Undestanding)분야는 협의의 영상처리, 영상의 검출/추정 (Detechon/Estimation) 및 화면분석 (Scene Analysis)의 세 응용분야로 나누어 질 수 있다[9]. 협의의 영상처리는 입출력으로 영상신호를 가지며 영상의 enhancement 및 restoration 기술이 그 주축을 이룬다. 영상 enhancement 기술은 주어진 영상신호를 특정한 목적에 더욱 적합하도록 처리 하는 것을 목적으로 하며 Contrast enhancement, Image smoothing 및 Image Sharpening방법을 들 수 있다. 영상 restoration 기법은 '이상적 영상 (Ideal Image)'라 불리우는 물체의 복사 에너지 분포의 복원을 목적으로 하며 영상형성 과정의 정확한 모델링이 중요한 관건이다.[10] 이 기법은 촛점의 오차등에 기인한 화면 형성 과정상의 열화나 얼룩 (blur)등을 제거 하는데 이용되며 inverse filtering, Wiener filtering, power Spectral equalization 등의 방법이 제안되고 있다. 영상의 검출 및 추정 (Image Detection/Estimation)은 화면상에 특정 물체의 존재 유무나 특성 (feature)의 검출 및 추정을 다루며 Image registration, 및 분류(classification)기법이 이에 포함된다. Image registration은 [11] 서로다른 센서, 시간, 장소 등에 의해 획득된 동일한 대상물(object field)의 화상을 공간적 위치 조절을 통해 크기 및 방향의 차이를 교정 하는 것을 목적으로 하며 특성(feature)의 축출 및 분류 기법에 기초를 둔 영상정합 (Image Matching) 기법과 함께 영상인식 (Image Recognition)의 기본적인 방법으로 이용된다. 화면분석(Scene analysis)분야는 화면의 특성(feature) 이나 묘사(description)을 처리하여 더욱 의미있고 유용한 묘사를 얻는 것을 목적으로 한다. 이 분야에는 일반적인 알고리즘이 없이 ad-hoc에 근거를 두고 있으며 응용분야에 따른 heuristic 및 사전지식(a-priori knowledge)이 사용되며 특성 축출은 주어진 화면을 같은 성질의 화소(piel)의 그룹으로 나누는 image segmentation 기법에 의한다.

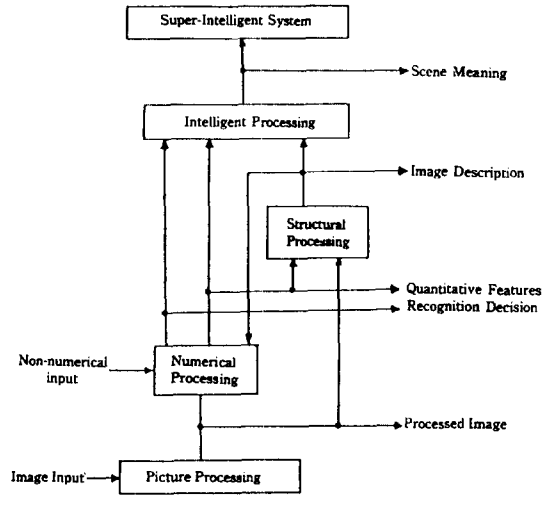


그림 1. 시스템의 구조적 관점에서본 영상신호 처리

이상의 영상신호 처리의 기법과 임무들은 시스템의 구조적 관점에서 보면 그림 1과 같이 나타내어 질 수 있다.

이중 지능처리(Intelligence processing)및 구조적 처리(Structural processing)분야의 특징은 지식데이타 베이스에 근거를 두는 추론 기능과 고도로 뒤엉클어진 list 구조의 데이타 요소로 인한 메모리 관리 시스템의 필요성 등을 들 수 있다. 이러한 특성들은 재래식 범용 컴퓨터의 구조에 의해 효율적으로 처리될 수 있으며 고급(High-level)영상처리라 정의된다. 이에반해 영상처리 및 수치처리(Numerical processing) 분야는 하급(Low-level) 영상처리라 정

의 될 수 있으며 다음과 같은 특징을 갖는다.

i) 데이타의 공간 의존성(Spatial dependency) : 하급 영상 데이타는 특유한 2차원 Array 구조의 공간성을 나타내며 영상처리를 위한 연산구조에 중요한 영향을 미친다. 재래식 범용 컴퓨터의 구조가 영상신호 처리에 효율적으로 이용되지 못하는 주된 이유는 이 특성에 기인한다. 연산구조의 공간 의존성은 local operation[12),13)]에 잘 나타나 공간 의존성의 기본 단위를 이루며 데이타의 처리 및 획득(accessing) 에 고유한 병렬성을 제공한다. 영상신호 처리를 위한 프로세서 구조는 이 특성이 효과적으로 반영 되어야 한다.[14)]

ii) 데이타의 거대성 및 균질성(Hugeness and Homogeneity) : 하급 영상신호 데이타의 또 다른 특징으로 그 거대성과 균질성을 들 수 있다. 2차원 array 구조는 거대한 량의 정보를 포함하여 그 처리에 많은 시간이 요하게 된다. Local operation 의 요구는 이 상황을 더욱 악화시켜 재래식 범용 컴퓨터의 구조로는 실시간 처리에 어려움이 따르고 병렬처리나 pipeline 처리 등의 구조를 갖는 새로운 프로세서가 필요하게 된다. 데이타의 균질성은 모든 화소에 대한 처리가 독립적이고 jump 조건 없이 처리가 가능하여 비교적 간단한 프로세서 구조로도 효율적으로 처리될 수 있음을 알 수 있다.

3 VLSI 기술의 특징과 그 구조적 고려점

VLSI 기술에 근거를 두는 회로소자들은 초기의 디지탈 회로 소자들과 비교하여 볼때 매우 독특한 특성을 갖고 있으며 다음과 같이 요약 될 수 있다.[6),7)]

i) 소자단위의 극소화(small feature size) : 1㎛ 이하의 미세 패턴에 의한 소자 단위의 극소화로 높은 집적도, 빠른 처리속도, 소모 전력의 감소, 가격의 저렴화등 일반적인 VLSI 기술의 장점을 얻을 수 있으나 거대한 전자회로의 복잡 성으로 인한 설계비의 증가 및 테스트등의 어려움으로 새롭고 효율적인 VLSI 설계 기술이 필요하게 된다. 일반적으로 컴퓨터를 이용한 레이아우트(Lay-out) 및 시뮬레이션이 시도 되고 있으며 설계비를 줄이기 위하여 집적도가 떨어지는 Gate Array, ULA (Uncommitted Logic Array) 등의 반 주문제작 칩 (Semi-custom chip)이 사용되기도 한다. 효율적인 VLSI의 실현을 위해 완전 주문제작 칩 (Full-Custom chip) 이 요구 되는 경우 동일한 요소(Unit)가 반복적으로 사용되는 규칙적인 구조의 개발이 중요하게 대두되며 이는 다음에 설명할 특성에도 잘 부합되어 VLSI 지향적 구조라 불릴 수 있다.

ii) 통신비용(communication cost)의 증가 : 재래식 소자기술에서 통신 비용을 압도하던 신호처리(switching) 비용이 급격히 떨어 지면서 소자간 통신의 제한이 VLSI 회로의 기본적 특징으로 나타나게 되었다. 이 사실은 칩 면적의 대부분을 소자간의 통신을 담당하는 배선 및 주변 I/O 핀을 위한 pad가 차지하며, 스위칭 소자가 차지하는 비율이 겨우 수 % 내외인 것과 소자의 지연시간 및 소비전력이 배선의 용량에 절대적 지배를 받는 것에 잘 나타난다. 이 특성은 구조적으로는 근접한 부분 사이에만 높은 Bandwidth 의 통신이 가능한 이른바 국부의 원리 (Principle of locality)'로 나타나야 한다.

이상의 특징을 갖는 VLSI 기술을 이용하여 앞서 설명한 특성을 갖는 영상신호 정보를 처리 하려면 그 구조는 동시에 동작(concurrently operating) 하며 동일 구조의 연산처리 소자(PE ; Processing Element) 들이 정규적으로 상호 연결된 ensemble 구조를 가져야 한다.[15),16)] 그림 2에 광의의 ensemble 구조를 나타 내었다.

Ensemble 구조의 범용성 (Generality)은 연산처리 소자(PE)의 크기에 직접 영향을 받으며 수 bits의 메모리와 약간의 논리회로로 구성되는 간단한 것으로 부터 범용 마이크로 프로세서를 연산처리 소자로 쓰는 것에 이르기 까지 그 종류가 다양하다. 반면에 영상신호 처리를 위한 ensemble 구조의 성능은 연산처리 소자의 수에 의해 더 큰 영향을 받으며 그 응용분야가 확실한 경우 임무 수행을 위한 연산구조와 PE 간의 정보교환 구조를 연구 함으로서 주어진 문제범위내에서의 범용성 및 성능 향상을 꾀하는 효율적인 VLSI 아키텍쳐를 개발할 수 있다.

4 영상신호 처리에 적합한 VLSI 아키텍쳐

앞에서 설명한 VLSI 기술의 특징 및 영상처리 시스템의 특성을 모두 만족 시키는 VLSI 지향적 구조로 화면의 병렬성(Image Plane Parallelism) 에 근거를 둔 CLA(Cellular Logic Array)구조와 공간의존성의 최소 단위인 Local operation 의 병렬성에 근거를 둔 pixel-Kernel 프로세서의 구조를 들 수 있다. 이 장에서는 이들 구조에 대해 좀더 깊이 고찰하고 그 장단점들을 논한다.

4.1 화면 병렬성에 근거를 둔 구조[17)~24)]

2차원 SIMD (Singel Instruction Multiple Data

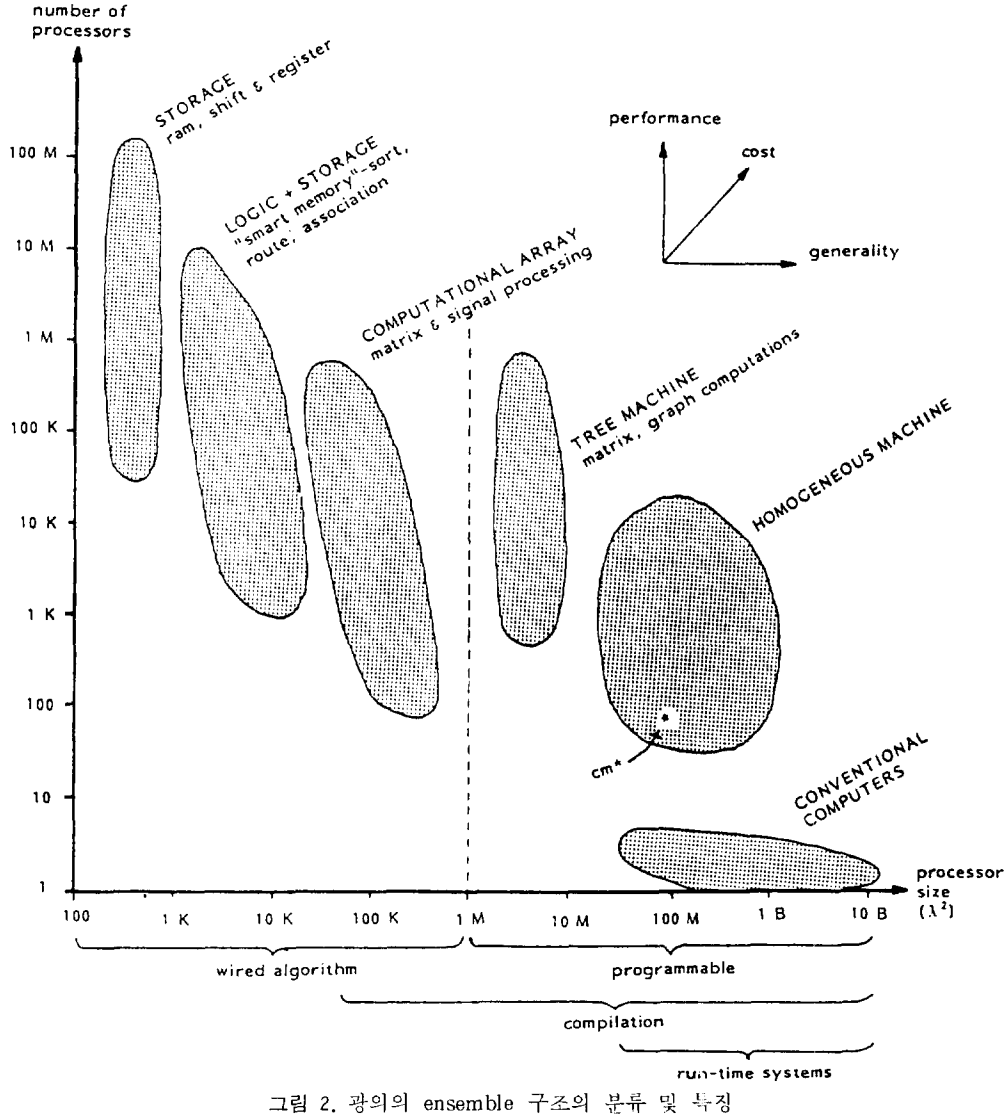


그림 2. 광의의 ensemble 구조의 분류 및 특징

stream) 형태의 병렬처리 구조는 화면을 이루는 화소(pixel)에 연산처리 소자(PE)를 대치한 구조로써 화면과 프로세서 Array 사이에 직접적인 대응관계를 갖고있다. 종래의 cellular 오토메타에 그 이론적 근거를 갖는 이 구조는 CLA (Cellular Logic Array) 라고도 불리우며 Unger 이래 ILLIAC IV 컴퓨터를 거치면서 영상신호 처리를 위해 적합한 구조로 제안되어 왔다. 최근들어 DAP (Distributed Array processor), MPP (Massively parallel Processor), CLIP 4 (Cellular Logic for Image Processing), AAP (Adaptive Array Processor) 등이 SSI 나 MSI 등의 소자로 시도 되었으며 그 VLSI 실현에도 박차를 가하고 있는 중이다.

간단한 연산처리 소자들이 2차원적으로 서로 연결을 갖도록 함으로써 형성되는 CLA는 그림 3과 같이 Host 에 연결되어 전체 시스템을 형성한다. Finite state machine 인 PE의 array로 구성되는 CLA는 각 PE의 새로운 상태 (state) 가 현재의 상태 및 주변 PE들의 상태에 의해 결정된다. 그러므로 CLA는 2차원 데이타를 각 화소가 자신 및 주변의 화소값에 의해 결정되는 새로운 2차원 데이타로의 변환을 갖고온다. 각각의 PE는 간단한 논리회로와 메

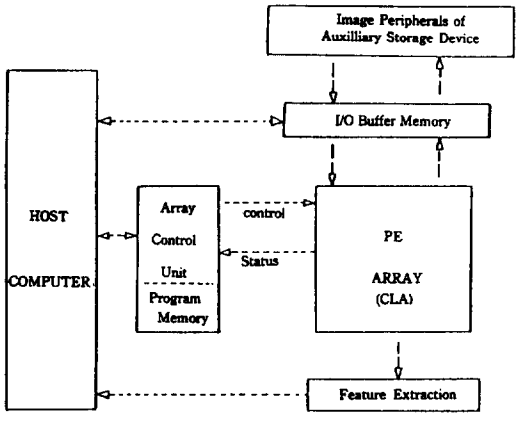
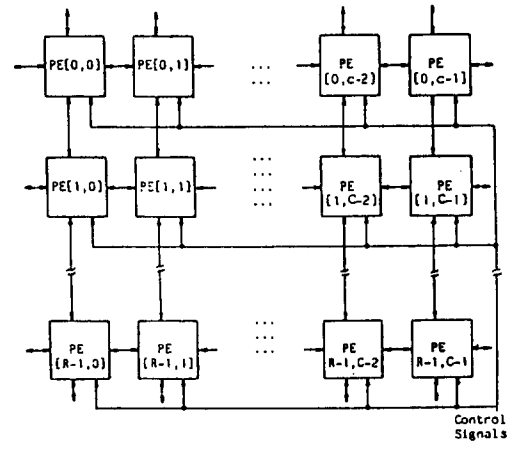


그림 3. CLA 에 근거를 둔 영상처리 시스템의구성도.

모리로 구성되는 bit-serial 프로세서 이고 그 콘트롤 신호 및 메모리 어드레스 신호는 콘트롤 유닛트로 부터 전체 Array에 전파되어 모든 PE가 각각의 메모리에 저장되어 있는 데이타에 대해 원칙적으로 동일한 동작을 수행하게 된다. CLA 및 PE의 구조는 그림 4와 같다. CLA 구성상의 고려점은 PE 간간의 상호연결 방법 (interconnection scheme) 이며 그림 4, a) 와 같이 서로 근접한 4개의 PE가 상호 연결된 Von-Neumann 형태, 대각선 방향의 PE들 까지 상호 연결된 Moore 형태 및 Hexagonal Tessellation 에 이용되는 Golay 형태가 주로 사용된다.

PE는 그림 4, b) 와 같이 입력부, registers, 프로세서 로직 및 메모리의 4부분으로 구성된다. 입력단은 멀티프렉서를 이용하여 주변 PE를 단순히 선택하는 경우와 간단한 논리회로를 이용해서 주변 PE로 부터 오는 신호를 직접 처리하는 경우로 나누어진다. Register 는 입출력용, status 용, working 용이 주로 사용되며 성능향상을 도모하기 위해 가변길이 (Variable-Length) shift register 가 이용되기도 한다. 프로세서의 로직은 간단한 2혹은 3 입력 부울리언 (Boolean) 프로세서, 가산기 (Full-Adder) 및 1-bit 연산기 (ALU ; Arithmetic Logic Unit) 등으로 나눌 수 있으며 목적에 따라 이들의 조합으로 이루어 지기도 한다. Local 메모리는 1-bit 폭으로서 on-chip/off-chip의 구성 요소가 이 구조의 VLSI 실현에 중요한 파라메타가 된다. 표 1에 현재까지 제안되거나 실현된 CLA 구조중 중요한 것의 하드웨어 제원 및 그 특성을 보였다.

이 구조의 장점은 거대한 화면 병렬성 (Image pla-



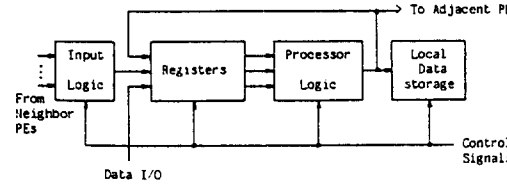


그림 4. Cellular logic array 및 PE의 구조.

표 1. 현재 연구 진행중인 CLA 구조의 특성 비교

	MPP (Massive Parallel Processor)	DAP (Digital Array Processor)	CLIP4 (Cellular Logic Image Processor)	AAP (Adaptive Array Processor)	LIPP
Builder	NASA Goodyear Aerospace	ICL	University College London	NTT Musashino E.C.L	Linkoping University
Inter-Connect Scheme	4 MUX	4 MUX	4/6/8 with LOGIC	8 MUX	4 MUX
Processor Logic Type	Boolean Adder	Adder	Boolean X 2 Adder	ALU	ALU
Memory Size (Bit/PE)	External 1K-64K	External 4K	32	96	64K
I/O Structure	Overlapped Column-parallel	Row-Parllel	Column-parallel		
Cycle Time	100nS	200nS	25uS		
Other Features	* Variable Shift Reg. * Various array Topology	* X Y BUS * PE Memory mapping on Host's Memory			* X-Y BUS * Up/Down Counters * Index Reg * Variable Shift Reg
Number of PEs/Chip	8	16	8	16	167
Number Pins/Chip	52		40	141	
Area (mm)	30		16	94	
Implement Technology	CMOS/SOS Custom LSI	CMOS ULA	NMOS Custom LSI	NMOS Custom VLSI	
Array Size	128 x 128	64 x 64	96 x 96		

ne Parallelism)을 이용 함으로써 높은 throughput rate를 얻을 수 있고 콘트롤러의 프로그램을 바꿈으로써 여러가지 알고리즘을 실현 시킬 수 있는 범용성에 있다. 또한 같은 PE구조가 반복 적으로 사용되므로 PE구조가 간단해 여러개의 PE가 한 칩에 집적되는 경우 VLSI 지향적 구조가 된다. 이 구조의 단점 으로는 거대한 량의 하드웨어 가 필요해 오늘날의 VLSI 기술로서도 그 실현에 많은 노력이 필요하며 Host 등 주변기기의 필요성에 의해 시스템이 거대화 하는것을 들 수 있다. 또 다른 단점 으로는 TV 카메라 등에 의한 sequential 영상신호의 처리에 적합하지 않으며 입출력 버퍼가 필요하며 영상 데이타의 입출력이 많은 경우 bottleneck 이 될 가능성이 있다.

4.2 화소 Kernel병렬성에 근거를 둔 구조

앞 장에서 설명된 VLSI 및 영상신호 처리의 제 특성을 만족 시키며 비교적 작은 하드웨어로 실현될 수 있는 VLSI 지향적 구조로 화소의 병렬성에 근거를 둔 Pixel-Kernel 프로세서의 구조를 들수 있다. 이 구조는 영상 데이타의 공간 의존성의 최소 단위인 Local Operation을 병렬처리 하며 데이타의 거대성 및 균질성은 Pipeline 동작을 통해 처리 함으로써 높은 성능을 얻을 수 있다. 이 구조는 그림 5에서 나타난 바와 같이 Kernel 화소의 병렬 획득을 위한 지연소자(Delay Line) 들과 이들을 처리하는 Pixel-Kernel Function (PKF)의 로직으로 구성된다. R×C 크기의 화면에서 r×c 크기의 Kernel 화소의 값을 병렬획득 하려면 r개의 길이 C인 shift register와 C개의 1 bit register가 그림5에서 보인 것과 같이 조합 되어야 한다. PKF 는 입력 화소들 값에 대한 출력 화소값의 함수관계를 규정짓는 부분으로 요구되는 함수의 계산구조에 따라 효율적으로 설계 되어야 한다. 일반적으로 논리형 PKF, 계산형 PKF 및 순차형 (ordering Type) PKF 로 나누어 질 수 있으며 각 함수의 Argument 들이 병렬로 동시에 입력 되므로 각각에 대해 효과적인 병렬처리 구조가 요구된다.[25]

논리형 PKF 는 복수의 (r×c) 입력단을 갖는 논리 Gate들의 조합이나 메모리 IC를 이용한 Look-uptable을 이용해 비교적 간단하게 실현 될 수 있다. 이에 반해 계산형 PKF는 덧셈 곱셈등 수치계산이 그 성능을 좌우하며 벡타의 내적 (inner-product) 형태의 계산구조가 요구되어 이의 효율적인 실현을 가능케 하는 구조가 필요하다. 순차형 (ordering Type) PKF는 Median 등의 비선형 필터링 동작에 널리 사용되며 다양한 interconnection 방법을 갖는 병렬처리 방법이 제시되고 있다.

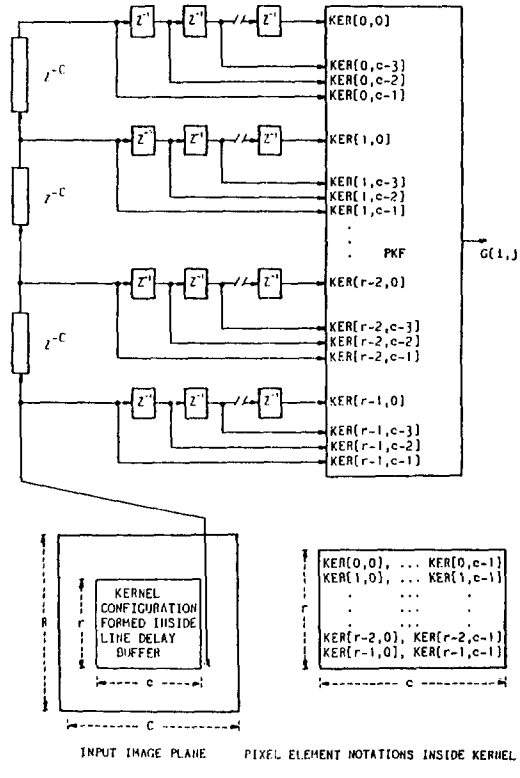
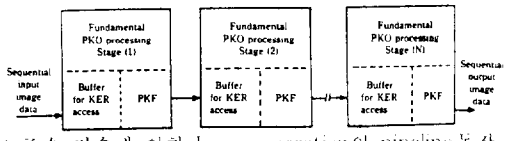
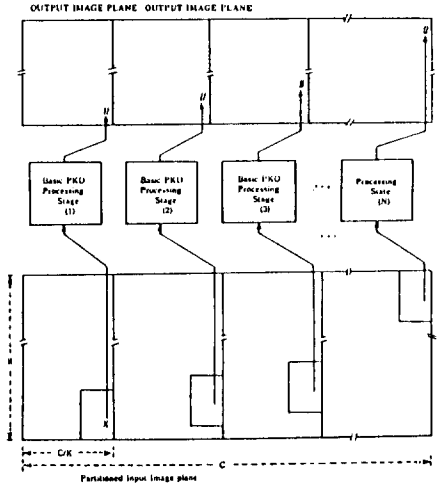


그림 5. Pixel-Kernel 프로세서의 구성 및 동작

이 구조의 장점은 앞서 언급된 비교적 작은량의 하드웨어로 영상처리 알고리즘을 효율적으로 실현 시킬 수 있다는 점 외에도 기본 프로세서의 적절한 조합으로 여러가지 성능 향상을 꾀할 수 있는 시스템상의 유연성 (flexibility)을 들 수 있다. 예를들면 그림 5와 같이 하나의 프로세서로 Kernel 병렬성에 근거를 둔 영상처리가 가능하며 그림 6 a)와 같이 프로세서를 종속접속 (cascading) 함으로써 영상operation 의 pipeline 처리도 가능하다.[26] 반면 그림 6 b)와 같이 화면의 분할에 의한 병렬처리도 가능하고[27] 이상적인 경우 이 프로세서들의 2차원 혹은 3차원 구성으로 화면 병렬성, 화소 Kernel 병렬성 및 영상 operator 의 pipeline 처리 등의 동시실현도 가능하다. 이 구조의 단점으로는 Kernel 크기에 따른 동작의 유연성에 어려움이 있고 계산 구조의 형태에 따라 여러 종류의 프로세서가 필요한점 등이다.



a) 종속 접속에 의한 Image operation의 pipeline동작



b) 면 분할에 의한 화면 병렬처리

그림 6. 화소 Kernel 프로세서에 의한 다양한 시스템 구성예.

5. 결 론

VLSI 기술의 독특한 특징들은 이에 맞는 VLSI 지향적 아키텍처를 요구하게된다. 이러한 아키텍처들은 영상신호 처리에 있어 중요한 실시간 처리를 위한 병렬처리 및 pipeline 처리에도 잘 조화되어 고속 영상신호 처리를 위한 시스템에서 VLSI기술이 필수적으로 사용 되어야 함을 알 수 있다.

현재 고속 영상신호 처리를 위한 VLSI 구조로 화면의 병렬성에 근거를 둔 CLA (Cellular Logic Array) 및 이의 단점을 보완한 피라밋 구조가 활발히 연구 되고 있으나 거대한 양의 하드웨어 및 주변 시스템의 요구로 그 규모가 방대하여 지는 흠이있다. 이에 반하여 화소 Kernel의 병렬성에 근거를 두는 pixel-kernel 프로세서는 영상신호 데이타의 공간의 존성의 기본 단위인 Kernel을 병렬처리 하고 그 거대성 및 균일성은 Pipeline 처리를 함으로써 비교적 작은 하드웨어로 높은 성능을 얻을수 있다. 또한 기존 영상 Sensor 로부터의 데이타 흐름을 중단 시키지 않고 처리 할 수 있으며 기본 프로세서의 다양한 조합 방법에 의해 시스템 구조상의 유연성을 갖는다. 따라서 로보트 등의 실제적인 응용분야에서 후자의 구조가 효율적으로 사용될 것으로 전망된다. 앞으로 효과적인 pixel-Kernel 프로세서의 개발을 위해 PKF 계산구조의 연구와 함께 효과적인 Kernel 병렬성을 실현할 수 있는 VLSI 지향적 구조의 개발이 요구된다.

參 考 文 獻

1) P-E Danielsson and S. Levialdi, "Computer Architectures for Pictorial Information Systems," *IEEE Computer*, pp. 53-67, Nov. 1981.
2) G.R. Nudd, "Image Understanding Architectures," *AFIPS Proc.*, vol. 49, pp. 377-390, 1980.
3) S.H. Unger, "A Computer oriented toward spatial problems," *Proc. IRE*, pp. 174-1750, Oct. 1958.
4) G.H. Barnes and R.M. Brown, M. Kate, D.L. Slotnick, and R.A. Stokes, "The ILLIAC IV Computer," *IEEE Trans. Comput.*, vol. C-17, pp. 746-757, Aug. 1968.
5) D.L. Slotnick and W.C. Borck, R.C. McReynold, "The SOLOMON Computer," *Proc. AFIPS*, vol. 22, pp. 97-107, Washington. D.C., 1962.
6) I.E. Sutherland and C.A. Conway, "Microelectronics and computer science," *Scientific American*, vol. 237, pp. 210-229, Sep. 1982.
7) C. Mead and L. Conway, *Introduction to VLSI systems*, Addison-Wesley, Reading, MA, 1980.
8) A.K. Jain, P.M. Farelle, and V.R. Algazi, *Image Data Compression*, pp. 171-226, Acadimic Press, New York, London, 1984. in Didital Image Processing Techniques.
9) W.K. Pratt, *Digital Image Processing*, John Wiley and sons, New York, 1978.
10) B.R. Hunt, "Image Restoration," *Computer Techniques*, vol. 2, pp. 53-110, Academic Press, London, 1984. Eds. M.P. Ekstrom.
11) H.F. Silverman and D.J. Barnea, "A class of algorithms for fast image registration," *IEEE Trans. Comput.*, vol. C-21, pp. 179-186, Feb. 1972.
12) R.M. Haralick, "Some neighborhood operators," *in Real-Time/Parallel Computing*, pp. 11-36, Plenum Press, New York, 1981. M. Oneo, K. Preston, Jr., A. Rosenfeld Eds.
13) S. Levialdi, "Neighborhood operators: an outlook," in NATO ASI on Pitorial Data Analysis, Springer-Verlag, Berlin, 1983. R. M.

Haralick and S. Levialdi Eds.
14) E.R. Davies, "Image Processing-its Milieu, its Nature, and Constraints on the Design of Special Architectures for its implementation," *in Computing Structures for Image Processing*, pp. 57-76, Academic Press, London, 1983. M. J. B. Duff Ed.
15) H.H. Love, Jr., "The highly parallel super computers: definitions, applications, and predictions," *National Computer Conference*, pp.
16) Charles L. Seitz, "Ensemble Architectures for VLSI-A Survey and Taxanomy", *1982 Conf. on Advanced research in VLSI*, pp. 130~134, MIT, 1982.
17) D.J. Kuck, "ILLIAC TV software and application programming," *IEEE Trans. Comput.*, vol. C-17, pp. 757-770, Aug. 1968.
18) M.J.F. Duff, "A Cellular logic Array for image processing," *Pattern Recognition*, vol. 5, pp. 229-247, 1973.
19) M.J.B. Duff, "CLIP-4: A large scale Integrated Circuit array Parallel Processor," *Proc. of the 3-rd Int. Joint Conf. on Pattern Recognition*, pp. 728-733, 1976.
20) M.J.B. Duff, "Review of the C image processing systems," *National Computer Conf.*, pp. 1055-1-60, Anaheim, U.S.A., 1978.
21) S.F. Reddaway, "The DAP Approach," *Infotech. State of the the Art Report on Super Computers*, vol. No. 2, pp. 310-329, 1978.
22) D.J. Hunt, *The ICL DAP and its application to image processing*, Academic Press, London, 1981. in Language and Architectures for image processing M.J.B. Duff and S. Levialdi Eds.
23) K.E. Batcher, "Design of Massively parallel processor," *IEEE Trans. on Computers*, vol. C-29, pp. 836-840, 1980.
24) K. Prestone, "Basics of cellular logic with some applications in medical image processing," *IEEE Proc.*, vol. 67, pp. 826-855, May, 1979.
25) H.G. Kim, "A Study of Computational Structures and VLSI Architectures for digital image processing based on pixel-Kernel parallelism", Ph.D. thesis Univ. of Kent, England. 1985.
26) S.R. Sternberg, "Pipelined Architectures for Image Processing," *in 'Multicomputers and Image Processing: Algorithms and Programs*, pp. 291-305, Academic Press, New York, 1982. K. Preston Jr. and L. Uhr Eds.
27) Sternberg, "Parallel Partitioned Seriel Neighborhood Processors," *U.S. Patent 4174514*, Nov. 1979.

◇ 알　　림 ◇

회원 여러분의 건승하심을 앙축합니다.

당학회 이사회와 편수위원회에서는 논문투고 규정에 의거 다음과 같이 논문게재료를 개정하여 시행키로 하였으니 논문을 투고할 회원께서는 유념하시어 착오 없으시기 바랍니다.

— 다　　음 —

현　　행	개　　정
〔1〕 1～4面 : 당학회 부담	〔1〕 1～4面 : 당학회 부담
〔2〕 5面～　　13,000원/面	〔2〕 5面～8面 : 13,000원/面
	〔3〕 9面～　　: 30,000원/面
	(사정상 8面 이내로 작성 요망)

※시행일시 : 1985년 10월 1일부터 접수되는 논문.