

兩極工程 (Bipolar Process) 이 CMOS와 競合

— 密度와 性能面에서 —

— Bipolar Process는 모든 決定的 部品을 동시에 설치하고 完全 防壁 처리된 回路要素를 사용함으로써 速度와 密度를 증가시키고 있다. —

超大型級 集積回路的 모든 決定的 部品이 단일 마스크로 일시에 제자리에 裝置될 경우 完全 마스크가 Impact (Implanted Advanced Composed Technology : 高度 植付 構成 技術)라 칭하는 새로운 2 마이크로미터 兩極 工程의 關鍵이다. 8 萬평방mils面積에 數萬개의 部品을 設置하도록 된 Impact는 100mW 電力에 1~2ns Gate Delay를 특징으로 生産된 相補性 金屬 酸化膜 半導體보다 2~3倍 빠르다. 동시에 Impact는 CMOS (16mA 對 4mA) 보다 더 많은 生産과 이전에는 MOS 기술에서만 利用할 수 있던 Packing密度를 提供한다.

1. 完全 構成된 마스크

完全 構成된 마스크는, 단일 마스크로 一時에 모든 결정적 部品을 제자리에 설치할 수 있는 利點을 提供한다. 個別마스크간의 許容 誤差 限界를(그리하여 그들간의 변화에 대한 隨從的인 補整을) 줄임으로서 部品들을 보다 조밀하게 限定하고 部品끼리 보다 密着시킬 수 있다. 특징을 보다 精密化하고 Size를 縮少시킨 결과로 밀도가 보다 높고 보다 빠른 速度를 내도록 Capacitance를 낮추게 되었다.

Impact의 速度를 보다 빨리하는 데 기여하는 것으로 抵抗器 등 기타 要素는 물론 Emitter用 完全 防壁 處理된 構造(4面 酸化 隔離體)가 있

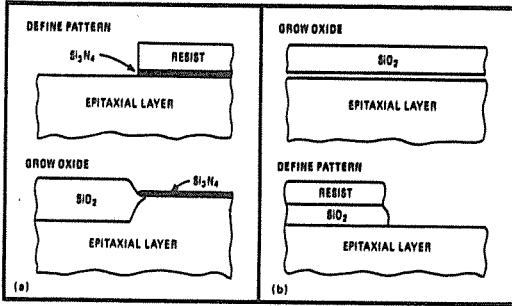
다. 酸化 防壁은 보통 接續과 側面壁 연결된 Capacitance를 줄이는 바, 이는 Small Geometries에서 側面壁이 全般 接續 Capacitance 절반까지 占有(Contribute) 하기 때문에 의미가 있다.

構成 마스크 技法(圖表 1)은 근본적으로 Impact의 部品 Size를 縮小하고 Transistor Capacitance를 낮추는 데 기여한다. 가끔 逆方向 마스크 혹은 逆方向 마스크 接近法이라 불리우는 同 構成 마스크는 二酸化 실리콘이 필요없는 곳에서 그것을 제거하기 보다는 필요한 곳에 그것을 成長시킴으로써 Collector, base 및 Emitter Contacts를 동시에 形成한다. 在來 工程(圖表 1(b))에서는 全下層 表面이 酸化되었을 경우, 抵抗 物質의 마스크와 함께 酸化物이 제거된다. 그러나 Impact 工程에서는 질화물 실리콘을 사용하여 選別된 부분에서의 酸化를 방지한다.

酸化物은 局部 酸化 工程에서 실리콘으로 成長하고 그리하여 有利한 프로파일을 만들어낸다.

Impact는 1960年代 초에 TTL 工程 개발에서 發展한 것인 바, TTL 工程은 7- μ m寫眞 石板 印刷術과 金塗布 및 接合 分離(圖表 2)를 採用했다. TTL 技術이 進展됨에 따라 Schottky Clamping이 接合部에서 Switching과 연결된 저장 시간 遲延을 短縮하는 수단으로써 金塗布를 代置했다. 그후에 酸化物 分離가 接合 分離를 代置했고 그리하여 特徵 Size가 5 μ m로 내려갔다. 다음 단계인 1979年 末에 導入된 高度의 低出力 Schottky 기술은 兩側에 酸化物 채널로 防

壁處理가 되어 있는 얇은 Epitaxial 지역과 Base 지역을 提示했다. 防壁處理의 결과 Base 注入 部分의 주변 장치(Periphery)에 의하여惹起된 Collector-to-Base Capacitance를 낮출 수 있었다. ALS 工程은 4~5ns Gate Delay, Gate當 1mW의 電力 消耗 등을 특색으로 하고 있다.



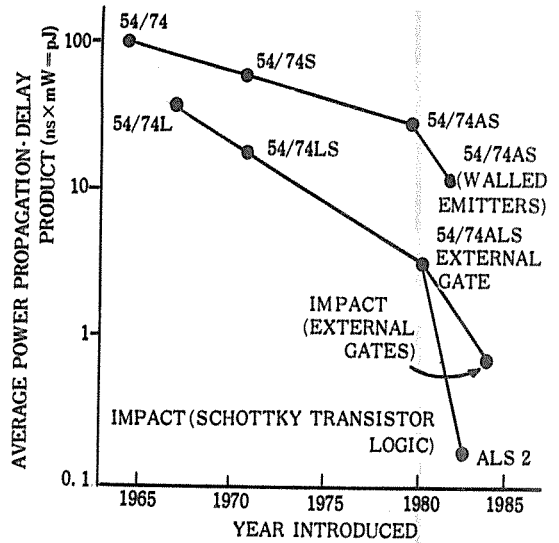
圖表 1. 選別的 成長

構成 마스크 또는 逆方向 마스크(a)이 Si₃N₄를 사용하여 Epitaxial層 斷面을 被覆함으로써 酸化物層을 形成함. 재래 工程(b)에서는 酸化物이 어디에나 장치되어 있고 必要없는 곳에는 蝕刻되어 버렸음.

다음 段階는 Impact인 바 이는 構成 마스크와 完全 防壁處理된 回路 要素, 독립적으로 制御된 Base저항, 2 μ m특징 Size, 최초 水準에서 4 μ m 피치를 가진 2重 水準 金屬을 포함한다. (4個의 Schottky-트랜지스터-로직 — 두 개의 8비트 슬라이스 프로세서와 두 개의 Microsequencer — 이 本工程으로 이루어진다.) 이 새로운 群은 高速 表示 프로세서와 수퍼미니 컴퓨터, array 프로세서 및 기타 高性能 응용을 목표로 한 ALS 工程의 第2世代를 대표한다.

兩極 工程은 Bus指向的인 시스템에 알맞는데 그 이유는 同 시스템에 보통 隨伴되는 큰 相互 連結部 길이가 주어질 경우 主要 考慮 事項으로서 MOS 工程보다 더 높은 驅動(Drive) 特性을 갖고 있기 때문이다. 制限된 驅動 能力을 發揮하는 외에도 MOS 장치는 로직 장치의 Impact Bit Slice類에 맞춰 놓은 20MHz Clock Rate에서 作動할 때 過多 電力 消費를 초래한다.

Impact 工程의 복잡성은 오늘날 高性能 실리콘 게이트 CMOS 기술과 비교할 때 有利한 것으로 同 CMOS 기술은 典型的인 경우, 12~14



圖表 2. Impact처에 근거한 高度의 低電力

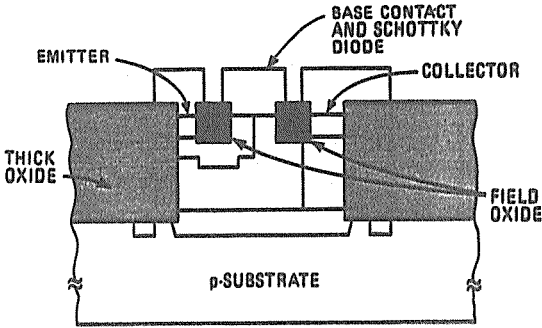
Schottky(ALS 2)는 速度, 電力 및 回路 密度의 등급에 있어서 以前 群보다 利點이 있다. 뿐만 아니라 CMOS보다 出力이 4배나 크다.

Masking 段階를 要한다. STL 핵심 및 金屬型 모델은 단계 수를 덜 要한다.

표준 TTL에 대한 Impact의 속도-출력 改善 事項은 거의 2等級의 Magnitude와 Base를 完全 防壁處理할 수 있는 能力, Emitter 및 Resistor가 주요 요인이 된다는 점이다. 四方에 방벽 처리함으로써 실리콘 下層으로 뻗어 있는 酸化 領域(圖表 3)을 사용하여 側壁 Capacitance를 차단시켜 준다.

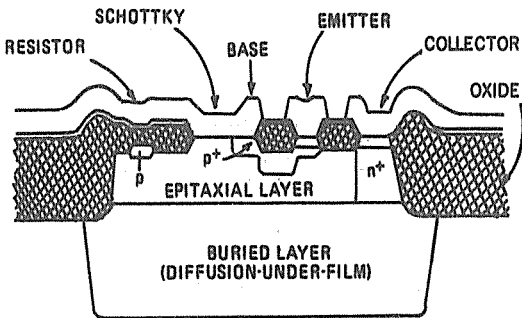
Impact 工程은 高度의 Photomask 구성을 이룩하고 圖表 4에 나타난 바와 같은 transistor를 生産하는 進歩된 寫眞 石板 印刷 技法을 채용한다. 本工程 自體가 Projection 및 Stepper 印刷 方法의 混用에 힘입고 있다. 構成 工程으로 연결되는 단계들은 酸化物 保護層이 下層 全面에 成長되었을 때 시작되며 그 다음에 DUF(Diffusion Under Film: 필름 下部 擴散)층 또는 埋沒層이라 칭하는 塗布된 n⁺領域이 두텁게 植付(Implantation) 되도록 해준다. 酸化層은 제거되고 Epitaxial Silicon층이 DUF 全面에 生成된다. 얇은 酸化物이 生成되고 질화물 실리콘이 그 表面에 쌓이게 되어 分離 工程이 시작된다. 그 다음에 이들 層이 Epitaxial층으로 파고 들어가는 工程에서 Pattern이 이루어지고 蝕刻된다.

그후 表面이 다시 酸化되고 蝕刻된 Channel 에 있는 酸化物이 확대되어 平面 表面을 형성한다. 그 결과로 원래 下層에 침투하여 벽을 형성하는 分離 Channel이 이루어진다.



圖表 3. 内部防壁處理

Impact 공정에서 형성된 4개의 Emitter벽 중, 둘을 도포에서 볼 수 있다. 이것들은 분리 영역과 Emitter의 接合點 및 field Oxide와 Emitter의 接合點에 존재한다.



圖表 4. 埋沒層

최근 投射 印刷 및 Wafer上的 직접적인 段階 技法을 사용하는 Impact工程은 保護 酸化物 層으로 시작되는 바, 同保護層은 DUF 또는 埋沒層이라 칭하는 塗布된 n+領域이 植付되도록 해준다.

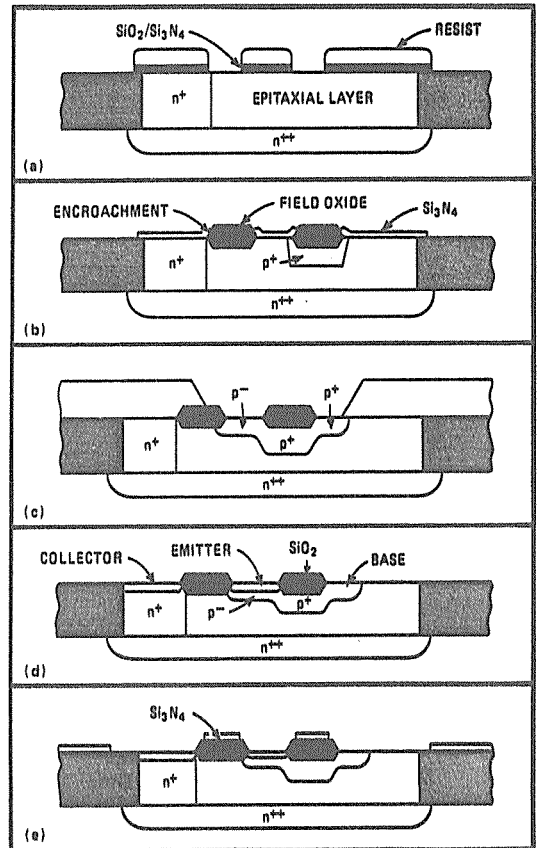
n+層을 擴散시키기 위하여는 殘余 질화물 실리콘 중 얼마가 제거되어 窓(Window)을 形成한다. 이것이 재래식 擴散을 사용하는 유일한 경우이며 余他의 단계들은 低 Collector 저항을 가진 작은 transistor를 提供하며 自動 整列 되는 植付로 되어 있다. 低抵抗은 低熱消耗 및 주어진 電流量에 대하여 보다 높은 密度 回路로 바꾸어 준다.

다음 단계는 構成 工程을 시작하는 바, 본공정에서는 모든 臨界 幾何學(레지스터, 트랜지스

터, Schottky 다이오드)이 즉각 규정된다. 第1次 薄膜 酸化物과 질화물층이 全表面에 生成된다. (圖表 5a).

그 후 接觸用 面積을 더도록 Pattern들이 마스크되며 산화물이 이들 주위에 生成된다. 이것을 (圖表 5b) Field酸化 단계로 豫想하는 것이 보다 쉬운 경우가 흔히 있는데 그 이유는 表面에 있는 구멍들에 보다 두꺼운 酸化物이 나타나기 때문이다. 본 Field酸化는 또한 차후 處理에서 植付 마스크 역할도 한다.

그 다음에 構成된 마스크를 아직 재자리에 두고 이번에는 正常 以上 크기의 마스크(臨界 整列을 요하지 않는 마스크)가 장차 Emitter가 될 부분과 Base간의 領域을 열어 놓는다. 그리하여 모든 部品の 위치가 단일 마스크에 의하여 固定되어 있는 반면에 各種 部品生成이 치수 제어(Dimensional Control)와 Registration이 보다 덜 決定的인 余他 正常 이상의 크기로 된 마스크로 이루어진다.



圖表 5. 自動 整列

構成 工程은 Field-oxide 마스크 工程으로 간주될 수 있는 바, 本 工程에서는 가장 두꺼운 酸化物 領域이 植付 마스크 역할을 한다. 構成의 利點은 低 Collector抵抗을 가진 트랜지스터 등 自動 整列된 部品을 生産하여 보다 높은 密度 回路를 가능케 한다는 것이다.

2. 關鍵은 질화물

그 후 구성된 마스크에 사용된 抵抗이 제거되고 새로운 차단층이 쌓여서 Resistor를 형성한다. 레지스터 本體가 질화물層으로 보호받고 있으므로 本 水準은 실제로 抵抗體가 될 部分을 열어 주며 질화물層을 제거한다. 그리하여 酸化物이 生成되지 않을 곳을 規定하기 위하여 질화물 層이 사용된다. 그 다음에 레지스터가 植付되고 燒結(Anneal)되며 保護를 위하여 그 영역이 酸化된다. 이런 方法으로 Square當 $50\Omega \sim 10 K\Omega$ 간의 Sheet저항이 가능하게 된다.

질화물層은 결정적인 바 그 이유는 適正 位置에서 그것으로 酸化하는 것이 可能하고 精確한 幾何學을 유지하는 것이 가능하기 때문인데, 이는 光抵抗 마스크를 사용하여 불필요한 酸化物을 사용하는 在來의 方式으로 할 수 없는 것이다. 더우기 질화물層은 余他 工程에 영향을 주지 않고 바꿀 수 있는 抵抗을 收容한다.

한편 질화물層을 제거한 狀態로 트랜지스터에서 두터운 酸化物이 남아서 植付 마스크 역할을 한다. 예를 들어 窓구멍용 整列이 決定的이 아니기 때문에 超正常 光抵抗(Photoresist) 마스크(圖表 5c)를 模型 구성함으로써 Base가 형성된다. 內在의 Base를 Emitter下에 둔 Base는 2단계 植付가 된다. 2단계 Base영역을 사용함으로써 주어진 칩에 대한 加工 段階수를 하나 줄여준다.

Emitter를 형성하기 위하여(圖表 5(d)), n^+ 영역을 열도록 또 다른 超正常 光抵抗 마스크가 사용된다. 그 다음 Emitter가 植付되어 좁은 Base-emitter 接合을 형성한다. 그 다음에 移動이온이 接合點에 到達하여 이를 파괴하지 않게 저지하도록 질화 실리콘膜(圖表 5(e))이 形成된다. 마지막으로 질화물 위에 최종 金屬層이 놓여지고 Pattern이 이루어져서 部品 相互 연결을 形成한다.

얇고 좁은 接合 植付 트랜지스터는 高密度, 高周波 部品을 形成하며 그 周波數 反應은 두꺼운 酸化物 分離로 높여진다. Impact 工程의 利點中에는 外在 Base(2重 단계 Base의 p^+ 面積)가 全 Base面積을 縮小시키고 그리하여 Base와 相關된 Capacitance를 極小化하는 반면, 두터운 表面 濃縮으로 接觸 抵抗을 줄인다는 것이다. 그 결과로 接觸 (p^+) 領域과 內在 領域 둘 다 갖춘 2重 植付 Base 영역이 小信號 電流 利得(Gain), h_{fe} 등 Emitter特性 制御를 위한 보다 평평하고 보다 깊은 Base를 提供해 준다.

좁은 金屬 相互 連結은 Capacitance 감소와 速度 增加에 기여한다. 금속 피치는 $4\mu m$, 즉 線과 $2\mu m$ 空間으로 되어 있다. 두 金屬層中에서 첫째는 銅被覆 알미늄으로 되어 있고 둘째 것은 純粹 알미늄으로 되어 있다. 構成된 마스크 技法의 경우에서와 같이 金屬層 形成은 段階 및 反復 Pattern 形成 技法을 요하는 바, 同 技法은 生産 時間을 增加시켜준다.

표 1. DC Parameters

Parameter	Value
DUF (buried-layer) resistance	$15\Omega/\square$
Epitaxial-layer thickness	$1.0\mu m$
High sheet resistance	$2,000\Omega/\square$
Temperature-coefficient resistance	$< 0.25\%/^{\circ}C$
Pt sheet resistance	$300\Omega/\square$
h_{FE} (dc current gain)	100typ
BV_{CBO} (collector-base breakdown voltage)	20V
BV_{EBO} (emitter-base breakdown voltage)	6.5V

표 2. SPICE Parameters

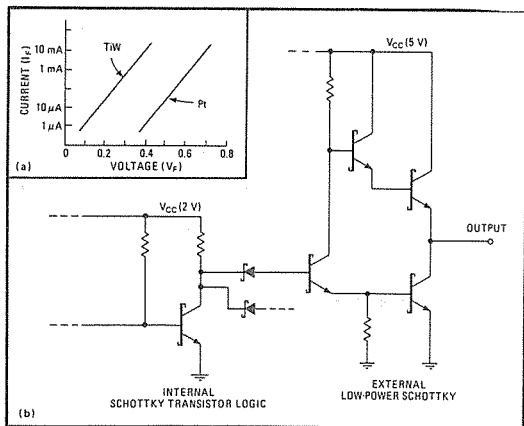
Parameter	Value
C_{BC} (base-collector capacitance)	0.04pF
C_{CS} (collector-substrate capacitance)	0.06pF
C_{BE} (base-emitter capacitance)	0.02pF
T_f (transmit time in forward direction)	40ps
R_B (base resistance)	700Ω
R_C (collector resistance)	150Ω
R_E (emitter resistance)	4Ω

3. Impact 性能

構成된 마스크의 경우 全面 部品 Size를 줄이는 데 도움이 되는 自然的인 縮少가 發生한다. 예를 들어 Emitter 水準에서 $2\mu\text{m}$ 이미지는 $5\mu\text{m}$ Emitter 를 가져온다. 氧化物이 生成되어 있을 경우 이것은 $2\mu\text{m}$ 幾何學 주변 아래로 들어가서 그것을 효과적으로 줄인다. 氧化物이 선별적으로 生成되지 않고 蝕刻되는 余他 工程에서는 特長들을 이런 식으로 줄일 수 있는 기회가 없다.

本 工程 性能이 Impact 의 경우, 만들어진 칩의 DC 變數를 보여주는 表 1 과 Impact 를 사용하는 디자이너가 SPICE (Simulation Program with IC Emphasis) 變數의 경우 컴퓨터 보조 디자인을 제공하는 性能 變數를 보여 주는 表 2 에 要約되어 있다. 表 2 의 變數 값은 Impact 의 보다 적은 特長들과 防壁 處理된 構造에 內在해 있는 Capacitance 減少를 반영해 준다.

STL 回路(圖表 6)를 구성하기 위하여 Impact 를 사용하려는 결정은 TTL과 對比하여 STL 의 低電力 所要와 보다 빠른 Emitter 結付 論理 回路에 기초해 있다. 그러나 Impact는 매우 融通性이 있어서 余他 論理 回路도 收容할 수 있다. ECL 回路 구성은 主要 工程 단계에서가 아니라 Base 抵抗과 Epitaxial 層의 두께 變化만을 요한다. 트랜지스터 레이아웃은 2重 Base 接觸이 Base 抵抗을 절반으로 줄인 채 變更될 것이다. Collector와 Emitter 의 경우에도 마찬가지이다.



圖表 6.

300mV (a) 의 論理 Swing을 가진 STL 回路가 大衆用 Logic 群과 互換性을 가진 빠르고 出力 높은 게이트용 LS TTL 周邊機器 (b) 와 結合된다. STL로 적용 Packing 密度는 mm^2 當 約 800個 部品이다.

Impact 를 사용하는 余他 Logic 群을 生産하기 위한 修正은 무엇보다도 트랜지스터 크기와 Sheet 저항의 變化를 요한다. STL 디자인용 Packing 密度는 mm^2 當 平均 約 800個 部品 정도에 달하며 統合 水準은 무엇보다도 주어진 Package 가 다룰 수 있는 電力 消耗로 制限을 받는다. 數萬個級 부품수를 가진 칩과 數千個級 게이트 數를 가진 칩이 가능하다.

4. 信賴度 增大

STL 回路는 電壓 Swing이 근소하며 따라서 全面 電力 消耗가 낮다. STL 의 約 300mV 로직 Swing은 2개의 Schottky 다이오드 間의 前方 電壓 降下의 差異에서 緣由한다. 이것은 플라티늄 텅스텐 다이오드로 이루어지는 바, $200\sim 300\text{mV}$ 의 로직 스윙을 가져온다. Impact 로 만든 ECL 회로는 Schottky 다이오드를 사용하지 않을 것이다.

Impact 工程 構造가 디자인될 때 信賴度에 특별히 留意했다. 본 기술의 高速性和 低電力性, 大型 集積을 위한 可能性으로 인하여 停電 (Failure) 中 긴 平均 時間을 요하는 大型 複合 시스템에 사용되는 칩에 적합하게 된다.

高靜電 放電 誤差도 역시 設計해 넣었다. 더우기 低電流 密度와 金屬 間隔의 精確度, 接觸 Size 등이 現 工程에 신뢰도를 높이며, 미래의 特長 Size 減少를 가능하게 해 줄 것이다.

信賴度를 더욱 더 높이기 위하여 첫 水準 相互 連結에 있는 銅 塗布 알미늄 사용으로 Electromigration을 줄인다. 이 외에도 上記 실리 콘 鍍화물 캡이 Mobile-ion 汚染을 막으며 最終 Passivation은 信賴度를 도와준다.