

吳 吉 祿

韓國電子技術研究所
컴퓨터 연구부장/工博

미니 컴퓨터 설계 기술 개발

“
첨단기술에 도전하기
위해서는 면밀한 사업계획과
장기간의 투자계획이
있어야 되므로
본고에서 단계별 사업계획을
발표하므로써 과학기술 개발에
관심있는 분들에게
도움을 주고자
한다
”

1. 연구개발의 필요성

'82년부터는 국가 특정 연구사업이 생겨 여러 가지 좋은 연구과제가 수행되어 왔지만 전자기술연구소에서 추진해 온 사업 중에서 「교육용 소형컴퓨터 개발 및 보급에 관한 연구」와 「사무자동화 시스템 개발」이라는 두 연구사업의 성공과 그 파급 효과는 컴퓨터 산업 육성에 획기적인 공헌을 하였으며, 8/16비트 CP/M기계와 16비트 Unix기계 등 마이크로 컴퓨터의 개발 성공은 컴퓨터 국산화에 이바지하였다.

이제 필자는 컴퓨터 기술 개발이라는 대형 국책 연구과제의 총괄 연구책임자로서 컴퓨터 국산화 개발 방향 및 기술정착을 위해서 필요하다고 생각하는 사항을 세부연구과제 명으로 분류하여 제시코자 한다.

불과 2년 사이에 국내 컴퓨터산업도 급속히 변천하여 개인용 컴퓨터, CP/M수준의 마이크로 컴퓨터가 국산화되어 보급이 일반화되었지만 미니컴퓨터 이상되는 중·대형 컴퓨터는 상당한 설계기술의 축적이 필요하여 전적으로 외국에서 도입, 보급하는 실정이다. 현 시점에서 볼 때 도입되는 컴퓨터 중 대부분을 차지하는 미니컴퓨터를 국산으로 대체하여 수입을 막아야 한다는 경제적인 요구와 함께 미니컴퓨터를 국산화 하므로써 컴퓨터 하드웨어 설계 기술 정착에 획기적인 전기를 마련해 줄 것으로 믿으며 이러한 대형 연구개발 사업을 추진하므로써 개발 환경이 조성되고 전문 고급인력이 많이 양성되어 전략 무기화되어가는 초대형컴퓨터 국산화의 초석을 다지게 될 것이다.

2. 연구개발의 목표

본 연구 사업은 부산물로써 IBM대형컴퓨터의 O.S인 VM/370을 탑재한 국산 미니컴퓨터를 개

발하게 되는데 기술축적 및 환경조성이 더 큰 목표이므로 전체 시스템에 관한 본 연구개발의 정의는 다음과 같다.

Architecture(target machine) : IBM370 명령어

Implementation(host machine) :

- 32 - Bit Data Path 인 Bit - Slice Logic Based Hardware
- Microprogrammable CPU
- 32Bit Standard Bus
- Peripheral Compatible Systems

O.S Architecture(O.S Porting) : VM/370 Release 6

연구개발 방법상 Target시스템을 IBM370으로 고정하고 있으나, 궁극적으로 General Host Machine개발 및 설계기술 정립을 그 목적으로 하고 있으므로 다음과 같은 기술 사항을 연구내용으로 포함한다.

기술사항 :

- System Architecture 설계기술 (Target Dependent)
- General Host Hardware 설계기술
- Microprogram에 의한 Emulation 기술
- Advanced Hardware Architecture설계 및 Analysis방법 연구

개발도구 사항 :

- Microprogram Tools : Higher - Level Microprogram Compiler, Meta - Assembler, Compaction and Optimization
- Simulation 및 Test Tools : Register - Level Simulator, Logic 및 Circuit Level Simulator, Test Set Generator
- Integrated Design Tool연구 : CAD, Silicon - Compiler 연구

이와 같은 과제를 약 3년 기간으로 단계적 개발을 시도하고 있다.

3. 단계별 연구개발 범위

몇몇 대기업들이 현재 첨단기술에 대한 선전 광고에 전력경주를 하고 있으나 첨단기술에 도전하기 위해서는 면밀한 사업계획과 장기간의 투자계획이 있어야 되므로 본고에서 단계별 사업계획을 발표하므로써 과학기술 개발에 관심있는 분들에게 도움을 주고자 한다.

전항에서 설명한 본연구과제의 내용 중 첫단계는 다음과 같은 범위의 내용을 개발한다. 이를 위해 약 2억원과 20여명의 연구원이 투입되었다.

- Bit - Slice Logic회로에 의한 CPU 개발: 32 - Bit Data Path ALU, Micro - Control Logic설계, VERSA - Bus Interface 회로 및 WCS(Writable Control Store) 설계.
- Microprogram에 의한 IBM370 명령어 Emulation : Microinstruction설계, CPU 명령어 중 General Instruction, Decimal Instruction, Floating - Point Instruction 에 관한 Emulation.
- Meta - Assembler 및 Simulator개발 : New Micro Instruction용 Meta - Assembler 개발, Micro Program Test용 Register - Level Simulator개발.

이와 같은 단계별 개발은 그림 1 과 같다.

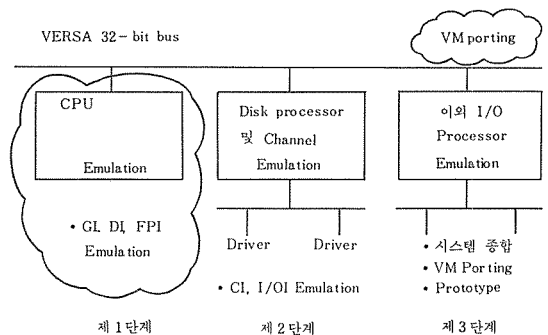


그림 1. 시스템 구성과 단계별 개발범위

컴퓨터 技術 강좌

시스템 구성을 위한 본 연구의 접근 방법은, 표준시스템버스에 의한 각 시스템보드들의 모듈화작업을 시도하여 슈퍼마이크로 수준으로 구성하고 여기에 메인프레임 수준 O.S를 수용하는데 있다.

첫 단계는 IBM 370명령어 중 CPU에 해당하는 부분을 Emulation하기 위한 연구개발로 이루어져 있다. 이를 위해 새로운 마이크로인스트럭션의 정의를 마이크로오퍼레이션을 기반으로 설계하고, 그것을 Firmware개발, 즉 마이크로프로그램 기법으로 Emulation한다.

이같은 작업은 그것을 지지할 수 있는 하드웨어 개발에 기반을 두게 되는데, Bit-Slice에 의한 제반 하드웨어를 개발한다.

전반적인 개발도구의 정립이 첫단계의 중요한 과제 중의 하나이다.

제 2단계의 주요내용은 그림1처럼디스크 시스템을 중심으로 한 채널 시스템을 개발하게 되는데 이와 같은 시스템에 적합한 디스크 프로세서 개발 및 그에 관련된명령어와 동작의Emulation이 수반될 것이다. 이를 위해 역시 약 20 명의 연구원과 2억원의 예산이 투입될 것이며 연구의 세부 사항은 다음과 같다.

- Instruction Processor 설계완료 : IBM370 Instruction Emulation, IP 보드 테스트 및 Diagnostic Program개발 IP 보드 Simulation을 위한 Hardware Description Language개발.
- Disk Processor설계 개발 : Bit-Slice Disk Processor H/W개발, Disk Channel Emulation Microprogram, Disk Controller와 Driver의 32Bit Bus에 Integration.
- Microprogram Tool 개발정립 : Register-Level Simulator정립, Logic-Level 에서 CAD에 이르는 Tool연구, Microprogram 관련 기초 연구.

제 3 단계에서는 약 6억원에 24명의 연구원을 투입하여 나머지 I/O부분개발 및 제반 System Integration을 하고 VM/370을 탑재하여 시제품을 개발 구성하며 세부내용은 다음과 같다.

- Byte Multiplexer개발 : Byte Multiplexer에 해당하는 Controller를 Firmware로Emulation, System Console Printer Dummy Terminal이 부차 가능토록 Byte Multiplexer H/W제작
- O.S. 탑재 : IBM VM/370 O.S를 분석하여 개발될 시스템에 이식하고 시스템을 테스트함
- Communication Controller연구 : SNA 연구, SDLC연구.

4. CPU설계를 위한 Bit-Slice 부품선정

CPU개발을 Bit-Slice Logic에 의해 하는 이유는 다음과 같이 요약할 수 있다.

가. 컴퓨터능력의 Mini화 :

1980년도 시점의 프로세서 설계용 하드웨어 부품 Spectrum은 다음과 같다.

- (1) 68,000트랜지스터(Tr) 1 chip : low-end화
- (2) 2,000 Tr 1 chip : mainframe
- (3) 500 Tr 1 chip : super computer

즉 1 Chip Approach경우는 Low-End machine에 적용되고 High-Performance로 갈수록 빠르지만 Tr이 적게 수용된 Chip을 쓰고 있다.

본 연구에서는 이러한 Performance의 Spectrum중 중간 수준을 선택하여 LSI Chip에 의한 Mini화를 목적으로 한다.

나. 새로운 마이크로 명령어설계 :

Target 시스템을 Emulation할 수 있는 Microprogrammable CPU구성을 위한 부분시스템 Spectrum은 다음과 같다.

- (1) User Microprogrammable한 기존 미니컴퓨터 또는 High-End Work Station
- (2) Bit-Slice Logic 또는 TTL Chips

(3) Off-Chip Microprogram-Store Microprogrammable Microprocessor,

위의 (1)과 (3)은 이미 그 마이크로명령어가 고정되어 사용자가 주어진 하드웨어 Resource 및 명령어에 의해 마이크로프로그램을 해야 한다. 그러므로 주어진 시스템에 가장 적합한 마이크로 오퍼레이션 설계 및 명령어 설계 그에 따른 최적의 마이크로프로그램을 위하여는 하드웨어 Resource 및 마이크로 명령어도 새로 설계하는 것이 유리하다.

그러므로 새로운 마이크로 명령어 설계를 위하여 (2)의 부품을 쓰되 Medium 수준 컴퓨터 구성(위의 가에서 설명)을 위한 Bit-Slice 부품을 쓴다.

다. 기능상 동등한 하드웨어 설계기술 :

어느 Target 시스템을 설계한다해도 그곳에 필요한 공통기술부분이 존재한다. 그러한 기능면만 볼 때 그것을 실현할 수 있는 방법 Spectrum은 다음과 같다(Functionally Equivalent Design용 Implementation 계층).

(1) Bit-Slice Logic

(2) 1 chip LSI: Off-Chip Microprogrammable Processor

(3) Gate array, VLSI 설계

본 연구에서는 최종 Target 시스템의 성능 Spectrum, Market Spectrum Technology Spectrum 등 각 요구 경우에 따라 그 상황에 맞는 부품층을 설계할 수 있는, 기능상의 설계기술 배양에 중점을 둔다.

그러므로 첫째에는 Microprogram 및 Micro hardware architecture 설계 기술을 기반으로 목표하되, Bit-Slice Logic의 융통성 특징을 채택한다 추후에 그 기술을 Off-Chip 또는 VLSI 설계 등으로 Functionally Equivalent한 Conversion은 가능할 것으로 가정한다.

현재의 4 Bit-Slice 이외에, 최근 8-Bit

Slice Logic(예 AS888 Series)등도 출현되고 있으나 개발도구 등이 아직 문제이고 또 4 Bit Slice 기술이 정착되면 8-Bit로 Conversion하는 것은 가능하다고 가정하여 AMD의 2900 Series중 최신부품인 AM29203 ALU Slice 및 AM2911 Slice 등을 채택하여 개발하였다. 그러나 이러한 H/W Implementation 계층은 전체 시스템의 Lower Physical Layer이므로 다른 방법의 Implementation이 가능함을 염두에 두고 개발하였음을 밝혀둔다.

5. 개발시스템의 계층모델 및 변환성과 융통성

본 연구개발의 구조를 계층별로(Top-down) 살펴보면 그림 2와 같다.

위 부분으로 갈수록 Target System Dependent이므로 System Analysis가 필요하게 되고 중간 계층은 Target System을 Implement할 Firmware 계층이 된다. Firmware 계층에서는 Target System을 Microprogram으로 기술하게 되는데, 맨 아래 계층의 Hardware Host Machine이 이와 같은 Micro Instruction 수행을 담당한다. 그러므로 맨아래 계층은 Target에서 독립된 어느 정도의 General Host층을 이룬다.

시스템 모델로서는 표준 32-Bit Bus에 의한 Hierarchical 구성을 하게 되었는데 VERSA Bus를 채택하였다. 32-Bit 표준 버스 및 기타 시스템 버스 Spectrum은 다음과 같다.

(1) VERSA Bus

(2) VME Bus

(3) Other 32-bit bus

이중 VME Bus용 Board는 면적이 VERSA 용보다 작아, 일단 개발 단계에서는 회로 및 기타 사항을 고려할 때, 더 넓은 VERSA 용으로 선택했다. 그 외에 기능 등은 비슷하므로 여기

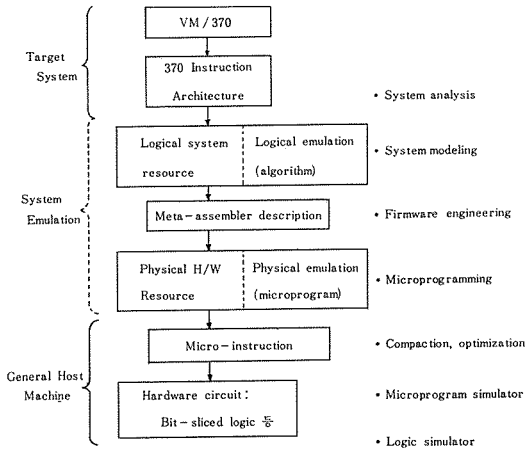


그림 2. 시스템 개발 계층모델

의 선택도 필요에 따라 다른 Bus로 변환하는 것은 (Functionally Equivalent Conversion) 설계 능력 배양 후에 충분히 가능한 것으로 가정한다.

위의 주의에서 밝힌 바와 같이 기능상 변환가능성에 중점을 둔 것은 시스템 개발 계층모델(그림2)의 각 계층마다 또는 계층 중 수평기능의 독립성을 많이 부여하기 위함인데 그 목적은 아래와 같다.

가. Horizontal Flexibility : 각 계층별 설계능력이 최종 목적시스템에 맞도록 최적화 설계가능

나. Vertical Flexibility(Retargetable Computer Architecture) : 계층 중 위의 Target시스템이 바뀌더라도, 아래 Host층은 독립성을 유지 한다.

이와 같은 융통성 관계도는 그림 3 과 같다.

이와 같은 이차원 융통성이 제대로 이루어지려면 기초설계기술 및 그것을 보좌할 개발도구 정립이 매우 중요하게 된다.

6. 마이크로프로그램 개발도구 정립

컴퓨터시스템 설계를 Modular로 하여 많은 Flexibility를 주도록 하고 그에 기반으로 하여 주어진 Target및 최적시스템을 경제적 시간내에 설계하려면 개발도구의 정립이 중요하다.

본 연구에서는 그림 3 과 같은 융통성 및 최종설계를 어떻게 순기 개념적으로 빨리 정확히 할 수 있는가에 그 목적을 두고 있다.

궁극적으로는 Problem Description부터 회로 설계까지 종합된(더 확장하면 반도체까지 : Silicon-Compiler) tool이 이상적이나 첫해에는 부분별 개발 도구를 정립하도록 노력했다.

가. Meta-Assembler : 본 연구에서 개발한 마이크로 명령어에 맞는 Definition부분과, 마이크로 프로그램을 Assemble할 Assembler부분을 정립한다.

나. Microprogram Simulator : Meta-Assembler의 출력 데이터를 받아 실제의 하드웨어에서 제대로 동작할지를 소프트웨어로 Simulation한다. 여기에는 하드웨어를 기술하는 Hardware Description부분과 실제 Simulation을 할 Interpretation부분이 있다.

Meta-assembler는 본 연구에서 개발된 시스템에 맞도록 대부분 새로 개발했으며, Simul-

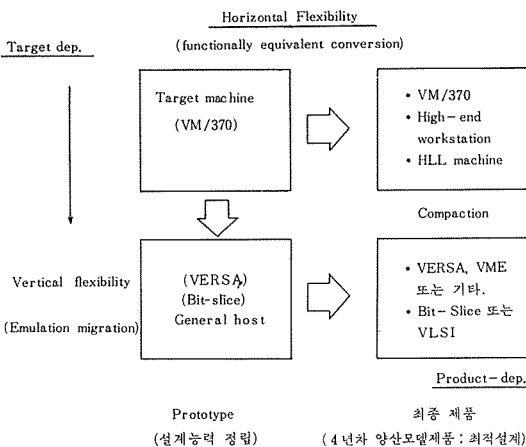


그림 3. Two-dimensional flexibility시스템

ator는 AHPL언어에 의한 하드웨어 기술에 근거하여 본 연구에서 개발한 마이크로 프로그램을 테스트하였다.

이와 같은 개발도구 이용과 테스트의 관계도는 그림 4와 같다.

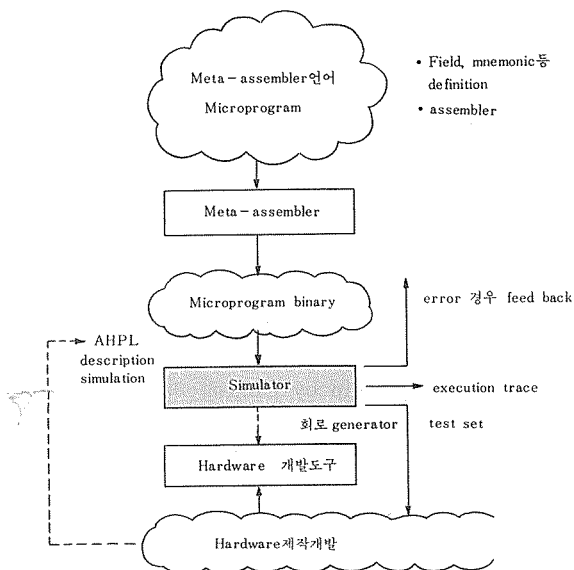


그림 4. 개발도구 관계도

그러므로 본 연구에서는 Higher-Level Microprogramming Compiler 및 종합 CAD tool 등은 기초연구로 계속하고, 실질 소프트웨어 개발도구로는 Meta-assembler, Register-level simulator, Circuit simulator (optional) 등을 개발하여 이용하였다.

7. 결 론

본 연구사업으로 우리는 다음과 같은 성과를 기대하고 있다.

- 중형컴퓨터 국산화로 수입대체 효과
- IBM VM/370기계개발로 독자적인 VM Society 형성
- 컴퓨터 하드웨어 설계기술 정착
- 마이크로 프로그램 기술확립
- 컴퓨터 시스템 개발을 위한 설계 도구 및 환경 정립
- VLSI설계기술에 필요한 컴퓨터 설계 기술 구축
- 대형컴퓨터 시스템 개발 기반구축
- 産·學·研 공동연구체제 확립

따라서 이와 같은 연구가 각 기업체에서 연달아 이루어져 상품화되고 보편화되어 지기를 바란다.

정성다한 우수상품
사라지는 상사분쟁