

VLSI 設計와 CAD 技術開發 研究 戰略

- 다음 세대 컴퓨터 개발을 위한 -

李 文 基

延世大學校 電子電算機工學科 教授(工博)

요 약

국내의 다음세대 컴퓨터 개발을 위한 VLSI 설계와 CAD 분야에 대한 연구 방향을 제시한다. 연구의 목표는 국제적으로 경쟁할 수 있는 VLSI 설계능력과 백만개 정도의 트랜지스터로 구성된 회로를 경제적으로 설계하기 위한 CAD 기술과 System의 확립이다.

- 새로운 회로 구조와 알고리즘에 대한 연구
- CAD 도구와 언어의 개발에 관한 첨단 CAD 기술개발연구
- VLSI 설계에 필요한 CAD 도구 이용과 개발에 필요한 표준 인터페이스, 네트워킹, 컴퓨팅 하드웨어, 시스템 소프트웨어에 대한 연구등의 부분으로 크게 나눌 수 있다.

이용 가능한 CAD system을 평가하고 개선하며 첨단 CAD에 대한 소프트웨어와 하드웨어에 대해

- 컴퓨팅 하드웨어
 - 프로그램 분위기
 - 네트워킹 능력
 - 자료 교환을 위한 표준인터페이스
- 등에 관해 조사분석도 병행한다.

CAD에 관한 세부적인 연구 과제는

- 시스템 사양언어
 - 설계 검증
 - 시스템 시뮬레이션
 - 설계합성
 - 설계해석
 - 설계방법론
 - 디바이스와 공정 모델링 프로그램
- 등이다.

고속 계산용 VLSI에 관한 구조와 알고리즘은 행렬 계산을 위한

- 분산 배열 처리 회로
- 시스토크(Systolic) 배열 회로

- 셀룰라(Cellular) 논리회로
- 3차원 배열 회로 와
- 비규칙적 계산 알고리즘을 갖는 VLSI가 있다.

VLSI설계훈련과 CAD 기술 축적을 위해 CAD enter를 설립하여 전국적인 CAD 네트워킹을 관계 연구소와 여러 대학에 가설하며, MPC 계획을 추진한다.

VLSI설계 가능성이 입증되면 VLSI 설계능력을 더욱 향상 시키기 위해 0.5~1.0 μ m기술의 silicon foundary를 설립한다.

연구 개발 조직은 대학, 산업체, 연구소가 삼위일체가 되어 수행될 수 있도록 연구 개발 위원회를 설치 운영하며 경쟁적이며 경제적으로 연구 업무를 집행하는 것이 바람직하다.

덧머리

주로 non-numeric 자료를 다룰 다음 세대 컴퓨터는 1990년대에 실용될 것으로 예상되고 있다. 즉 기호처리와 응용인공 지능을 포함해서 non-numeric 자료처리는 미래의 정보처리 분야에서 현재보다 더욱 중요한 역할을 하게 될 것이며 문장이나 음성, 그래프 그리고 영상과 같은 non-numeric 자료는 수차적인 자료에 비해 처리해야 할 분량이 엄청나게 많다.

다음 세대 컴퓨터의 핵심기술은 자료흐름의 제어, 관련된 database, logic programming, 응용인공지능 그리고 패턴 처리에 근거하는 knowledge-base 시스템과, parallel processing과 이러한 시스템을 하드웨어로 실현시켜 주는 VLSI(very large scale integration) 기술에 있다. 컴퓨터 기술에 있어서 세대변화는 지금까지는 소자기술의 변화에 의해서 이루어져 왔다. 즉, 진공관에서 트랜지스터로 그 후 집적회로로 그리고 LSI로 바뀐 것이다. 그런 반면에 컴퓨터의 기본설계 원칙과 이용 목적에 있어서는 거의 변화가 없었음을 알수 있다. 다음 세대 컴퓨터로의 세대 변화는 VLSI같은 소

자 기술의 변화 뿐만 아니라 동시에 설계원리와 응용 분야에 있어서의 변화를 포함하는 근본적인 generic change이다. 이러한 다음 세대 컴퓨터는 현재의 전형적인 컴퓨터의 기술적 한계를 극복해야 하는데 이것은 혁신적인 이론과 기술에 기반을 두게 될 것이다.

기본적인 소자들의 속도를 향상시키는 물론이고 inference의 핵심인 symbol 처리를 뒷받침해 줄 고도의 parallel 구조에 근본적인 연구와 개발이 집중되어야 한다. 이를 위한 하드웨어의 목표는 수천개의 PE(processing element)를 이룩하는 것이며 이러한 하드웨어를 위해서는 VLSI 설계기술이 연구 개발되어야 한다. 또한 knowledge-base machine의 연구와 개발 목표는 엄청난 양의 knowledge data의 저장과 검색 그리고 renewal을 효율적으로 처리하도록 하는 knowledge representation 시스템과 large scale의 knowledge-base 시스템에 대한 요구를 실행할 하드웨어 mechanism을 개발해야 한다.

결국 다음 세대 컴퓨터의 연구와 개발은 parallel relational operation과 knowledge operation을 위한 mechanism과 고성능의 계층적 memory system을 포함하는 relational data base machine에 기반을 두는 parallel processing 하드웨어 구조와 이러한 하드웨어를 설계하고 실현하는 VLSI 설계 및 제조기술에 의존한다.

다음 세대 컴퓨터의 설계원리를 하드웨어로 실현하는 VLSI 설계기술에 있어서 이와같이 초대규모로 증가하고 있는 집적도는 물리적 한계와 fabrication 및 설계 능력의 한계에 의해 제한된다. 이 중 설계능력의 한계는 수십만 gate의 복잡한 회로를 논리적으로나 물리적으로 잘못됨이 없도록 설계하고 이의 동작을 확실하게 시험할 수 있도록 하는 한계점이다. 즉 집적회로의 동작을 예측하는 simulation도 이제는 하드웨어 방식으로는 상상조차도 할 수 없게 되었으며 layout도 수많은 소자의 연결을 서로 엉킴이 없이 일정한 크기의 chip 내에 고밀도로 집적하기 위해서는 엄청난 시간과 인력이 필요하였고 또한 일단 layout이 완성되었다 하더라도 오류를 점검하는 일이 거의 불가능한 한계점에 이르러 있었다. 이와같은 한계점을 극복하고 짧은 시간 안에 필요한 시스템을 정확하게 설계 제조하기 위해서는 컴퓨터를 이용한 설계 경험의 축적과 설계 자동화가 절실히 필요하게 된다.

차세대 컴퓨터와 같은 새로운 개념의 system을 실현하는 핵심기술인 VLSI와 CAD의 앞으로의 연구 방향은 다음과 같다.

1. 새로운 circuit architecture와 algorithm
2. CAD tool과 language에 관한 고도의 기술개발
3. VLSI 설계를 위한 CAD system의 system software와 hardware 그리고 networking과 standard interface

I. CAD

미래의 정보화 사회는 symbol, speech, sentence, graphs, picture와 image 등과 같은 현재의 컴퓨터로는 도저히 감당해 낼 수 없는 non-numeric data를 처리하기 위해 차세대 컴퓨터라고 불리는 초강력 컴퓨터가 요구된다. 이러한 초강력 차세대 컴퓨터의 실현은 초대규모 집적회로(VLSI) 설계기술에 절대적으로 의존하고 있다. 차세대 컴퓨터를 구성하는 VLSI 시스템들은 수십만개에서 백만개 가량이 되는 소자들이 집적되어야 하는데, 이러한 초대규모 집적 회로를 설계하기 위해서는 그림 1과 같은 고도의 CAD 기술과 설계 자동화(DA) 시스템이 이용되고 있다.

VLSI 시스템 설계를 위한 CAD tool은 설계하려고 하는 VLSI 시스템의 회로 구조에, 즉 random logic 회로를 설계하느냐 아니면 어떤 부분적인 회로가 규칙적으로 반복된 회로를 설계하느냐에 따라 달라지게 된다. 국제 경쟁력을 갖는 고도의 CAD tool을 위해 한국에서 개발해야 할 분야는 다음과 같다.

- 시스템 specification language

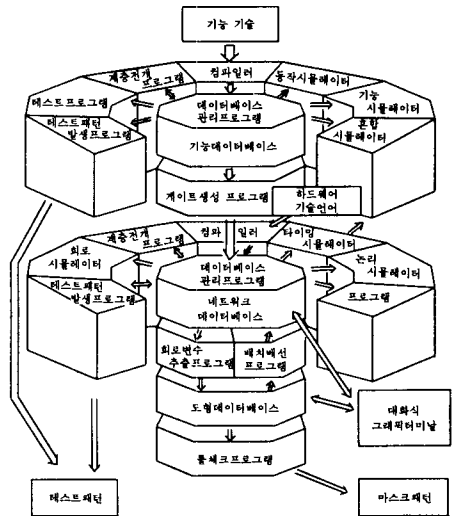


그림 1. 초대규모 집적회로 설계를 위한 CAD 시스템

- 시스템 simulation
- 소자와 공정을 모델화하는 프로그램
- 설계방법론, • 설계합성
- 설계해석, • 설계검증 및 테스트, • 레이아웃

① 시스템 기술 언어

VLSI 설계 flow를 지원하는 DA 요소중에서 기술언어는 가장 중요한 구성개념의 하나라고 할 수 있다. 그것은 기술언어가 그것을 매개로 해서 사람이 computer에게 자동설계를 명령해서 개입하는 interface를 구성하고 있기 때문이며 설계공정이 종류에 관계없이 얼마간의 언어는 항상 필요불가결하다는 이유에서이다.

시스템을 설계하기 위해서는 사람의 아이디어를 data와 도형으로 한번 다시 쓸 필요가 있다. 이 data의 기록을 언어 혹은 기술형식이라 일컫는다.

기술 내용은 그 형식에 따라 정적인 상태, 배치, 접속관계 등을 규정하는 functional description language, 동적인 상태의 변화 신호의 전달 동작기능등의 behavior description language 등으로 나눌 수 있다.

시스템 기술 언어는 computer로 설계를 행할 경우의 출발점이라 할 수 있는 중요한 technology 개념이며 구비조건은 다음과 같다.

- i) 가능한 한 범용적일 것
- ii) 설계자가 기억하기 쉽고 기술능력이 높은 언어일 것
- iii) 개량, 변경, 추가 등의 경우에 충분히 대응할 수 있을 것
- iv) 가능한 한 기술언어로 기술하는 data 이외에 별도로 보충해야 할 부분이 존재하지 않을 것
- v) 어떠한 설계기법, 설계대상에도 사용할 수 있는 구조일 것

논리 시스템의 공도가 급격히 증대해 왔기 때문에 대규모 시스템에서는 도면간의 기호, 도면 그 자체의 분할 관리등 도면 뿐만 아니라 표의 기능이 필요하게 된다.

여기에 시스템의 특성을 서술할 수 있는 시스템 기술언어를 필요하게 된다. 그리고 computer에 의한 논리 simulator 등이 개발되어 보다 직접적인 형태로 설계기술 언어의 필요성이 구체화 되었다.

이러한 시스템 기술 언어에는 논리 시스템을 계층적으로 기술 표현하는 VHSL(virtual hierachial specification language)와 INTS, EXTS-STR 등을 포함하는 H²DL(hierachial hardward description language)등이 있으며, NTT사의 중앙연구소는 logic-syn-

thesis 기술 개발을 뒷받침해 주는 새로운 언어를 개발하고 있는 중이다.

이 새로운 언어는 HSL-FX(functional extention)이라고 불리는데 같은 data base를 functional 또는 structural 회로 기술에 사용하도록 한다. 이 밖에 FDL, DDL, HSL, SDL, HDL, HISDL, ZEUS 등이 있다.

② 설계합성

수십만 gate를 집적화하는 VLSI를 계층구조를 사용하지 않고 컴퓨터를 이용하여 설계하는 것은 비효율적이다.

개개의 논리 gate를 접속관계를 유지하면서 배선길이를 최소화하는 문제는 보통 n개의 gate를 갖는 회로에서 n개의 많은 순열 조합중에서 최적해를 선택하게 된다. 그래서 n이 대단히 커지면 현재의 컴퓨터로는 감당해 낼 수 없다. 이러한 문제를 해결하기 위해서는 보다 빠른 순서로 최적해에 접근하는 algorithm과 계층화 설계기법이 그 algorithm이 된다.

즉 칩을 논리 block 논리 cell, gate소자(트랜지스터, 저항 등) level의 계층 구성으로 분해하고 계층구성 요소는 계층별로 data base화 해 둔다. Data base에 등록된 기존설계 data를 재이용하므로서 불필요한 설계를 배제할 수 있고 새로운 설계과정에서 error가 발생하는 것을 방지한다. 이 data base는 필요한 physical data를 모두 data화 하면 정보량이 매우 늘어나므로 이것을 압축하기 위해서 최하위 level인 cell level에 대해서만 모든 physical data를 갖게 한다. 여기서 각 계층 요소의 상호간 조합과 접속 관계를 변경하는 것만으로 시스템 대응에 다중류의 논리기능을 실현할 수 있다.

③ 논리설계 및 Simulation

Digital 시스템은 설계에서 뿐만 아니라 simulation도 시스템 레벨, 레지스터 레벨, 게이트 레벨, 회로 레벨로 계층화 할 수 있다. 개발하려는 시스템의 사양이 결정되면 이것을 기반으로 VLSI의 기능 구성을 결정하는 시스템 설계가 이루어진다. 이 시스템 설계의 결과를 받아서 기능 simulation에 의한 검증과 detail화를 행하고 이것을 논리 설계 레벨로 변환한다. 논리 설계에서는 복잡한 VLSI의 설계에 대처하기 위해 nesting level을 무한점 허용하여 설계 대상을 임의의 구조적 추상 level에서 top down하게 기술 할 수 있다.

이것에 의해 설계자는 설계하기 쉬운 레벨에서 계층적으로 설계할 수 있으며, 소프트웨어의 구조화 설계기법과 동일하게 단순히 nesting을 허용하는 시스템 이상으로 대폭의 설계량을 줄일 수 있다.

VLSI의 논리 설계 공정에서는 이 논리 simulator에 의해 접속과 논리의 error 등 정적인 설계검증을 행하는 동시에 gate 지연에 의한 timing error 등 동적인 timing 검증을 실시하여 정확한 논리 file을 작성해야 한다. 현재의 논리 simulator로서는 lamp, F/logic, tegas, logos 등이 있으며, gate 규모가 증가함에 따라 simulation 시간이 엄청나게 늘어나는 것을 실용적인 범위로 한정하기 위해 많은 연구가 필요하다.

④ 회로 설계 및 해석

회로 설계를 하기 위해서는 그 기본이 되는 회로에 대하여 보다 세부적으로 회로 동작을 검토할 필요가 있다. 기본이 되는 회로에는 cell이 있는데 cell의 회로 구성은 논리기능, 전파지연, 소비전력, 구동능력 등의 data와 함께 cell library로 저장된다. 회로 설계자는 CAD tool을 이용하여 회로를 설계하는데 설계에 필요한 각종 cell을 불러서 회로를 구성한 후 소자값(저항값, 용량값, 트랜지스터 모델 변수)를 정하고 회로해석 프로그램을 이용하여 설계를 평가한다. 회로 프로그램은 직류특성, 교류특성, 과도응답 특성, 특성 허용 변동범위, 소비전력 잡음특성과 bipolar과 MOS 트랜지스터의 비선형 회로 모델을 기초로 하여 감도 해석을 할 수 있다. 이들 회로 해석 프로그램은 수치 해석을 이용하여 비선형 소자를 해석하는 algorithm을 가지고 있다. 회로 해석 결과와 실제 측정값을 높은 정확도를 가지고 일치시키기 위해서는 각종 개별 소자의 정확한 model화가 요구된다. Device model을 회로 simulator 상에서 실현하는데는 3가지 방법이 있다. 첫째는 모델을 개수형으로 기술하는 것이며 두번째는 전류전압 특성을 table 형으로 해서 linear하게 근사시켜 행하는 것으로 해석 속도는 빨라지지만 정확도가 떨어진다. 세번째 방법은 회로 simulator중에 있는 특정 model을 미리 구성해서 각종 model 변수를 외부에서 주는 것이다. 이 방법은 해석 속도도 빠르며 높은 정확도를 얻을 수 있으므로 대부분의 simulator에 채용되고 있다.

MOS 논리회로에서는 대규모가 되면 논리 simulation에서는 취급 할 수 없는 race와 hazard등이 많아지며 이러한 문제를 해석해야 한다. 이러한 VLSI의 block을 simulation하기 위해서 3가지 방법이 제안되고 있다.

첫째는 종래의 회로해석의 높은 정확도를 유지한 채 회로 분할과 회로 동작의 latency를 이용해서 VLSI를 풀어 나가려는 것이다.

둘째는 회로 소자의 특성, 구체적으로는 MOS 회로

의 입력저항이 매우 큰 동시에 소자특성이 이중 특성에서 근사할 수 있다는 점을 이용해서 해법의 간략화를 도모하는 것이다.

세번째 방법은 회로 특성과 설계상의 중요도에 따라 block을 분할해서 부분으로 논리 simulation과 회로 simulation 혹은 앞의 2가지 방법을 병용하는 hybrid simulation이다.

이러한 LSI simulator에는 Motis-C, splice, diana, slate, macro 등의 프로그램이 발표되고 있다.

⑤ 소자와 공정을 모델링하는 프로그램

현재 발표되고 있는 공정 simulation 프로그램은 불순물 분포, 산화막 두께의 계산을 하며 목적하는 공정 설계를 효율적으로 수행하기 위한 목적에서 사용되고 있다. 집적회로 소자의 기하학적 표현 형태는 점점 축소되어 갈 것이며 이와 같은 비례 축소와 더불어 얇은 산화막, 얇은 접합, 다층이온 주입과 매우 얇은 에피구조로 될 것이다.

이와같은 점점 얇은 수직구조로의 공정기술 변화는 물리적 지식을 정확히 파악해야 할 필요를 요구하며 공정 simulation은 집적회로 제조공정과 결합시켜 전체의 자동화에 큰 역할을 할 수 있도록 해야 한다.

소자(device)설계에는 마스크, 확산, 에칭 등으로 결정되는 공정과정을 고려하여 필요한 성능을 갖는 트랜지스터의 구조 설계가 이루어진다. VLSI 시스템에서 미세화된 소자 특성 파악때문에 소자 simulation 프로그램이 사용되고 있다. 이것은 불순물 분포조건등으로 부터 전기특성을 산출하는 것이고 반도체 소자의 기본 방정식(poisson equation, 전류연속방정식, 전류밀도방정식)을 수치해석 한 simulator가 사용되고 있다.

최근에 와서 이 공정 simulation 결과를 직접소자 simulator에 넣어 개개의 목적하는 직류 전류 특성을 구하는 데 사용하기 시작하였다. 앞으로 이 범위를 더욱 확대해서 총합적 전기적 특성을 한꺼번에 계산하고 회로 설계자에게도 유익한 자료를 제공하는 process-device 합체 simulator를 개발해 나가야 않으면 안된다. 이와같은 simulator가 개발되면 공정의 총합적 최적화가 이루어지게 되며 집적회로 설계에 있어 본격적인 CAD 시대가 올 것이다. 그 가운데서도 digital 회로설계에 있어 피할 수 없는 과도 현상 문제에 대하여서는 배선간 용량은 정확히 구하는 것이 필수적이다. 때문에 이런 simulator를 3차원으로 발전시켜 나가야 된다.

⑥ Placement와 Routing

Placement는 각 부품간을 접속하기 위한 배선영역

또는 배선의 총길이가 최소가 되게 각 부품을 최적의 위치에 배치하는 문제이다. 레이아웃의 quality는 placement를 얼마나 잘 하느냐에 달려 있게 된다.

대표적인 방법은

- 배치 대상으로 하는 모든 부품을 한 개의 횡으로 나열 했을때 총 배선길이가 가장 짧아지는 1차원 배치를 구하고 다음에 이 결과를 응용하여 2차원 배치를 한다.
- 접속의 강도를 단서로 해서 각 부품을 2차원적으로 배치해 가는 cluster 성장법, pair linking법, 중심법 등
- 초기 배치를 반복해서 개량을 꾀하는 반복 중심법 (force directed relaxation) steinberg법, pair 교환법(pairwise relaxation) 등이 있다.

실제에 있어서는 이들 각 방법을 재 구성하거나 문제별로 개선하는 등의 연구를 해서 사용하고 있다.

Routing은 placement에 의해 정해진 VLSI 상의 각 부품간을 접속 정보에 따라 routing 경로를 결정해서 접속하는 과정이다.

이때 배선층의 수, 간격, 배선의 폭 배선 금지영역 through hole간의 간격, 특정 net의 배선길이 제한 등을 고려해서 처리할 필요가 있다. 대표적인 방법으로는 미로법, 선분탐색법, channel 배선법 등이 있다.

⑦ Layout

VLSI chip 상에 바라는 특성을 갖는 회로를 실현하기 위해 트랜지스터, 저항등 기본소자의 형상을 결정하고 각 소자의 배치를 결정한 후 그 사이를 배선하므로써 VLSI 제조 공정용 mask pattern을 만드는 layout 설계공정은 VLSI 설계의 최종공정이며 제조공정에 있어서 yield와 VLSI의 동작 특성등에 미치는 영향이 크다. 100만개에 달하는 소자로 구성되는 VLSI를 한번에 layout 설계해서 chip 크기가 작고 동시에 고성능의 전기적 결과를 특성을 갖는 layout 얻기는 매우 어렵다. 그러므로 레이아웃 검증프로그램, 레이아웃으로부터 회로 추출과 소자변수 추출등의 소프트웨어를 이용해야 한다.

또한 layout을 하기 위해서 cell-based layout, procedural layout, symbolic layout, geometric layout 등이 필요하다.

⑧ Design Testability

집적회로가 초대규모화 되어감에 따라 직면하는 또 하나의 문제는 어떻게 VLSI 설계를 검증하고 시험하느냐 하는 문제이다. Test pattern 발행에서는 집적 회로를 제조후 논리 기능을 시험하기 위해 입력신호에

대한 출력신호 기대치의 sequence를 작성한다. 이것을 가지고 정해진 수의 단차에서 집적된 chip내의 복잡한 회로의 이상을 검출한다.

실제로 VLSI를 시험해보고 만일 불량한 동작이 발견되었을 때 오동작으로서 관측되는 요인에는 여러 가지 경우가 있다.

첫째는 설계상의 오류, 둘째는 제조 공정상의 불량 (공정불량, mask 불량등), 세째는 시험 pattern, 시험 프로그램상의 bug, 네째는 시험장치상 문제 등이다. 위의 사항은 주로 연구 개발 단계의 VLSI 시험시에 발생하는 경우이고 양산체제에 들어간 제품의 경우에서의 시험 방법은 개발단계에서 확립되므로 두번째의 공정상의 불량만을 시험한다.

시험패턴 자동 생성에 있어서 가장 큰 문제점은 집적되는 gate 수의 증대에 따라 고장 검출율이 높은 시험 패턴 생성이 매우 어려워지고 있는 점이다. 예를들어 m bit multiplier를 test하기 위해서는 2^{2m} test를 해야 한다.

고장 simulation법이 있다. 그러나 이러한 방법 모두 100%의 고장 검출율을 갖지 못하는 현재의 시험 패턴 생성 algorithm의 개량만으로 문제를 해결할 수 있는 전망은 어둡다.

VLSI chip을 만들었다고 해도 시험이 불가능하다면 전혀 의미가 없기 때문에 최근의 VLSI에서는 시험용이를 위한 chip built-in hardware가 적극적으로 도입되는 추세에 있다.

- 그러므로 Structural test pattern generation
 - Structural sequential test
 - Scan test
 - Straight forward structural self test
 - Signature analysis
 - Modified linear feedback shift resistor
- 등의 여러 가지 방법에 대한 연구가 필요하다.

⑨ Artificial Intelligent를 이용한 Intelligent CAD System

첨단의 CAD system을 만들기 위해서 인공지능을 이용한 연구가 많이 진행되고 있다. 스텐포드대학과 Xerox Palo Alto 연구센터와 Fairchild 중앙연구소 사이에 공동으로 knowledge-based VLSI 프로젝트의 핵심이 되는 부분으로 Palladio가 연구되고 있다. 이 프로젝트에서 각 설계 결정은 설계하려는 목표에 대해서 최적화된 해를 구하기 힘들기 때문에 heuristic한 방법으로 실제적인 해를 탐색하는 것으로 모델링 된다.

해를 구하는 영역이 넓기 때문에 그리고 heuristic

한 방법으로 해를 구하는데 비용이 많이 들고 부분적인 정보만이 쓸모있고 모든 결과들을 예측하기가 어렵기 때문에 설계 결정과정은 매우 어렵다. 회로 설계자가 회로를 설계하기 위해서 설계 editor와 대화를 하게 되는데 editor는 설계가 "legal"하다는 것을 확인시키는 구성 rule을 사용하여 설계자가 edit 할 수 있게 해야 한다.

⑩ CAD System의 Standard화

Workstation 구성은 그림 1 처럼 graphical kernal system(GKS), virtual device interface(VDI), virtual device metafile(VDM)으로 표준화되어야 한다. GKS는 프로그래머 레벨에서의 interface인데 이것은 fortran, pascal, C 또는 basic과 같은 고급언어를 사용하는 그래픽 모델과 인터페이스를 사용한다.

그래픽 시스템이 다른 시스템에 연결되도록 해주며, 그래서 프로그래머가 오랜 시간과 많은 비용을 들여서 새로 배워야 하는 절차없이 다른 하드웨어를 사용할 수 있게 하기 위해서 이러한 CAD system의 standard화가 필요하다.

VDI는 device 레벨에서의 인터페이스이다. 표준 입출력 protocol을 정의하므로써 모든 device를 동일하게 취급할 수 있다.

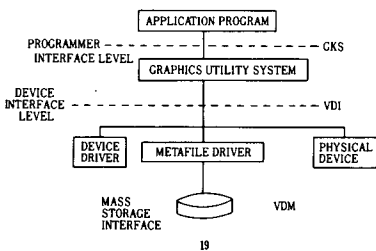
이것은 device driver라 불리는 소프트웨어 모듈에 physical device의 독자적인 특성을 분리해 준다.

궁극적으로 VDI 표준에 관계있는 컴파일러나 또는 다른 utility는 특별한 개조없이 어떠한 가상 device에도 access될 수 있다.

VDM은 mass storage device에 그래픽을 기록하기 위한 표준 format를 specify한다. Metafile의 element를 정확히 정의하므로써 VDI interface를 통해서만 들어질 수 있고 device와 system에 독립적인 그림은 file에 기록 될 수 있다.

File이 실행될 때 metafile 번역기는 metafile을 읽고 그래픽을 출력할 device를 위한 VDI 명령어를 만든다.

그림을 저장하는 것 외에도 VDM은 그림을 다른 시



스템으로 전달하는 방법을 제공한다.

II. 회로구조 및 알고리즘

iAPX 432, Bell Mac-32와 NS 16000 등의 100,000 개 이상의 소자로 구성된 32비트마이크로프로세서가 현재 널리 사용되고 있다. 이와같은 마이크로프로세서는

- 고정된 메모리 셀의 선형적인 구조
- 어드레스 영역이 단일 레벨이고
- 하위급의 기계어 사용
- 순서적이며 중앙집중식 명령어제어기능
- 기억장치 communication과 processing unit 구성의 Von Neumann 계산구조에 기초를 두고 있다.

Von Neumann 계산구조는 문장, 음성, 도형 그리고 영상 등의 비수치적 자료를 처리해야 할 다음 세대 시스템에는 적당치 않다.

이러한 이유로 다음 세대 계산기 구조는 multi project chip을 통한 설계경험 축적과 silicon foundry 활용에 의한 새로운 세대의 VLSI가 요구된다.

1) 규칙 구조를 갖는 VLSI

① Distributed Array Processing

좀더 강력한 프로세서를 실현시키는 방법을 고찰해보면 전형적인 구조에서는 두개의 장애가 분명히 나타난다.

첫째는 처리 그 자체이다. 수년에 걸쳐 논리 소자의 속도를 매우 향상시켰으나 앞으로는 이러한 방법은 이익이 적을 것이다. 그러므로 설계자들은 performance를 증가시키기 위한 새로운 구조 기술을 연구개발해 나가야 한다.

Distributed array processing에서는 여러 똑같은 functional unit이 단지 하나의 instruction stream에 의해 parallel하게 작동하도록 한다.

두번째 장애는 메모리와 처리의 물리적 격리이다. 컴퓨터가 처음 출현할 당시 메모리와 처리시스템은 각각 다른 기술로 만들어졌다. 처리와 메모리를 분리시켜 놓은 이유가 여기에 있다. 반도체 기술이 발전함에 따라 이와같은 상황은 없어졌다. 그러나 적어도 주기억 장치에 있어서 실제적으로 units를 분리시키는 경향은 여전히 있다. 같이 동작하는 여러 칩의 설으로 구성된 메모리는 이론적으로 넓은 데이터 통로를 공급할 수 있지만 실제적으로는 인터페이스 케이블의 요구를 충족시키기 위해서 그리고 processing unit에 의해서 access되는 패턴을 위해서 한번에 오직 하나의 subset이 선택된다.

그러나 distributed array processing에서는 여러

functional units 이 메모리와 기능적으로 물리적으로 혼합되어 있어서 메모리가 가능하며 여러 짧고 직접적인 데이터 통로를 통해 빠른 전달이 이루어진다.

따라서 distributed란 말은 처리 능력이 메모리 전체에 분포되어 있다는 뜻이다.

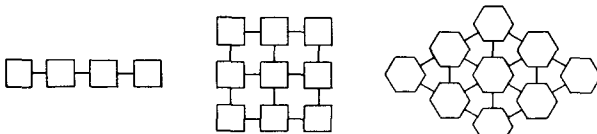
DAP(distributed array processing)에서는 매우 간단한 bit-organised PE(processing elements)가 선택된 bit-organised PE를 많이 가짐으로서 전체에 걸쳐 높은 능력을 얻게 한다.

대부분의 강력한 프로세서들은 분산처리를 하드웨어 구조에 발전시켜 이 parallelism을 이용하는 방법을 찾고 있다. 이와같은 구조는 vector pipeline, data flow, systolic arrays와 parallel processors를 포함해야 한다.

② Systolic Array

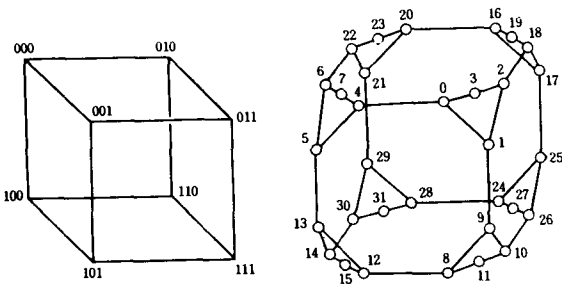
범용의 계산기에서 많은 처리시간을 요하는 화상처리, 문자인식처리 행렬계산 등을 real time으로 처리하기 위해서는 systolic array가 요구된다.

또한 pipeline과 parallel 구조의 확장형인 삼각형구조, 사각형구조, 육각형구조와 tree와 shuffle-exchange network등의 systolic 알고리즘을 더욱 발전시켜야 한다.



(a) Linearly connected (b) Orthogonally connected
(c) Hexagonally connected

③ 3-Dimensional Array



엄청난 data 량을 고속으로 처리하는 K-cube는 $n=2^k$ 의 processor를 K dimensional 공간에서 입방체의 각 모서리에 배치한 3-dimensional array이다.

어떤 문제가 3차원적으로 구성되어 있을때 이러한 문제를 real time으로 해결해 낼 수 있는 방법은 역시 3차원 array를 통해 가능하다.

2) Nonregular Algorithms in Computing VLSI

- Tightly coupled, hierarchical tree structured multiprocessor
- High memory bandwidth single chip computer
- Minimization of chip area
- Design trade off for memory bandwidth
- Support of high level language
- Harvard or Von Neumann architecture
- Complex data such as array and structure operation
- Extensive use of microprogramming
- Wafer scale integration technology

Ⅲ. 인력 및 조직

① 연구인력

백만개 이상의 트랜지스터로 구성되는 VLSI의 설계능력과 CAD 기술이 다음 세대 컴퓨터 연구에 필수적인 조건이 된다.

현재 선진 각국은 5년내지 10년의 장기적 계획으로 다음 세대 컴퓨터를 위한 연구개발 업무를 수행중이며, 이중 VLSI 설계와 CAD 분야에 일년에 100억원-300억원 정도를 투자하고 있다.

미국은 DARPA를 통한 SCP(strategic computing program), Stanford University와 기업체 국방성을 중심으로한 CIS(center for integrated system) 그리고 17개 기업체가 공동 출자하여 University of Texas에 설립한 MCC(microelectronics & computer cooperation)가 직접적으로 담당하고 있다. 영국에서는 기업체, 정부 그리고 교육기관의 협동으로 ALVEY project가 진행중이며 일본은 일찌기 ICOT를 설립하여 10년 계획으로 추진중인테 이의 전반부가 성공리 끝나 능력을 평가받고 있다.

이와 같은 연구 업무의 특징은 모두 교육기관이 첨단 분야 연구를 담당하고 개발 연구는 기업체와 연구기관이 나누어 담당하고 있다는 점이다. 이는 연구인력을 한곳에 집중 집합시키는 것이 불가능한 결과이며 교육기관을 효과적으로 이용하여 매우 효율적으로 연구업무를 수행하고 있음을 알 수 있다. MCC의 경

우 400여명의 경험이 풍부한 첨단 연구원이 있는데 이 중 130명 정도가 VLSI와 CAD 분야에 종사하고 있다. 미국은 SCP, CIS, MCC 등 3개의 기관이 직접적으로 연구 업무를 수행중이므로 다음 세대 컴퓨터 개발과 관련한 VLSI와 CAD분야의 연구원은 모두 400여명 정도로 추정된다.

그러나 기업체와 대학교에 분산되어 있는 연수원 수를 합하면 굉장히 많은 수가 있다. 또한 CIS는 매년 30명의 PhD와 100명의 석사를 이 분야에서 배출하고 있다. 이외에 미국에는 University of California의 CAD Center와 Microelectronics Facility, University of North Carolina에 MCNC(microelectronics Center for North Carolina), Cornell University에 NRRFSS(National Research and Resources Facility for Sibmicron Structures) 등이 산업체와 정부지원으로 VLSI와 CAD분야의 인력을 양성하고 있다. 또한 1979년부터 Multi University, multi industry project로서 여러 대학이 참가하여 MPC(multi project chip) 계획이 시행되어 많은 VLSI 설계 훈련이 이루어지고 있다.

MPC 계획은 영국, 호주 그리고 캐나다에서도 1981년부터 실시되어 VLSI 설계와 CAD 응용분야의 많은 실적을 올리고 있다.

우리 나라 대학에서는 SSI(small scale integration)조차도 설계 제작 테스트해 본 경험이 없으며 CAD system의 이용경험도 별로 없다. 몇개의 기업체와 정부 출연 연구소가 겨우 2년 정도의 CAD 운영 경험을 갖고 있을 뿐이다.

현재 활동중인 설계 기술자도 LSI(laarge scale integration) 회로의 복사(copy) 경험을 겨우 갖추었을 뿐이고 그 숫자 또한 얼마되지 않는다. CAD와 VLSI 설계 경험 훈련과 축적을 위해서는 설계지원을 위한 CAD tool이 필요하며, 이의 다양화와 보편화를 위해서는 대학에 이런 시설이 갖추어질 수 있도록 예산 보장이 이루어져야 한다.

한가지 대책은 전국적인 규모의 CAD center를 설립하여 각 대학에 network를 통해 design station을 설치한 후 CAD 응용기술 및 개발연구를 담당하게 하여 VLSI 설계훈련 교육 및 연구를 하는 것이다.

영국에는 packet switched 통신망을 통해 각 대학에 설치된 multiuser minicomputer가 ICF(interactive computer facility)에 가동중인 여러 개의 main frame computer와 연결되어 CAD에 사용되고 있다. ICF의 단국은 1700여개에 이른다.

이와 비슷하게 일본에도 super computer network

이 구성되어 여러 대학에서 super computer의 이용이 가능하다.

② National CAD Center for Academic Institute

- i) CAD hardware & software 공동 이용
- ii) 보수 유지가 경제적
- iii) 컴퓨터 통신망을 통한 design station 설치 운용
- iv) VLSI 설계훈련 교육 및 연구에 활용
- v) CAD software & hardware 이용기술 확대 및 개발연구

현재 기업체들이 웨이퍼 가공제조 시설에 많은 투자를 하므로 당분간 이 시설을 이용하는 방안을 강구하여 VLSI 설계인력 양성과 기술향상에 이들 시설을 이용할 수 있으면 좋겠다. 그후 설계수준이 많이 향상되고 많은 설계기술이 축적된 후 silicon foundry를 설립함이 바람직하다.

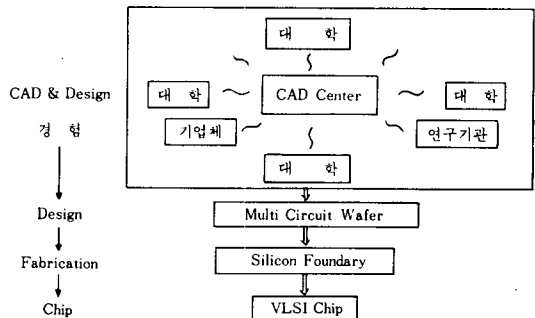
③ Silicon Foundry

- i) Fast turn around fabrication facility
- ii) 0.5 - 1.0 μ m 기술
- iii) 표준 실리콘 제조공정
- iv) 표준 설계 규칙
- v) 소량 다종류 웨이퍼 제조가공
- vi) Wafer scale integration technology

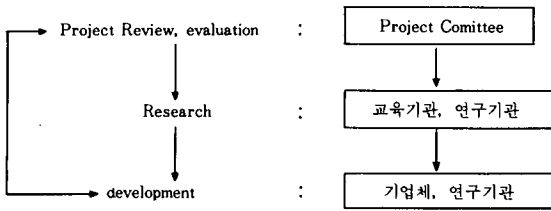
이러한 silicon foundry가 영국에서는 일찍부터 Edinburgh University와 Southampton University에 설립되어 VLSI 설계훈련에 이용되고 있고 최근 미국에서는 University of Sourthern California의 ISI(information science institute)가 DARPA의 지원으로 MOSIS(Mos implementation system)을 운용하고 있다. 또한 미국의 많은 기업체들이 이런 개념을 실제로 활용하고 있음을 주의해 볼 필요가 있다.

이들 모두 한 두개의 VLSI design을 최단시간으로 제조 가공할 수 있는 시설로 개방되어 있다.

다음 세대 컴퓨터 연구 개발에서 필수적인 VLSI 설계와 CAD 기술의 밑바탕이 되는 연구인력을 양성하기



위해서는 CAD center를 설립, multi project chip 계획, silicon foundary 운영을 통해 기술의 다변화 보편화가 절대적으로 필요하다.



④ 연구조직

VLSI 설계와 CAD 분야의 연구인력이 극소수인 실정으므로 중앙 집중식으로 한 기관에 집합될 수 없으므로 project committee를 설치하여 대학과 연구기관 그리고 기업체가 밀접한 관계를 유지하며 수행해야 할 것이다.

또한 대부분의 연구인력이 교육기관에 산재되어 있으므로, 효율적으로 이용하면 경제적이며, 경쟁적으로 연구업무가 수행되어 성공가능성이 매우 높다.*

◆ 用 語 解 說 ◆

DDL의 역사

DDL은 Duley와 Dietmeyer에 의해 정의된 언어이다. 미국의 Wisconsin 대학에는 Dietmeyer 교수의 지도를 기초로 하여 만든 시뮬레이터와 트랜스레이터가 있고, 또, DDL 記述을 단순한 구문으로 트랜스레이터하여 중간코드를 발생하고 이것을 인터프리터 형식의 시뮬레이션을 행한다. 크기 및 속도와 신뢰도등에 있어서 한계가 있지만 교육용으로 아주 유명하다.

스탠포드 대학에서는 현재 Hewlette packard사의 Duley가 HP2100상에 작성된 시뮬레이터를 DEC 20상에 이식했다. 이것은 DDL의 부분집합인데 복수의 오토마톤을 취급할 수 없지만 PASCAL로 작성되어 있어 partability가 있다.

후지쯔가 개발한 DDL 시스템에서는 대형 컴퓨터의 설계에 사용할 수 있게 unit등의 구조언어를 추가시켜 작업을 분담할 수 있도록 언어를 확장시켰다. 또 PL/I으로 컴파일시켜 시뮬레이션의 고속화를 기했고 트랜레이터 제너레이터를 사용하여 소프트웨어의 신뢰성을 향상시켰고, 현장 설계에 사용할 수 있도록 연구하고 있다. 베리파이어는 이 시스템은 시리즈의 gate 레벨의 시뮬레이터와 결합할 수

있어 여러가지 목적으로 이용할 수 있다.

Man-machine interface

컴퓨터 시스템 이용의 고도화에 수반하여 회화형의 이용이 대단히 많아지고 있다. 이를 위해 종래 특정인이 컴퓨터를 직접 조작하는 형태로부터 불특정 다수인이 먼거리에서도 이용하는 형태로 변화하고 있다. 이 시점에서 인간에게 있어 어느 정도가 사용하기 편안가를 논의할 필요성이 대두됐다. 이것을 man machine interface라고 한다.

최근, 인간에게 있어서 사용상의 편리함에 대한 연구에 많은 노력이 행해지고 있고, 단순히 장치의 조작성만이 아니고, 서포트하는 Software의 응답성, 가능성도 검토의 대상이 되고 있다. 인간 공학(Human Engineering)면에서는 장치의 위치 관계, 배색 관계, display가 시력에 끼치는 영향에서부터 피로에 관한 배려까지 광범위하게 검토가 행해지고 있다. Software 면에서는 어느 정도로 입력하기 쉽게 하는가? 응답시간은 몇초 이내인가? 그리고 오차의 조작에 대한 수정 방식등을 중심으로 배려되고 있다. 그밖에, 컴퓨터 내에 축적된 data가 어떻게 해서 인간의 눈에 띄게 되는가 등의 면은 검토되어야만 한다.