

VLSI 解析技法의 動向

- 논리 및 시간 시뮬레이션을 中心으로 -

李 基 俊,* 朴 松 培**

韓國科學技術院 電氣 및 電子工學科
大學院*, 教授(工博)**

I. 序 論

1960년대 이후로, 컴퓨터의 정확하고 신속한 정보처리 및 계산능력을 이용하여 전자회로의 해석과 설계를 수행하려는 연구가 진행되어 왔다. 이러한 연구의 결과로서 이미 개발되어 사용되고 있는 회로해석 프로그램들은 SPICE^[1], ECAP^[2], ASTAP^[3] 등이 있다. 이들은 10^3 개 이하의 비선형 능동소자들을 포함하는 LSI (large-scale integrated circuit) 수준의 전자회로를 효과적으로 해석할 수 있으며, 회로 시뮬레이터 (circuit simulator) 라고 부른다. 회로 시뮬레이터에서 사용되는 일반적인 해석기법들은 다음과 같다.

- 1) Sparse tableau approach (STA)
- 2) Modified nodal approach (MNA)
- 3) Implicit numerical intepration method
- 4) Time step size control
- 5) Newton raphson linearization
- 6) LU decomposition
- 7) Sparse matrix technique
- 8) Nonlinear active device models

회로 시뮬레이터에서 사용되고 있는 이상의 기법들은 그 해의 정확성과 안정성에 주안점을 두어 개발되었으나, 소요되는 전체 계산시간은 비교적 느리며, 회로정보의 저장능력은 한정되어 있다. 일반적으로 N개의 능동소자를 포함하는 전자회로를 회로 시뮬레이터에 의하여 해석하게 되면 계산시간은 N^2 에 비례하여 소요되고, 회로 정보의 저장용량은 N^2 에 비례하여 필요하다. 따라서, 전자회로의 크기가 커지면 커질수록 회로 시뮬레이터에 의한 전자회로의 해석 및 설계는 비현실적이 된다. 특히, 오늘날과 같이 처리하고자 하는 전자회로의 크기가 10^4 개 이상의 능동소자들은 포함하는 VLSI (very-large scale integrated circuit) 수준일 경우에는 회로 시뮬레이터에 의한 회로 해석이 완전히 불가능하여짐에 따라서 이를 해결할 수 있는

새로운 형태의 회로해석 시뮬레이터의 개발이 요구된다.

일반적으로 VLSI 수준의 전자회로를 효과적으로 해석할 수 있는 새로운 형태의 회로해석 시뮬레이터는 제3세대 시뮬레이터 (third-generation simulator) 라고 부른다.^[7] 제3세대 시뮬레이터는 VLSI를 가능한 빠른 시간 이내에 해석하는 것을 주목적으로 하고 있다. 즉, 회로 시뮬레이터에 비하여 해석에 소요되는 계산시간의 감소와 회로정보의 처리능력 확대에 주안점을 둔다. 따라서 제3세대 시뮬레이터는 취급할 수 있는 회로의 형태를 제한하고 있으며, 사용된 여러가지 기법들도 VLSI가 가지고 있는 특징들을 이용하여 개발된다.

VLSI를 효과적으로 해석할 수 있는 새로운 형태의 회로해석 시뮬레이터는 그 적용 범위에 따라서 시간 시뮬레이터 (timing simulator)와 논리 시뮬레이터 (logic simulator)로 크게 구분된다. 시간 시뮬레이터는 VLSI 수준의 MOS논리회로의 시간해석 (timing analysis)을 효과적으로 수행할 수 있도록 개발된 시뮬레이터로서, 회로 시뮬레이터와 비교하여 보면 계산시간은 대략 $1/10$ 이상 감소되나, 해의 정확도와 신뢰도는 떨어진다. 이에 반하여, 논리 시뮬레이터는 대형의 논리회로를 논리신호에 의해서만 해석하는 일종의 기능해석 시뮬레이터이므로 계산시간은 시간 시뮬레이터에 비하여서도 10배이상 빠르게 된다.

본 논문에서는 제3세대 시뮬레이터에서 사용하고 있는 기법들을 논의하고자 한다.

II. 제 3 세대 시뮬레이터

본 장에서는 제3세대 시뮬레이터에서 사용하고 있는 일반적인 해석기법들을 논의한다. 이러한 기법들은 서론에서 기술한 회로 시뮬레이터에서 사용하고 있는 기법들에 그 기초를 두고 있으나, VLSI가 가지고

있는 여러 가지 특성들을 이용하여 개발되었다. 그 결과 VLSI를 취급하기 위하여 요구되는 다량의 회로 정보를 효과적으로 처리할 수 있었으며, 회로 해석에 소요되는 컴퓨터 계산시간이 현저히 감소되었다.

1. 회로 분해(Circuit Decomposition)

일반적으로 VLSI는 여러가지 다양한 기능을 가진 LSI들의 반복적인 조합으로 구성된다. 따라서 VLSI를 효과적으로 해석하기 위하여서는, VLSI를 전기적 또는 기능적 특성에 의하여 여러 개의 부회로(subcircuit)들로 분해한 다음 부회로 별로 독립적인 해석을 수행하는 것이 바람직하다. 즉 VLSI 전체를 회로 시뮬레이터에서 처리 한·두 가지의 일반적인 해석기법에 의하여 일괄적으로 해석하기 보다는 분해된 부회로들을 각각 그 특성에 맞는 해석기법에 의하여 독립적으로 해석하는 것이 효과적이다. 이 경우 회로해석에 소요되는 계산 시간은 전체회로의 크기가 아닌 분해된 부회로의 크기에 비례하게 된다. 부회로 별로 독립적으로 계산된 부분 해들은 다시 부회로들사이의 수직적 또는 수평적 관계를 고려한 반복적인 재계산이 요구된다. 이상의 회로 분해에 의한 VLSI 해석 방식은 거의 모든 제 3세대 시뮬레이터에서 채택 사용하고 있다.

벡터 해석(vector analysis, parallel analysis)은 여러개의 소형 컴퓨터를 사용하여 분해된 부회로들을 병행적으로 해석하는 방법을 말한다.^{40,49)}

단위분해방식(modular decomposition method)에서는 분해된 부회로들사이의 관계를 정의한 전송 회로(carrier circuit)의 개념을 도입하고 있다.⁴³⁾

2. 구조적 공간(Structural Sparsity)

전자회로에서의 구조적 공간은 회로 소자들사이의 연결 상태를 의미한다. 이러한 구조적 공간은 회로 행렬에서 전체 행렬 항수에 대한 그 값이 0인 항들의 수의 비로서 정의된다. 일반적으로 회로의 크기가 커지면 커질수록 구조적 공간도 따라서 증가하게 된다. 예를 들어, 일반적인 논리회로에서는 하나의 gate가 가지는 팬 아웃(fan-out)의 수가 회로의 크기와는 무관하게 4~5개 정도로 제한되므로 구조적 공간은 회로 크기의 증가에 비례하여 증가된다.

회로 시뮬레이터에서는 sparse 행렬 방식을 취하여 구조적 공간을 효과적으로 처리하고 있다.¹³⁾ 그러나 VLSI 수준의 대형 회로에서는 회로 행렬의 형성 자체가 불가능하게 되므로, 보다 근본적인 구조적 공간의 처리 방식이 요구되고 있다. 일반적으로 제 3세대

시뮬레이터에서 널리 사용되고 있는 방식은 선택적 추적법(selective tracing)이다.²³⁾ 선택적 추적법이란 회로 신호의 전달 방향을 추적하면서 회로 해석의 과정을 진행하여 나가는 방식이다. 즉 분해된 부회로들을 회로 신호의 전달 방향에 따라 정리하여 순차적으로 해석하는 것을 말한다. 선택적 추적법은 논리 시뮬레이터에서 처음으로 개발되어 사용되었으며, 이후 시간 시뮬레이터에서도 광범위하게 적용하고 있다.

3. 시간적 공간(Temporal Sparsity)

어떠한 시간의 관점에서 볼때 VLSI를 구성하는 대부분의 부회로들은 비구동 상태에 있는 것이 일반적이다. 이러한 부회로의 비구동 상태는 그 입력 신호의 변화가 일어나지 않으며 내적으로는 평형 상태에 있을 때 발생한다. 이 경우 그 출력 신호들의 변화로 일어나지 않는다. 따라서 비구동 상태인 부회로들은 새로이 회로 해석을 할 필요가 없다. 이와 같이 한 회로내의 일부분이 비구동 상태에 있는 것을 시간적 공간이라고 부른다.

회로의 크기가 비교적 작은 LSI에서는 비구동 상태인 부회로(또는 한 회로 신호)가 거의 존재하지 않으므로 회로 시뮬레이터에서는 시간적 공간에 대한 고려를 거의 하지 않고 있다. 다만 능동 소자들의 입력 신호의 변화율 조사하여 바이패스-알고리즘(by-pass algorithm)을 부분적으로 적용하고 있을 뿐이다.¹⁰⁾ 그러나 VLSI에서는 구조적 공간과 함께 시간적 공간도 상대적으로 커지게 된다. 시간적 공간을 처리하기 위하여 개발된 방식으로는 사건 구동 방식(event driven technique)이 있다.²³⁾ 사건 구동 방식이란 부회로들의 상태를 미리 조사하여 구동 상태인 부회로들만을 선택하여 해석하는 방식이다. 이러한 방식은 시간 관점에서의 일종의 선택적 추적법이라 할 수 있다. 동기유도 방식이 효과적으로 적용되는 회로의 형태는 논리회로이다. 논리회로에서는 부회로(즉 게이트)의 내부 상태에 대한 조사없이도 그 입력으로의 변화만을 조사하여 부회로의 구동과 비구동 상태를 쉽게 구분할 수 있다.

WR(waveform relaxation)방식은 최근에 개발된 시간적 공간의 이용법으로서 시간 시뮬레이터에서 효과적으로 사용할 수 있다.¹⁷⁾ 이 방식은 분해된 부회로마다 독립적으로 완전한 시간 해석을 수행함으로써, 부회로들이 가지고 있는 시간적 공간을 효율적으로 이용하고 있다. 즉 회로 시뮬레이터에서는 수치 식분을 선택 회로에 대하여 일괄적으로 적용하여 그 적분 시간간격이 구동상태인 부회로에 의하여 결정되는데 반하

여, WR 방식에서는 각각의 부회로마다 적분 시간 간격을 조절할 수 있으므로 비구동 상태의 부회로에서는 상대적으로 빠른 시간 이내에 해석을 완료할 수 있다.

4. 단순화 작업

회로 해석시 소요되는 대부분의 계산 시간은 크게 비선형 능동 소자들의 선형화 작업 과정과 회로 방정식들의 해석 과정의 두 부분으로 나누어진다. 회로의 크기가 적을 경우에는 회로 방정식들의 해석 과정이 대부분의 계산 시간을 차지하게 되지만 회로의 크기가 증가함에 따라 비선형 능동 소자들도 증가하게 되어 비선형 능동 소자들의 선형화 작업 과정에서 소모되는 계산 시간도 점점 더 커지게 된다. 이러한 계산 시간을 가능한 줄이기 위하여서는 능동 소자 모델의 단순화와 함께 함수 계산의 도표화가 이루어져야 한다. 실제로 논리 시뮬레이터에서는 이 논리 소자들의 기능적 요소만을 강조한 논리표로서 능동 소자를 모델하고 또한 시간 시뮬레이터에서는 그 기능이 극히 단순화된 능동 소자 모델들을 사용하고 있다.¹²⁾ 즉 비선형 capacitor의 선형화와 함께 능동 소자들의 비선형 함수를 도표화하여 사용하고 있다. 이 결과 제3세대 시뮬레이터의 해는 회로 시뮬레이터에 비하여 그 정확도와 신뢰도가 떨어지지만 함수 계산에서 소요되는 계산 시간은 효과적으로 감소된다.

이 외에 시간 시뮬레이터에서는 수치 적분시 소요되는 계산 시간을 줄이기 위하여 안정성 있는 TZ적분(trapezoidal) integration) 방식보다는 EB적분(euler backward integration) 적분방식을 사용하고 있으며 또한 적분 시간 간격도 고정시키고 있다.

III. 시간 시뮬레이터(Timing Simulator)

시간 시뮬레이터는 대형의 MOS 회로를 가능한 빠른 시간 이내에 해석하기 위하여 개발된 회로 해석 시뮬레이터이다. 시간 시뮬레이터에서 사용된 기법들중에서 회로 시뮬레이터와의 가장 큰 차이점은 회로 시뮬레이터에서는 회로 해석 방정식 전체를 한꺼번에 고려하여 그 해를 구하는 LU분해 방식을 사용하고 있는 데 반하여, 시간 시뮬레이터에서는 전체 회로를 여러 개의 부회로로 분해하여 각각의 부회로를 독립적으로 해석하는 회로 분해 방식을 사용하고 있다. 회로 분해 방식에는 각각의 부회로가 단 하나의 미지 변수를 가지는 이완 방식(relaxation method)과 여러 개의 미지 변수를 가지는 단위 분해 방식(modular decomposition method)으로 구분된다.

이완 방식은 일반적으로 시간 시뮬레이터에서 널리

사용되고 있는 회로 분해 방식으로서 각각의 부회로를 하나의 노우드와 대응하도록 분해한다. 이 경우 부회로의 미지 변수는 해당되는 노우드 전압이 되며 부회로의 해석 방정식은 해당되는 노우드에 의한 노우드 해석 방정식으로 표시된다. 다음은 이완 방식에 의한 시간 시뮬레이션 알고리즘의 한 예이다.

Alg. nonlinear relaxation

- Variable: t_0 initial time
- t_f final time
- h increamental time-step
- t_n current time
- n number of node
- r relaxation iteration
- ϵ_R relaxation error bound
- x node voltage vector
- x_i i-th node voltage
- $x_a [x_1, \dots, x_{i-1}]$
- $x_b [x_{i+1}, \dots, x_n]$
- f_i i-th nodal equation

Procedure: Circuit analysis

begin

$t_n = t_0$

For $t_n < t_f$ do

Numerical integration construct the companion models

$\gamma = \phi$

Relaxation-Loop For $\|x(\gamma) - x(\gamma-1)\| < \epsilon_R$ do

$\gamma = 1$

For $i=1, n$ do

Newton-linearization form $f_i(x_a(\gamma), x_i, x_b(\gamma-1)) = 0$

solve $f_i = 0$ w.r.t x_i

end

end

$t_n = t_n + h$

end

end

현재 대부분의 시간 시뮬레이터에서 사용하고 있는 이완 방식의 종류는 GJ 반복법(Gauss Jacobi iteration), GS 반복법(Gauss seidal iteration), SOR(successive over relaxation)등이 있다.¹⁴⁾ 이러한 이완 방식들을 사용하여 얻는 잇점들은 다음과 같다.

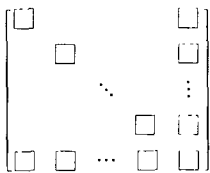
- 1) 한번의 반복과정에서 소요되는 계산시간은 회로 크기의 제곱에 비례한다.
- 2) 회로해석 방정식의 형성을 위하여 필요한 저장용량은 회로 크기에 비례한다.

3) 시간 해석시, 전 시간점에서의 해를 현 시간점에서 예상치로 사용하여 반복 횟수의 효과적인 감소가 이루어진다.

그러나 대부분의 이완 방식들은 매우 좁은 수렴 범위를 가지고 있다. 따라서 이완 방식을 사용한 시간 시뮬레이터가 해석할 수 있는 회로의 형태는 MOS 논리회로로 제한되어 있다. 대부분의 이완 방식을 사용한 시간 시뮬레이터에서는 이상의 문제때문에 비접지 캐패시터(floating capacitor)들을 접지 캐패시터(grounding capacitor)로 변환시켜 사용하며, 계획성이 강한 회로 소자들의 사용을 제한하고 있다.

이완 방식을 사용한 시간 시뮬레이터로는 MOTIS¹⁵⁾, MOTIS-C¹⁶⁾, SPLICE²⁰⁾, RELAX¹⁹⁾ 등이 있다.

단위 분해방식(modular decomposition method)은 II장에서 언급한 바와 같이 VLSI를 그 전기적 또는 기능적 특성에 의하여 여러 개의 부회로들로 분해하여 해석하는 방법이다. 이 방식에서는 분해된 부회로들 사이의 관계를 정의하는 방법에 따라서 그 회로 행렬의 형태가 BBD(bordered block diagonal), BBT(bordered block triangular), BD(block diagonal), BT(block triangular) 등으로 나타난다.⁷⁾ BD 형태나 BT 형태로의 분해는 부회로들 사이의 완전한 독립성을 부여하는 방법으로서 그 계산은 쉬워지지만 현실적으로는 거의 불가능한 방법이다. 일반적으로 널리 사용하고 있는 분해의 형태는 BBD나 BBT 등이 있다. BBD의 예로서는 MEDUSA가 있다. MEDUSA에서는 전송 함수의 개념을 도입하여 아래와 같은 BBD 형태의 행렬을 유도한다.¹⁴⁾



최근에는 단위 분해 방식의 개념을 확장하여 혼합형 시뮬레이터인 혼합 모드 시뮬레이터(mixed mode simulator)나 다층시뮬레이터(multi-level simulator)의 개발에도 이용하고 있다.¹²⁸⁻²⁴⁾

IV. 논리 시뮬레이터

논리 시뮬레이터는 논리회로의 효율적인 해석을 위하여 개발된 회로 해석 시뮬레이터이다. 논리회로를 구성하는 대부분의 논리소자들은 입력단자와 출력단자를 분명히 구분하고 있으며, 신호의 입·출력 관계식

은 간단한 논리함수로써 표시된다. 따라서 논리회로의 해석은 인가된(또는 변화된) 논리신호가 영향을 미치는 논리소자들을 추적하여 해당되는 논리소자들의 출력신호를 논리신호의 입, 출력 관계식에 의하여 계산하는 과정을 논리회로의 입력부분에서 출력부분까지 반복적으로 수행하게 된다. 논리회로는 구조적 공간과 시간적 공간을 아날로그 회로에 비하여서 많이 가지고 있다. 즉 논리신호는 논리소자들의 팬인과 팬아웃트에 의하여 한 방향으로만 전달되며, 어떤 한 시간의 관점에서 볼 때 대부분의 논리소자들은 비구동상태에 있다. 논리 시뮬레이터에서는 이러한 논리회로가 가지는 특징들을 효과적으로 이용하기 위해서 신호의 전달과정을 미리 추적하여 기억시킨 다음에 실제해석에서 사용하는 선택적 추적방식(selective tracing technique)과 구동상태인 논리소자들만을 취하여 해석하는 사건구동방식(event driven technique)을 병행하여 사용하여야 한다. 또한 논리소자들의 지연시간을 고려하기 위하여서는 시간 계획방식(time scheduling technique)이 논리 시뮬레이터에서 적용되어야 한다. 다음은 이상의 세가지 방식을 사용하고 있는 논리 시뮬레이터의 기본적인 해석 알고리즘을 보여 준다.

Alg. time scheduling algorithm

- Variable : to initial time
- t_f final time
- t_n current time
- h time step
- IE initial queue
- TQ(n) time queue at $t=t_n$
- G(i) i-th logic component
- O(i) fan-outs of G(i)
- D(i) delay of G(i)

Procedure : Logic analysis

- begin
- TQ(n) = ϕ for all n
- $t_r = t_0$
- TQ(n) = IE
- For $t_n \leq t_f$ do
- Event-driven For TQ(n) $\neq \phi$ do
- find all G(i) activated by TQ(n)
- Selective-tracing For each event E in O(i),
- whose state has changed, do
- TQ(n+D(i)) = TQ(n+D(i)) + E

```

end
end
tn = tn + h
end
    
```

논리 시뮬레이터에서는 1 (high state), 0 (low state), x (undetermined state) 등의 기본적인 논리신호외에, 보다 정확한 신호파형을 구하기 위하여 H (high impedance state), ↗ (rising state), ↘ (falling state) 등을 논리신호로서 채택하고 있다. 논리 시뮬레이터는 논리회로를 구성하는 기본소자들을 논리게이트들로서 정의하는 게이트 레벨 시뮬레이터와 MOS 능동소자들로서 정의하는 transistor level simulator가 있다.

게이트 레벨 시뮬레이터로는 TEGAS²⁴⁾, KAISIM²²⁾ 등이 있으며 그 입력 정보로서 게이트들의 팬인, 팬아웃, 지연시간 등을 필요로 한다. 또한 논리함수 계산은 미리 저장된 논리표에 의하여 수행되며, 모든 정보들은 연결로(linked list)에 의하여 저장된다. 최근에는 보다 빠른 계산을 위하여 해석과 정의 일부분을 하드웨어로 대체하려는 연구도 진행되고 있다.^{17,38)}

Transistor level simulator는 논리회로를 구성하는 기본소자를 실제적인 MOSFET로 정의한다. 따라서 gate-level simulator보다는 실제적인 결과를 얻을 수 있다. 논리회로를 구성하는 각각의 MOSFET는 단순화된 model로 대체가 되어 계산이 되며 아날로그 신호와 논리신호사이의 관계는 BCL/TF (boolean - controlled logic/threshold function)에 의하여 정의된다.²¹⁾ 특히 transistor-level simulator에서는 논리소자들의 지연시간 및 팬아웃 능력을 계산할 수 있는 잇점이 있다. 현재 개발되어 사용되고 있는 것으로는 MOSSIM이 있다.²⁵⁾

V. 結 論

본 논문에서는 VLSI 해석을 위한 제 3 세대 시뮬레이터에서 사용하고 있는 여러 가지 해석 기법들을 논의하여 보았다. 제 3 세대 시뮬레이터는 다량의 회로 정보를 효과적으로 처리, 계산하기 위하여 VLSI가 가지고 있는 여러 가지 특성에 맞추어 개발된다. 본 논문에서 기술한 여러가지 기법들은 기존의 회로 시뮬레이터에서 사용한 기법들과 비교하여 계산 시간의 감소를 두 목적으로 개발되었다. 제 3 세대 시뮬레이터는 그 사용 범위를 제한하고 있으며 결과 해의 정확도 및 신뢰도는 회로 시뮬레이터에 비하여 떨어진다. 현재 수많은 회로 설계자들에 의하여 이상의 문제점들을 해결함과 동시에 보다 빠른 새로운 시뮬레이터의 개발에

관한 연구가 진행되고 있다.

參 考 文 獻

- [1] A.E. Ruehli and G.S. Dirlow, "Circuit analysis, logic simulation, and design verification for VLSI," *Proc. IEEE*, vol. 71, pp. 1264-1280, Jan. 1983.
- [2] W.L. Engl, H.K. Dirks, and B. Heinerzhagen, *Device Modelling*, pp. 10-33.
- [3] C.H. Sequin, *Managing VLSI Complexity*, pp. 149-167.
- [4] C. Niessen, *Hierarchical Design Methodologies and Tools for VLSI Chips*, pp. 66-76.
- [5] H.M. Lipp, *Methodical Aspects of Logic Synthesis*, pp. 88-97.
- [6] A.E. Ruehli, N. Rabbat, and H.Y. Hsieh, "Macromodeling-an approach for analyzing large-scale circuits," *Comput. Aided Design*, vol. 10, pp. 121-130, Mar. 1978.
- [7] G.D. Hachtel and A.L. Sangiovanni-Vincentelli, "A survey of third generation simulation techniques," *Proc. IEEE*, vol. 69, pp. 1264-1280, Oct. 1981.
- [8] A.E. Ruehli, "Survey of computer-aided electrical analysis of integrated circuit interconnections," *IBM J. Res. Develop.*, vol. 23, pp. 627-639, Nov. 1979.
- [9] R.W. Jensen and M.D. Lieberman, *IBM Electronic Circuit Analysis Program*, Englewood Cliffs, N.J. : Prentice-Hall, 1968.
- [10] L.W. Nagel, "SPICE2: a computer program to simulate semiconductor circuits," Univ. of California, Berkeley, ERL Memo ERL-M520, May, 1975.
- E. Colen, "Program reference manual for SPICE2." Univ. of California, Berkeley, ERL Memo ERL-M592, June, 1976.
- A. Viadimirescu, K. Zhang, A.R. Newton, D.O. Pederson, and A. Sangiovanni-Vincentelli, "SPICE Version 2G User's guide," University of California, Berkeley, Tech. Memo., Aug. 10, 1981.
- [11] "Advanced statistical analysis program (ASTAP)," Program reference manual, Pub. No. SH20-1118-0, IBM Corp. Data Proc. Div., White Plains, NY 10604.
- W.T. Weeks, A.J. Jimenez, G.W. Mahoney, D. Mehta, H. Quassemzadeh, and T.R. Scott, "Algorithms for ASTAP-a network

- analysis program," *IEEE Trans. Circuit Theory*, vol. CT-20, pp. 628-634, Nov., 1973.
- [12] L.W. Nagel, "ADVICE for circuit simulation," in *Proc. IEEE J. Symp. Circuits and Systems*, Houston, TX, Apr., 1980.
- [13] G.D. Hachtel, R.K. Brayton, and F. Gustavson, "The sparse tableau approach to network analysis and design," *IEEE Trans. Circuit Theory*, vol. CT-18, pp. 101-113, Jan., 1971.
- [14] C. Ho, A.E. Ruehli, and P.A. Brennan, "The modified nodal approach to network analysis," *IEEE Trans. Circuits Syst.*, vol. CAS-22, pp. 504-509, June, 1975.
- [15] B. Chawla, H.K. Gummel, and P. Kozah, "MOTIS-a MOS timing simulator," *IEEE Trans. Circuit Syst.*, vol. CAS-22, pp. 301-310, Dec., 1975.
- [16] S.P. Fan, M.Y. Hsueh, A.R. Newton, and D.O. Pederson, "MOTIS-C: a new circuit simulator for MOS LSI circuits," in *Proc. IEEE Int. Symp. Circuits Systems*, 1977, pp. 700-703.
- [17] E. Lelarasmee, A.E. Ruehli, and A.L. Sangiovanni-Vincentelli, "The waveform relaxation method for time-domain analysis of large-scale integrated circuits," *IEEE Trans. CAD Integ. Circ. Syst.*, vol. CAD-1, pp. 131-145, Jul., 1982.
- [18] A.E. Ruehli, A.L. Sangiovanni-Vincentelli, and N.B.G., Rabbat, "Time analysis of large scale circuits containing one-way macromodels," *IEEE Trans. Circuits Syst.*, vol. CAS-29, pp. 185-189, Mar., 1982.
- [19] E. Lelarasmee and Sangiovanni-Vincentelli, "RELEX: A new circuit simulator for large scale MOS integrated circuits," *Electronic Research Laboratory, Univ. of California, Berkeley, Memo UCB/ERL M82/6*, Feb., 1982.
- [20] A.R. Newton, "Techniques for the simulation of large-scale integrated circuits," *IEEE Trans. Circuits Syst.*, vol. CAS-26, pp. 741-749, Sept., 1979.
- [21] G. Arnout and H. De Man, "The use of threshold function and boolean-controlled network elements for macromodelling of LSI circuits," *IEEE J. Solid-State Circuits*, vol. SC-13, pp. 326-332, June, 1978.
- [22] 권태욱, "KAISIM", 석사논문, KAIST, 1982.
- [23] E.G. Ulrich, "Time sequenced logical simulation based on circuit delay and selective tracing of active network path," in *Proc. ACM Nat. Conf.*, pp. 437-448, 1965.
- [24] S.A. Szygenda, "TEGAS-Anatomy of a general purpose test generation and simulation at the gate and function level," in *Proc. 9th Design Automation Conf.*, pp. 116-127, June, 1972.
- [25] R.E. Bryant, "MOSSIM: A switch-level simulator for MOS LSI," in *Proc. 18th Design Automation Conf.*, pp. 786-790, Jul. 1981,
R.E. Bryant, "An algorithm for MOS logic simulation," *Lambda Mag.*, Fourth Quarter, pp. 46-53, 1980.
- [26] J. Watanabe, J. Miura, T. Kurachi, and I. Suetsugu, "Seven value logic simulation for MOS LSI circuits," presented at the *IEEE Intl. Conf. Circuits and Computers*, Port Chester, NY, pp. 941-944, Oct., 1980.
- [27] W. Sherwood, "An MOS modeling technique for 4-state true-value hierarchical logic simulation," in *Proc. 18th Design Automation Conf.*, Nashville, Tn, pp. 775-785, Jul., 1981.
- [28] H. De Man, "Mixed mode simulation for MOS VLSI: Why, Where and How?" in *Proc. IEEE Int. Symp. Circuits System*, Rome, Italy, pp. 699-701, May, 1982.
- [29] W.M.G. Van Bokhoven, "Mixed-level and mixed-mode simulation by a piecewise-linear approach," in *Proc. IEEE Int. Symp. Circuits System*, Rome, Italy, pp. 1256-1258, May, 1982.
- [30] V.D. Agrawal, A.K. Bose, P. Kozak, H.N. Nham, and E. Pacas-Skewes, "A mixed-mode simulator," in *Proc. 17th Design Automation Conf.*, Minneapolis, MN, pp. 1-8, June, 1980.
- [31] T. Sasaki, A. Yamada, S. Kato, T. Nakazawa, K. Tomita, and N. Nomizu, "MIXS: a mixed level simulator for large digital system logic verification," in *Proc. 17th Design Automation Conf.*, Minneapolis, MN, pp. 626-633, June, 1980.
- [32] V.D. Agrawal, A.K. Bose, P. Kozak, H.N.

- Nham, and E. Pascal-Skewes, "A mixed model simulator," in *Proc. 17th Design Automation Conf.*, Minneapolis, MN, pp. 618-625, June, 1980.
- [33] P.H. Reynaert, H. De Man, G. Arnout, and J. Cornelissen, "DIANA: a mixed-mode simulator with a hardware description language for hierarchical design of VLSI," in *Proc. IEEE Intl. Conf. Circuits and Computers*, Port Chester, NY, pp. 356-360, Oct., 1980.
- [34] D. D. Hill and W.M. Van Cleemput, "SABLE: Multilevel simulation for hierarchical design," in *Proc. IEEE Int. Symp. Circuits and Systems*, Houston, TX, pp. 431-434, Apr., 1980.
- [35] W.M.G. van Bokhoven, "Macromodeling and simulation of mixed analog-digital networks by piecewise-linear system approach," in *Proc. IEEE Intl. Conf. Circuits and Computers*, Port Chester, NY, pp. 361-365, Oct., 1980.
- [36] M.E. Daniel and C.W. Gwyn, "Hierarchical VLSI circuit design," in *Proc. IEEE Intl. Conf. Circuits and Computer*, Port Chester, NY, pp. 92-97, Oct., 1980.
- [37] G.L. Smith, R.J. Bahnsen, and H. Halliwell, "Boolean comparison of hardware and flow charts," *IBM J. Res. Develop.*, vol. 26, pp. 106-116, Jan., 1982.
- [38] R.B. Hitchcock, St., G.L. Smith, and D.D. Chang, "Timing analysis of computer hardware," *IBM J. Res. Develop.*, vol. 26, pp. 100-105, Jan., 1982.
- [39] P. Yang, I.N. Hajj, and T.N. Trick, "Slate: A circuit simulation program with latency exploration and node tearing," in *Proc. IEEE Intl. Conf. Circuits and Computers*, Port Chester, NY, pp. 353-355, Oct., 1980.
- [40] D.A. Calahan, "Multilevel vectorized sparse solution of LSI circuits," in *Proc. IEEE Intl. Conf. Circuits and Computers*, Port Chester, NY, pp. 976-979, Oct., 1980.
- [41] K.S. Sakallah and S.W. Director, "An activity directed circuit simulation algorithm," in *Proc. IEEE Intl. Conf. Circuits and Computers*, Port Chester, NY, pp. 1032-1035, 1980.
- [42] "An event driven approach for mixed gate and circuit level simulation," in *Proc. IEEE Int. Symp. Circuits and Systems*, Rome, Italy, pp. 1194-1197, May, 1982.
- [43] W.L. Engl, R. Laur, and H. Dirks, "MEDUSA—A simulator for modular circuits," *IEEE Trans. CAD Integ. Circ. Syst.*, vol. CAD-1, pp. 85-93, Apr., 1982.
- [44] J.M. Ortega and W. Rheinboldt, *Iterative Solution of Nonlinear Equations in Several Variables*. New York: Academic Press, 1970.
- [45] A.R. Newton, "The analysis of floating capacitors for timing simulation," in *Proc. 13th Asilomar Conf. on Circuits Systems and Computers*, Pacific Grove, CA, Nov., 1979.
- [46] Y.P. Wel, I.N. Hajj, and T.N. Trick, "A prediction-relaxation based simulator for MOS circuits," in *IEEE Intl. Conf. Circuits and Computers* (New York, NY, Sept. 1982), pp. 353-355.
- [47] E. Ulrich, "Table lookup techniques for fast and flexible digital logic simulation," in *Proc. 17th Design Automation Conf.*, Minneapolis, MN, pp. 560-563, June, 1980.
- [48] L.o. Chua and P.M Lin, *Computer-Aided Analysis of Electronic Circuits*. Englewood Cliffs, NJ: Prentice-Hall, 1975.
- [49] J. Vlach and K. Singhal, *Computer Aided Circuit Analysis*. New York: Van Nostrand, 1983.
- [50] A. Vladimirescu and D.O. Pederson, "Performance limits of the CLASSIE circuit simulation program," in *Proc. Int. Symp. on Circuits Systems* (Rome, Italy, May 1982), pp. 1229-1232.
- [51] H. De Man, J. Rabaey, G. Arnout, and J. Vandervalle: "DIANA as a mixed-mode simulator for MOS LSI Sampled-data circuits," in *Proc. IEEE Intl. Symp. on Circuits and Systems*, Houston, TX, pp. 435-438, Apr., 1980.
- [52] G. DeMicheli, A.R. Newton, and A. Sangiovanni-Vincentelli, "Symmetric displacement algorithm for the timing analysis of large scale circuits," *IEEE Trans. CAD*, vol. CAD-2, pp. 167-180, July, 1983.