

Device Modeling

金 元 燦*, 權 純 澈**

*서울대학교 工科大學 電子工學科 助教授(工博)

**서울대학교 工科大學 電子工學科 大學院

I. 서 론

Device modeling은 모델의 hierarchy 상으로 볼 때 공정 시뮬레이션과 회로 시뮬레이션 사이에 위치한다.

즉, device modeling은 회로의 설계 및 분석에 사용되는 회로 시뮬레이션용 프로그램에 각 소자의 전기적 특성을 파라미터의 형식으로 입력시키기 위한 준비과정의 기능을 담당하며 또 한편으로는 제조공정의 변화 및 소자의 기하학적인 구조의 변화에 따라 이의 전기적 특성이 어떻게 변하는가를 정량적으로 예측 및 분석하는 기능을 갖는다. 회로분석의 정확도는 사용된 개개의 소자의 모델이 얼마나 실제에 부합되며 또 이에 사용된 파라미터의 값이 얼마나 정확한가에 따라 정해진다. 이와같은 회로 시뮬레이션용의 모델은 이미 1960년대 중반에 이미 현재 사용되는 형태로 정착되었다. 반면 공정 및 설계데이터(불순물 농도분포, 이동도, 소자의 기하학적 구조 등)를 바탕으로 한 수치해석 방법에 의한 device modeling은 1970년대 초반부터 연구되었으나 비효율적인 알고리즘 및 시뮬레이션의 복잡성때문에 각광을 받지 못하고 있다가 1970년대 말 1980년대 초에 가서 널리 활용되기 시작되었다.

이는 소자의 크기가 점차 축소화됨에 따라 기존의 해석적 모델이나 lumped model의 한계성이 나타남에 따라 필연적이었으며 또 새로운 공정의 개발과정에서 각각의 물리적 변화와 소자의 전기적 특성의 변화를 직접 연결시켜줌으로서 효과적으로 소자설계를 이루게 하는 장점이 최대한으로 활용될 수 있기 때문이다.

본 원고에서는 device modeling의 접근방법을 역사적으로 고찰해 보았고 또한 수치해석의 방법과 실제 사용예에 대하여 논하겠다.

II. 소자 모델 구성의 개념

1. 경험적 모델

이 방법은 소자를 하나의 black box로 보고 단자의

전기적 특성을 측정치를 바탕으로 하여 알맞은 수학적 함수로서 근사시키는 방법이다. 각 영역을 여러 구간으로 나누어 각 구간내에서 선형함수로 근사시키므로, 구간수가 많을수록 정확도는 높아지나 복잡도도 따라서 증가하게 된다.¹⁾

이 방법은 black box의 물리적 성질이 전혀 고려되지 않으므로 집적회로의 설계를 위하여 사용되기에는 부적합하다.

2. 분석적 모델

반도체내에서의 전류의 흐름과 전장의 세기를 몇개의 편미분 방정식의 형태로 표시하여 소자의 기본적인 동작원리를 물리적 현상에 바탕을 두고 분석하는 방법이다. 일반적으로 구하고자 하는 미분방정식의 해가 closed form으로 나타나지 않으므로 고찰하고자 하는 소자의 구조를 물리적 성질에 따라 몇개의 영역으로 나눈 후 각 영역에서의 기본 방정식을 물리적 현상을 바탕으로 하여 일차방정식으로 간략화시키고 경계조건에 맞도록 해를 구하게 된다.

이 경우, 근사치의 정도에 따라 해의 정확도가 결정되며, 모델에 경험적 모델을 추가함으로써 secondary effect로 표현된다. 일반적으로 모델 파라미터는 생산된 소자의 측정치를 바탕으로 curve fitting을 통하여 얻어지나 집적회로의 설계 및 분석을 위하여 모델 파라미터를 구할때는 대개 측정 목적으로 설계된 여러 형태의 소자를 측정함으로써 얻는 방법을 취한다.

이 경우 측정소자의 기하학적 구조나 기술적인 측면에서의 파라미터 변화를 넓은 영역에서 임의로 행할 수는 없으므로 정확한 모델 파라미터를 구하는 데는 한계가 있다. 결국 모델 파라미터를 정할시 측정이 불확실하거나 불가능할 때는 추정치로 대체하게 되나 신뢰도는 떨어지게 된다.

이 방법의 대표적인 예로는 bipolar transistor의

Ebers-Moll model 혹은 Gummel-Poon model을 들 수 있다.

3. 수치해석적 모델

위의 방법에서와 같이 소자의 구간에 따라 간략화된 식을 푸는 대신 기본 방정식을 컴퓨터를 사용하여 수치해석적으로 계산함으로써 doping profile, device geometry 등의 전기적 소자의 performance를 직접 연결하는 방법이다. 또 생산된 소자의 특성과 시뮬레이션 결과를 비교함으로써 기본 가정의 유효성을 검토하고 새로운 물리적 해석을 가능케 해준다. 이와같은 방법을 사용하면 소자를 생산하기 이전에도 소자의 전기적 특성을 계산할 수 있다. 따라서 새로운 소자의 개발이 얻어지는 전기적 특성의 개선이 공정의 개선에 필요한 시간적, 경제적 투자의 의미가 있는지를 사전 검토할 수 있는 가능성을 제공한다. 대표적인 예로 MEDUSA나 MINIMOS를 들 수 있으며 계산시간 및 경비를 고려하여 모델의 hierarchy에 따라 '정확한' 해 및 '간략화된' 해를 구할 수 있다.

Ⅲ. 반도체 소자의 모델

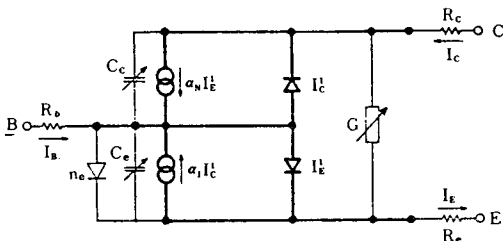
Regional approach의 기본 개념은 1949년에 Shockley^[2]에 의하여 도입되었으며 그는 transistor를 space charge region과 quasi-neutral region으로 나누어 소자의 field equation의 analytic solution을 구하였다. 그의 모델을 바탕으로 1954년에 Ebers와 Moll^[3]에 의해 회로소자의 형태로 트랜지스터가 표현되었다. 그림 1은 npn 트랜지스터의 Ebers-Moll 모델이며 다이오드 n_c 는 current dependent current gain을 나타내기 위하여 에미터와 베이스 사이에 병렬로 연결한 것이다.

이와같은 물리적 현상을 설명하는 회로소자는 1957년과 1958년의 Beaufoy-Spakes 모델^[4]과 Linvill의

lumped 모델^[5]에 의해서도 시도되었으나 표현방법만 다를 뿐 그 기본 형태는 동일하였다. 상기 모델의 파라미터는 물리적 고찰과 경험을 바탕으로 table의 형태나 적당한 interpolation 함수를 사용하여 fitting에 의하여 구한다.

이와 대응하는 발전과정은 트랜지스터 고유의 크기인 베이스 전하를 직접 단자의 전기적 특성에 연계시키는 Gummel의 integral charge relation^[6]에 바탕을 두고 이루어졌다. 이 방법에 의하면 위의 모델에서 secondary effect로 처리되어야 했던 여러 가지 현상이 소자의 기본 물성으로부터 구해질 수 있었다. 단지 이 방법에서는 베이스의 전류성분의 경우 현상분석 fitting 기법에 의하여 묘사될 수 밖에 없었다. 소자의 전기적 특성을 묘사하기 위한 Gummel-Poon 파라미터는 측정하기가 복잡하고 방정식의 해를 구하기에 많은 계산시간이 소모되므로 극도로 정확한 해가 필요없는 경우에는 간략한 모델을 사용하게 되어 결국 다시 Ebers-Moll 모델과 같은 형태로 돌아오게 된다. 현재 사용되는 대부분의 회로분석 프로그램은 여러가지 형태의 트랜지스터 모델을 용도에 따라 option의 형태로 사용하도록 구성되어 있다.

바이폴라 트랜지스터의 경우에는 달리 FET에서는 소수 캐리어에 의한 전류성분을 무시하고 분석할 수 있기 때문에 식의 갯수가 줄어든다. 역시 1952년에 Shockley가 gradual channel approximation^[7]의 방법으로 일차원의 analytic integration에 의해 source, drain 및 gate의 전압과 채널의 전류관계식을 유도한 것이 표시이다. 그 후 Frohman-Bentchkowsky와 Vadesz^[8]가 surface effect와 velocity saturation effect를 고려하여 적어도 채널이 긴 소자에 대해서는 실험결과가 거의 맞는 개선된 식을 유도했고 이어서 Shichman과 Hodges^[10]가 회로분석 프로그램에 알맞는 형태의 모델을 개발해 내었다. 이 모델은 그림 2에 도시된 바와 같이 아주 간단한 형태이며 비교적 많



$$I_E = I_{ES} (e^{V_{BE}/V_T} - 1) + \alpha_1 I_{CS} (e^{V_{BC}/V_T} - 1)$$

$$I_C = \alpha_N I_{ES} (e^{V_{BE}/V_T} - 1) + I_{CS} (e^{V_{BC}/V_T} - 1)$$

그림 1. npn 트랜지스터의 Ebers-Moll 모델^[3]

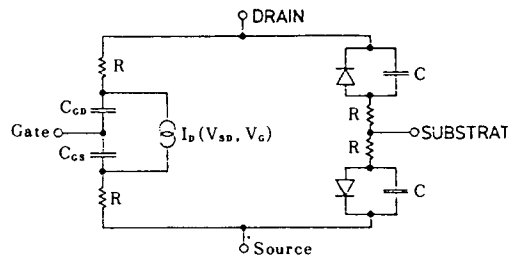


그림 2. MOS 트랜지스터의 Shichman-Hodges 모델^[10]

은 수의 소자를 포함하는 회로를 분석하는데도 용이하게 쓰일 수 있다.

대규모 집적회로에서 트랜지스터의 채널의 길이가 짧아질 경우(short channel devices) 공간전하층의 드레인 영역에서의 영향을 무시할 수 없게 된다. 이와같이 이차원적인 동작형태를 일차원적 모델로서 표현해야 하는 경우에는 이 영향을 effective channel length, drain 영역에서의 field dependent mobility 및 substrate와 threshold voltage와의 관계를 curve fitting을 통하여 고려할 수 밖에 없었다.

위와같이 curve fitting에 의해 파라미터를 구하는 것은 실제 효용면에 문제성을 내포한다. 이는 파라미터 추출작업의 복잡성에 기인한다기 보다는 근본적으로 일단 소자가 제작된 후에야 측정을 할 수 있으며 또 설계자가 변화시킬 수 있는 소자의 크기 및 제조공정의 변화가 극히 좁은 부분에서만 가능하기 때문이다. 결국 새로운 소자가 나올때마다 새로운 모델을 구해야 한다는 제약은 소자의 크기, 물리적 현상, 공정 데이터에서부터 직접 소자내부의 현상과 단자의 특성을 직접 시뮬레이션 할 수 있는 프로그램의 필요성이 대두된다.

반도체 소자는 삼차원적 구조를 가지고 있으나 대개의 경우 하나의 크기는 다른 크기들에 비해 무시할 수 있어 1, 2차원의 시뮬레이션으로도 충분하다. 바이폴라 트랜지스터의 경우 수치 해석적인 방법은 Gummel에 의해 최초로 이루어졌다.⁶⁾ 2차원 시뮬레이션의 효시는 Kennedy와 O'Brien¹¹⁾이 JEFT 구조에 수행한 것이다. 그림 3은 Kennedy와 O'Brien이 narrow gate JFET를 분석하여 나온 결과를 캐리어 분포에 대하여 도시한 것이다.

그후 바이폴라 트랜지스터의 경우 1차원 시뮬레이션은 Dubock¹²⁾, Slotboom¹³⁾에 의해서, MOS 트랜지스터의 경우 Selberherr¹¹⁾에 의해 분석되었고 2차원 시뮬레이션은 Heimeier¹⁴⁾에 의해 분석되었고 functional device의 경우에도 시뮬레이션이 수행된 바 있다.^{15, 16)}

IV. Numerical Analysis

이절에서는 일반적으로 device simulation program에 많이 이용되고 있는 기본방정식과 물리적 현상에 대해서 논하기로 한다.

1. 기본방정식

반도체 소자 분석에 필요한 기본 방정식은 Poisson equation 식(1)과 전자와 홀에 대한 continuity equation 식(2), 식(3)이며, 이에 대한 보조 방정식으로 전자와 홀에 대한 transport equation 식(4), (5)이다.

$$\nabla^2 \Psi = -\frac{q}{\epsilon} (p - n + N_D^+ - N_A^-) \quad (1)$$

N_D^+, N_A^- impurity concentrations

$$\frac{\partial n}{\partial t} + \text{div } j_n = -R \quad (2)$$

$$\frac{\partial p}{\partial t} + \text{div } j_p = -R \quad (3)$$

R recombination rate

$$j_n = \mu_n n \text{ grad } \phi_n \quad (4)$$

$$j_p = -\mu_p p \text{ grad } \phi_p \quad (5)$$

μ_n, μ_p carrier mobility

ϕ_n, ϕ_p quasi-Fermi potential

캐리어의 분포가 Fermi-Dirac statistics 대신에 간단한 형태의 Boltzmann statistics를 따른다고 가정하고 high doping effect를 고려하지 않으면 전자와 홀의 quasi-fermi potential은 식(6)과 (7)로 표시된다.

표 1. 표준화 상수

변 수	normalizing factor
온 도	$T_0 = 300K$
진 하 량	q
진 압	$V_{th} = (kT_0/q) * T/T_0$
Dielectric constant	$\epsilon = \epsilon_0 \cdot \epsilon_r$ for silicon
캐리어 농도	$n_i(T = T_0)$
시 간	t_0
Mobility	$\mu_0 = L_D^2 / V_{th} * t_0$
길 이	$L_D = (V_{th} * \mu_0 * t_0) ** 1/2$
전 류	$I_0 = L_D * q * n_i(T_0) * A_0 / t_0$
전장의 세기	$E_0 = V_{th} / L_D$
저 항	$R_0 = V_{th} / I_0$

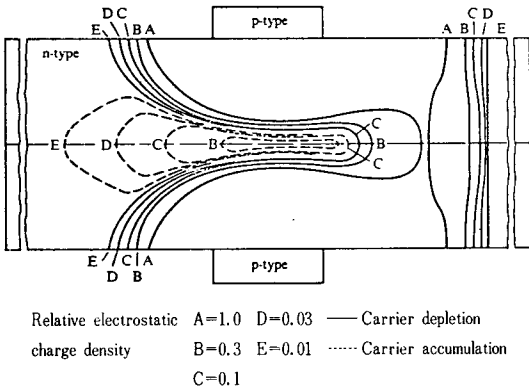


그림 3. Narrow gate JFET에서의 캐리어 분포도¹¹⁾
($V_{GS} = 7V, V_{DS} = 2.4V$)

$$n = n_i \exp\left(\frac{\psi - \phi_n}{V_T}\right) \quad (6)$$

$$p = n_i \exp\left(\frac{\phi_p - \psi}{V_T}\right) \quad (7)$$

위의 식에서는 thermal voltage KT/q 를 사용하여 식을 간략화시켰다. 이와같은 방법을 일반화시키면 컴퓨터를 사용할 경우 반복 계산에서 발생하는 불필요한 동작과 overflow나 underflow를 피하기 위하여 위의 식의 각 변수의 크기를 normalize 된 크기로 바꾸어 dimensionless 의 크기로 계산하는 것이 유리하게 된다. 표 1 에 normalization constant가 정리되어 있다.

2. 물리적 모델

• Mobility

$$\mu(N) = \mu_{min} + \frac{\mu_{max} - \mu_{min}}{1 + \left(\frac{N}{N_{Ref}}\right)^\alpha} \quad (8)$$

$$\mu(E) = \frac{\mu_0}{\left(1 + \left(\frac{E\mu_0}{v_{max}}\right)^\beta\right)^{1/\beta}} \quad (9)$$

$$\beta = \begin{cases} 1 & \text{hole mobility} \\ 2 & \text{electron mobility.} \end{cases}$$

• SRH recombination

$$R_{SRH} = \frac{np - n_i^2}{\tau_n(p + p_t) + \tau_p(n + n_t)} \quad (10)$$

$$\tau_{n,p} = \tau_{n_0,p_0} \frac{N_{Ref}}{N_D + N_A} \quad (11)$$

$\tau_{n,p}$ lifetimes

$$p_t = n_i \exp\left(\frac{E_t - E_t}{kT}\right) \quad (12)$$

$$n_t = n_i \exp\left(\frac{E_t - E_t}{kT}\right) \quad (13)$$

E_t trap level

E_t center of band gap

• Auger recombination

$$R_{AV} = C_n(n^2p - nn_i^2) + C_p(np^2 - n_i^2p) \quad (14)$$

• High doping effect

$$n \cdot p = n_i^2 e_{eff} = n_i^2 \exp\left(-\frac{\Delta E_g}{kT}\right) \quad (15)$$

n_i intrinsic concentration in low doped material

• Avalanche Generation

$$G_{AV} = \alpha_n |J_n| + \alpha_p |J_p| \quad (16)$$

$$\alpha_{n,p} = \alpha_{n,p} (\exp(-b_{n,p}|E|)) \quad (17)$$

• Temperature effect

a. Intrinsic carrier concentration

$$n_i = \left(\frac{T}{T_0}\right)^{3/2} \exp\left(-\frac{E_{g0}}{2KT_0} \frac{T_0 - T}{T}\right) \quad (18)$$

b. Mobility

$$\mu_n \propto T^{-2.42} \quad (19)$$

$$\mu_p \propto T^{-2.2} \quad (20)$$

위와 같은 기본 방정식과 물리적 모델을 가지고 device simulation 이 수행된다. 바이폴라 시뮬레이션 프로그램인 APOLLO를 수행한 결과가 그림 4에 도시되어 있으며, MOS 시뮬레이션 프로그램인 MINIMOS를 수행한 결과가 그림 5에 도시되어 있다.

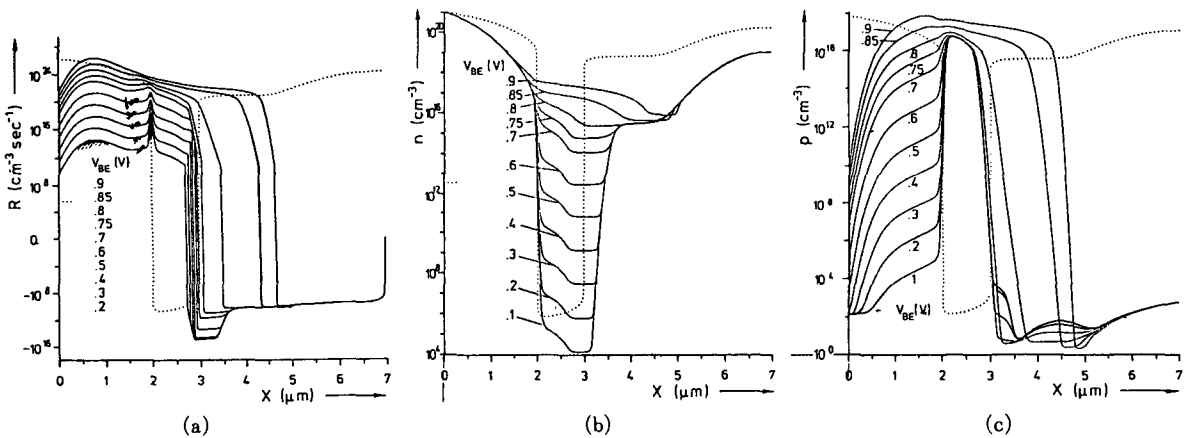
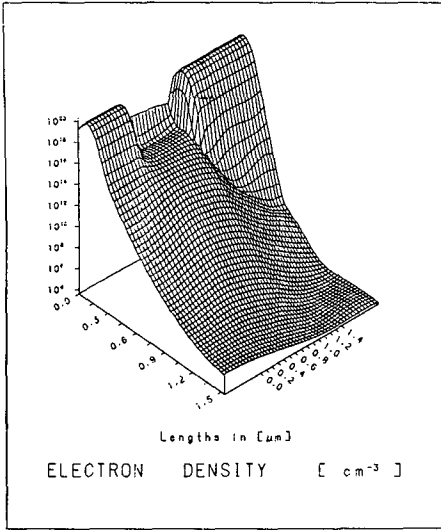
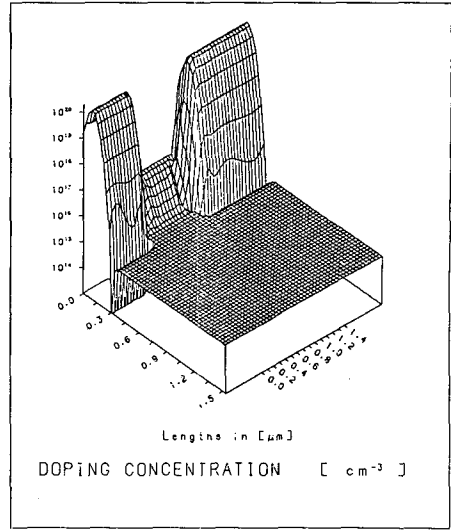


그림 4. 전압에 따른 SBC transistor의 device simulation

- (a) Recombination rate
- (b) 전자의 농도 분포
- (c) 홀의 농도 분포



(a) 불순물 농도의 분포



(b) 전자 농도의 분포

그림 5. MOS transistor의 device simulation ($W/L=6\mu\text{m}/1\mu\text{m}$, $V_{BS}=0$, $V_{DS}=2\text{V}$, $V_{GS}=2\text{V}$)

V. 추 세

위에서 논한 기본 device modeling의 기법은 소자의 크기가 점점 감소함에 따라 나타나는 secondary effect나 parasitic effect(short/narrow channel effect, CMOS에서의 latch-up 현상)를 정확히 분석하기 위하여, 또한 functional device의 시뮬레이션도 가능케 하기 위하여 modular circuit simulator의 방향으로 더욱 다듬어지고 발전되는 과정에 있다. 이를 위하여 부분적으로는 3차원 시뮬레이션이 필요하게 되고 경우에 따라서는 1차원 소자구조를 coupling element로 연결하여 quasi-3D 시뮬레이션을 수행하는 방법도 연구되고 있다.

최근에는 보다 효과적 계산수행을 하기 위한 새로운 수치해석 기법들이 발표되고 있으며 앞으로는 silicon-based 반도체 시뮬레이터의 경험을 바탕으로 III-V족 반도체에 대한 modeling이 활발하게 수행될 것으로 전망된다.

VI. 결 론

본 원고에서는 device modeling의 기본개념 및 수치해석의 기법에 대하여 개략적으로 논하였다. Device modeling은 소자의 크기, 물리적 현상, 공정 데이터로부터 소자내부의 현상과 단자의 특성을 직접 예측하게

해주며, device modelling의 정확도는 사용자가 입력시킨 데이터의 신뢰도에 따라 좌우된다.

현재의 device modeling의 단점을 보완하기 위하여 3차원 시뮬레이터의 개발이 진행되고 있으며, 이에 따른 새로운 알고리즘의 개발이 요청되고 있다.

참 고 문 헌

- [1] Leon O, Chua and Pen-Min Lin, Computer Aided Analysis of Electric Circuits. Prentice-Hall, 1975.
- [2] Shockley, W., The Theory of p-n Junction in Semiconductors Junction Transistors. Bell Syst. Tech. J. 28,435,1949.
- [3] Ebers, J.J. and Moll, J.L., Large Signal Behavior of Junction Transistors Proc. IRE 42, 1761, 1954.
- [4] Beaufoy, R. and Sparkes, J.J., The Junction Transistor as a Charge-Controlled Device Automatic Telephone a. Electric Com. J. 4 (London), pp. 310, 1957.
- [5] Linvill, J.G., Lumped Models of Transistors and Diodes. Proc. IRE 46 (1141) 1958.
- [6] Gummel, H.K., A Charge Control Rela-

- tion for Bipolar Transistors. Bell Syst. Tech. J. 49 115, 1970.
- [7] Gummel, H.K., Poon, H.C., *An Integral Charge Control Model of Bipolar Transistors*. Bell Syst. Tech. J.49, 827, 1979.
- [8] Shockley, W., *A Unipolar Field-Effect Transistor*. Proc. IRE 40 1365, 1952.
- [9] Frohman-Bentchkowsky, D., Vadasz, L., *Computer-Aided Design and Characterization of Digital MOS Integrated Circuits*. IEEE J. Solid State Circuits SC-4, 57, 1969.
- [10] Shichman, H., Hodges, D.A., *Modeling and Simulation of Insulated Gate Field-Effect Transistor Switching Circuits*. IEEE J. Solid State Circuits SC-3 285, 1968.
- [11] Kennedy, D.P., O'Brien, R.R., *Computer Aided Two-Dimensional Analysis of the Junction Field-Effect Transistor*. IBM J. Res. Dev. 17, 2, 1973.
- [12] Dubock, P., d.c., *Numerical Model for Arbitrarily Biased Bipolar Transistors in Two Dimensions*. Electron. Lett., 6, 53, 1970.
- [13] Slotboom, J.W., Computer aided two dimensional analysis of bipolar transistors, *IEEE Trans. Electron. Devices*, ED-20, 708, 1973.
- [15] Suzuki, N., Yanai, H., "Computer analysis of surface-charge transport between transfer electrodes in a charge-coupled device," *IEEE Trans. Electron. Device.*, ED-21, 73, 1974.
- [16] Wieder, A.W., Engl, W., Lehning, H., *Computer Aided Device Modeling and Design Procedure for Current Hogging Logic (CHL)*. J. Solid State Circuits SC-10, 352, 1975.
- [17] Selberherr, S., Fichtner, W., Potzl, H.W., *MINIMOS-A Program Package to Facilitate MOS Design and Analysis*. Numerical Analysis of Semiconductor Devices Dublin, Ireland': Boole Press, 1979. *

알아둡시다

略語알람

A-D : Analog-to-Digital	PLL : Phase Locked Loop
CFL : Collector Function Logic	RF : Radio Frequency
CML : Current Mode Logic	SAW : Surface Acoustic Wave
CVD : Chemical Vapor Deposition	SIP : Single in-line Package
D-A : Digital-to-Analog	S/N : Signal-to-Noise
DIP : Dual in-line Package	SSI : Small Scale Integrated circuit
ECL : Emitter Coupled Logic	UHF : Ultra-High Frequency
IC : Integrated Circuit	VCO : Voltage Controlled Oscillator
I ² L : Integrated injection Logic	VTR : Video Tape Recorder
JFET : Junction Field Effect Transistor	ALU : Arithmetic Logic Unit
LSB : Least Significant Bit	ATG : Automatic Test Generator
LSI : Large Scale Integrated Circuit	LSSD : Level-Sensitive Scan Design
MSI : Medium Scale Integrated Circuit	CPO : Charge Priming Device
NSA : Nitride Self Alignment	CCD : Charge Coupled Device