

Acoustoelectric 기억 콘벌버를 이용한 정합필터

Matched Filter Using Acoustoelectric Memory Convolver

* 최 영 호 (Young Ho, Choi)
 * 정 영 지 (Young Jee, Chung)
 ** 황 금 찬 (Keum Chan, Whang)

ABSTRACT

A surface acoustic wave signal processing device using the silicon surface state is presented and shown capable of storing a reference signal and later correlating another signal with the stored reference. The device memory consists of the storage of the spatial 2k pattern of an acoustic wave as stored charges in the surface state of silicon surface.

Results of experiments are presented which characterize the operation of device. Simplified models for charging process and nonlinear acoustoelectric interactions based on consideration of single surface state at the surface of silicon.

The validity of simplified model has been qualitatively confirmed with experimental results and the application of this device to a programmable matched filter of communication is considered.

I. 서 론

탄성표면파 콘벌버에는 압전물질의 압전 비선형성을 이용하는 탄성콘벌버와, 탄성표면파와 반도체의 비선형 효과를 이용하는 음향전기(Acoustoelectric) 콘벌버가 있는데, 음향전기 콘벌버는 1972년 W. C. Wang에 의하여 연구되었으며, 콘벌루션 출력이 탄성 콘벌버에 비해 훨씬 강하다는 장점이 있어 활발히 연구된다.^{1),2),3)} 그런데 음향전기 콘벌버는 다음과 같은 결점에 의하여 어댑티브(Adaptive) 정합필터로서의 사용범위가 제한을 받는다. 첫째 음향전기 콘벌버의 적분구간내에서 기준신호와 외부신호를 일치시키기 위해서 정확한 Timing이 요구되며, 둘째, 음향전기 콘벌버에 인가하는 두 신호중 한 신호를 기준신호에 대하여 시간반전하여야 한다.

따라서 음향전기 콘벌버의 결점에 대한 보완책으로서 1970년대 중반이후 기준신호를 반도체의 표면상태(Surface state)를 이용하여 반도체 표면에 한 신호를 저장시키는 기억 코릴레이터에 관한 연구가 J. H. Cafarella 등에 의하여 진행되고 있다.⁴⁾

본 논문에서는 압전물질인 Yz-LiNbO₃ 위에 포토리토그래피(photolithography) 방법으로 Al 증착하여 SAW 지연선을 제작하고, 비저항을 10 Ω-cm인 n형 실리콘에 Surface State를 갖도록 하여 이를 SAW 지연선 위에 1500 Å의 一定한 공극을 유지하도록 증착하여 반도체의 Surface State를 이용한 기억 코릴레이터를 제작하여 소자의 제특성을 조사하고자 하며 SS 통신방식에서 코릴레이션 정합필터로 응용될 수 있음을 보이고자 한다.

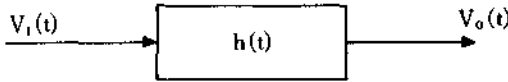
* 연세대학교 공과대학 전기공학과

** 연세대학교 공과대학 전기공학과 교수

II. Surface State를 이용한 기억 코릴레이터의 理論

2-1. AE 콘벌버의 動作原理

AE 콘벌버의 理論은 (그림 2)와 같은 선형필터로 說明할 수 있다.



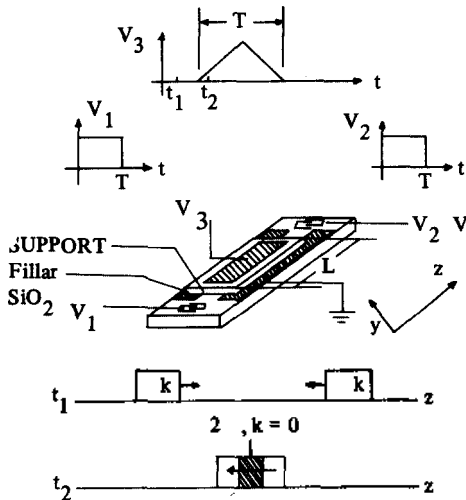
(그림 1) 선형필터의 블록선도
Fig. 1. Block diagram of linear filter.

(그림 1)의 선형필터에서 출력 $V_0(t)$ 는 식(1)과 같이 입력 $V_1(t)$ 와 임펄스 응답 $h(t)$ 의 콘벌루션으로 表示된다.

$$V_0(t) = \int_{-\infty}^{\infty} V_1(\tau) \cdot h(t-\tau) d\tau \dots\dots\dots(1)$$

식 (1)에서 만일 임펄스 응답 $h(t)$ 를 임의로 변화시킬 수 있으면, 어답티브 (Adaptive) 선형필터를 구성할 수 있다. 음향전기 콘벌버는 (그림 2)과 같이 광대역고주파의 신호를 한 소자내에서 시간변이, 곱셈 및 적분연산을 연속적으로 아날로그 형태로 처리함으로써 식(2)와 같이 콘벌루션 출력을 얻을 수 있다.

$$V_c(t) = \int_{-\infty}^{\infty} V_1(\tau) \cdot V_2(t-\tau) d\tau \dots\dots\dots(2)$$



(그림 2) 음향전기 콘벌버의 동작원리
Fig. 2. Operation principle of acoustoelectric convolver.

(그림 2)과 같이 AE 콘벌버의 構造는 壓電物質의 下面에 금속전극을 증착하고, 절연체인 압전물질과 一定한 공극을 유지하도록 반도체 Strip을 장착한 MIS (Metal Insulator Semiconductor) 구조로서, 시간변이는 서로 반대방향으로 진행하는 SAW를 지연선의 양단에 증착된 두 IDT에서 여기함으로써 V_1 과 V_2 를 얻을 수 있고, 곱셈연산은 두 IDT에서 여기된 SAW의 電界가 반도체 아래의 공극을 통하여 반도체와 결합됨으로써 반도체의 비선형성에 의하여 구해진다. 그리고 반도체 내부에 여기된 신호는 반도체 위에 증착된 전극에 의하여 전극의 길이 L 에 대하여 공간적으로 적분연산이 수행됨으로써 식(3)과 같은 콘벌루션 출력을 얻는다.

$$V_{of}(t) = A \cdot \exp(j\omega t) \int_{-L/2}^{L/2} V_1(t-z/v) \cdot$$

$$V_2(t+z/v) dz$$

$$V_{of}(t) = A \cdot \exp(j\omega t) \int_{-L/2}^{L/2} V_1(\tau) \cdot$$

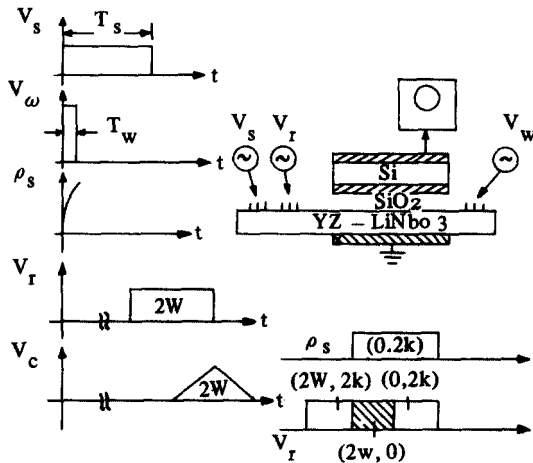
$$V_2(2t-\tau) d\tau \dots\dots\dots(3)$$

여기서, L : 전극의 길이
 v : SAW 속도

따라서 (그림 3)과 같이 반도체의 길이와 같은 구형펄스 변조된 두 입력신호 V_1, V_2 를 지연선 양단에 증착된 IDT에 인가하면, 전극의 길이, 즉 적분길이 내에서 인가한 두 신호의 겹치는 부분의 크기에 따라 콘벌루션 출력은 비례하여 증가하며, 두 신호가 반도체 아래의 공극에서 완전히 겹쳤을 때 콘벌루션 출력은 최대가 된다. 또한 전자적인 방법을 사용하여 입력신호를 임의로 변화시킬 수 있으므로 AE 콘벌버는 어답티브 선형필터를 구현할 수 있다.

2-2. 기억 코릴레이터의 동작원리

반도체의 Surface State를 이용한 기억 코릴레이터의 구조는 압전물질 위에 증착된 3개의 IDT와 압전물질의 표면 위에 일정한 공극을 유지하도록 반도체를 설치한 구조로서, 2개의 IDT는 중심주파수가 ω 이고, 1개의 IDT는 중심주파수가 2ω 이다. 또한 반도체는 약 1500\AA 의 두께로 산화막을 형성시킨 후, HF 용액으로 산화막을 제거하고, 약 2주간 자연상태에서 얇은 산화막을 형성시킨다. 즉 기억코릴레이터의 구조는



(그림 3) 기억 코릴레이터의 동작원리
 Fig. 3. Operation principle of memory correlator

(그림 3)와 같이 AE 콘벌퍼에 비해 중심주파수가 2ω 인 IDT가 1개 더 설치되었으며, 반도체 표면에 얇은 산화막을 형성시킨 구조이다.

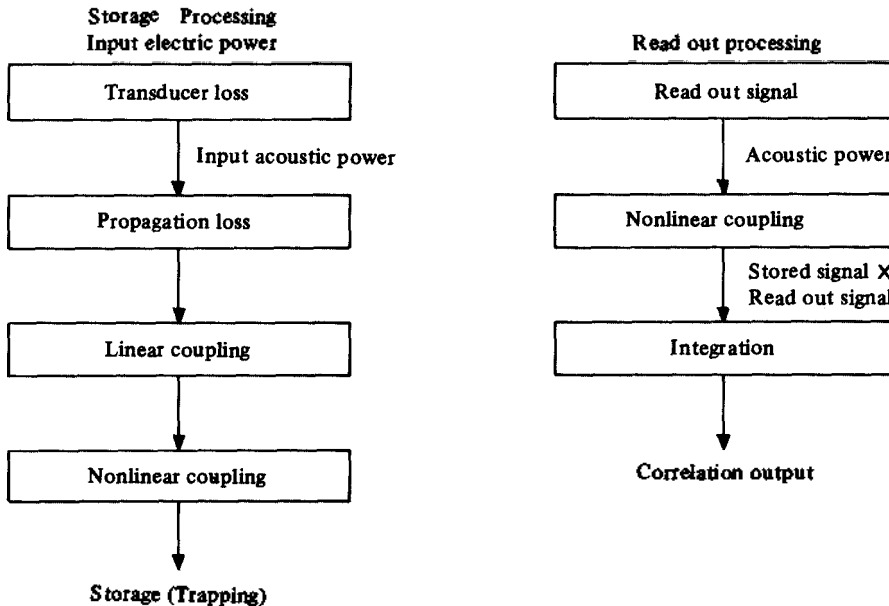
기억 코릴레이터의 동작은 1) 입력신호 V_s 와 Writing 신호 V_w 에 기인한 반도체 표면의 비선형효과를 이용하여 반도체 표면에 입력 신호의 진폭에 비례하는 공간전하분포를 형성함과 동시

에 저장시키는 과정과, 2) 또 다른 입력신호인 Read Out 신호를 인가하였을 때, 반도체 위에 증착된 전극의 길이에 따라 반도체의 비선형효과 및 공간적인 적분연산에 의해 저장된 신호와 Read Out 신호와의 코릴레이션을 얻는 2 가지 과정으로 구분된다.

먼저 저장되는 과정은 입력신호 V_s 와 짧은 펄스인 Writing 신호를 압전물질 양단에 증착된 중심주파수 ω 인 두 IDT에 여기하면, 두 IDT에서 SAW가 여기되며 서로 반대방향으로 진행하며, 이는 반도체 아래의 공극을 지날 때, 반도체 표면의 전하와 결합되며, 반도체의 비선형효과에 의하여 입력신호 V_s 와 짧은 펄스인 Writing 신호 V_w 두 신호의 곱셈연산이 행하여짐과 동시에 반도체의 Trap에 의하여 공간적으로 2배 압축된 파형이 저장된다.

그리고 Read Out 과정은 또 다른 입력 신호인 Read Out 신호 V_r 을 중심주파수 2ω 인 IDT에 인가하면 SAW가 여기되어 진행하며, 이는 반도체 아래의 공극에서 반도체의 비선형효과 및 공간적인 적분연산에 의하여 반도체 표면에 저장된 신호와 코릴레이션 출력의 얻을 수 있다.

이와같은 기억 코릴레이터의 동작원리를 블록선도로 표시하면 (그림 4)와 같다.



(그림 4) 기억 코릴레이터의 블록선도
 Fig. 4. Block diagram of memory correlator

2-2. Memory Effect

(그림 3)에서 입력신호 V_s 와 Writing 신호 V_w 를 압전물질 양단에 증착된 두 IDT에 여기하면, SAW가 여기되어 서로 반대방향으로 진행한다. 이 두 SAW는 식(4)와 같이 진행되는 방향에 수직인 전계 $\phi_s(t, z)$ 과 $\phi_w(t, z)$ 을 갖는다.

$$\begin{aligned} \phi_s(t, z) &= V_s(t-z/v) \sin(\omega t - kz) \\ \phi_w(t, z) &= V_w(t+z/v) \sin(\omega t + kz) \dots\dots\dots(4) \end{aligned}$$

식 (4)와 같은 전계를 갖는 두 SAW가 반도체 아래의 공극에서 결합될 때, Perturbation에 의해 반도체 표면에 first order 전하분포와 Second order 전하분포를 갖는데, first order 전하분포는 SAW의 진폭에 대하여 선형이므로 단순히 두 입력신호에 따르는 전하분포의 합으로 표시되며, Second order 전하분포는 두 입력신호의 곱으로 표시되는 Second order의 자유전자 밀도 n_{zc} 가 시간과 공간에 대하여 식 (5)로 나타난다.

$$\begin{aligned} n_{zc}(t, z) &= K_n \cdot \phi_s(t, z) \cdot \phi_w(t, z) \\ &= K_n \cdot V_s(t-z/v) \cdot V_w(t+z/v) \\ &\quad \cdot \sin(\omega t - kz) \cdot \sin(\omega t + kz) \\ &= K_n \cdot V_s(t-z/v) \cdot V_w(t+z/v) \\ &\quad \cdot \{\cos(2kz) - \cos(2\omega t)\} \dots\dots\dots(5) \end{aligned}$$

여기서, K_n : 비선형 변화 계수(Cm^{-2}V^2)

식 (5)에서 자유전자밀도 n_{zc} 는 반도체 에지의 Single Surface State로 가정하였을 때의 자유전자밀도를 나타내며, 이때 Trap되는 전자밀도 n_t 는 식 (6)으로 주어진다.

$$\begin{aligned} n_t(t, z) &= N_t \int_0^t n_{zc}(t', z) / n_0 \cdot \exp \\ &\quad - \{(t-t')/T\} dt / T \\ &= N_t \int_0^t K_n \cdot V_s(t'-z/v) \cdot V_w(t'+z/v) \\ &\quad \cdot (\cos 2kz - \cos 2\omega t') \\ &\quad \cdot \exp \{- (t-t')/T\} dt / T \dots\dots\dots(6) \end{aligned}$$

여기서, N_t : 비어있는 Trap의 수
 n_0 : 기준 자유전자밀도
 T : Surface State의 시정수

한편, $\tau = t+z/v$ 로 변환하면, 식 (6)은,

$$\begin{aligned} n_t(t, z) &= N_t \cdot K_n / n_0 \cdot \int_0^\tau V_s(\tau-2z/v) \\ &\quad \cdot V_w(\tau) \cdot (\cos 2kz - \cos 2\omega \tau) \\ (\tau) \quad &\quad \cdot \exp \{- (t-\tau-z/v)/T\} d\tau / T \dots\dots\dots(7) \end{aligned}$$

가 되며, 식 (7)에서 Writing 신호 V_w 가 $\delta(t)$ 에

가깝다면 식 (7)은 식 (8)과 같다.

$$\begin{aligned} n_t(t, z) &= N_t \cdot K_n / n_0 \cdot V_s(-2z/v) \\ &\quad \cdot \cos 2kz \cdot \exp \{- (t-z/v)/T\} \dots\dots\dots(8) \end{aligned}$$

식 (7)에서 $\cos 2\omega t$ 는 적분과성에서 평균값이 0이므로 제거되어 식 (8)과 같이 공간적으로 2배 압축된 입력신호의 파형이 반도체 표면에 저장된다.

2-3. Read Out Processing

앞절에서와 같이 반도체 표면에 공간적으로 2배 압축된 신호를 저장시키고 또 다른 입력신호인 Read Out 신호를 중심주파수 2ω 인 IDT에 인가하면, SAW가 여기되어 진행하며 진행하는 방향에 수직인 전계 $\phi_r(t, z) = V_w(t-z/v) \sin(2\omega t - 2kz)$ 를 가지며, 반도체 아래의 공극을 통과할 때, 반도체의 비선형성에 의해 이 전계와 반도체에 저장된 신호와 곱셈연산이 수행된다.

$$\begin{aligned} \phi_{sc}(t, z) &= K_v \cdot \phi_r(t, z) \cdot n_t(t, z) \\ &= K_v \cdot V_w(t-z/v) \cdot \sin(2\omega t - 2kz) \\ &\quad \cdot n_t(t, z) \dots\dots\dots(9) \end{aligned}$$

여기서, K_v : 비선형 계수

그러므로 곱셈연산의 수행됨과 동시에 증착된 전극의 길이에 따라 공간적인 작분연산에 의하여 반도체에 저장된 신호와 Read Out 신호와의 곱셈연산 후의 신호를 얻을 수 있다. 이때 기판 표면 레이어의 재회로 전압을 식 (10)과 같다.

$$V_{sc}(t) = \frac{\int_{-L/2}^{L/2} \int_{-b/2}^{b/2} Y_s \cdot \phi_{sc}(t, z) dz dy}{\int_{-L/2}^{L/2} \int_{-b/2}^{b/2} Y_s dz dy} \dots\dots\dots(10)$$

여기서, L : 반도체의 길이
 W : IDT의 폭
 b : 반도체의 두께
 Y_s : 반도체 표면의 어드미턴스

한편, 식 (10)에서 집리콧의 어드미턴스 Y_s 는 일정한 것으로 식 (9)을 대입하면,

$$\begin{aligned} V_{sc}(t) &= (W/b) \cdot \frac{1}{L} \cdot \int_0^L K_v \cdot V_w(t-z/v) \\ &\quad \cdot \sin(2\omega t - 2kz) \cdot n_t(t, z) dz \\ &= \left(\frac{W}{b}\right) \cdot \frac{1}{L} \cdot \int_0^L K_v \cdot V_w(t-z/v) \end{aligned}$$

$$\begin{aligned} & \cdot \sin(2\omega t - 2kz) \cdot \frac{N_i K_n}{n_0} \cdot \\ & \cdot V_s(-2z/v) \cdot \cos(2kz) \\ & \cdot \exp[-(t_a/T)] dz \\ & = \left(\frac{W}{b}\right) \cdot \frac{1}{L} \cdot K_n \cdot K_v \cdot \frac{K_v}{n_0} \cdot \exp\{ \\ & -(t_a/T)\} \int_0^L V_s(-2z/v) \\ & \cdot V_\omega(t-z/v) \cdot \cos(2kz) \\ & \cdot \sin(2\omega t - 2kz) dz \dots\dots\dots(11) \end{aligned}$$

이 되며, $\cos(2kz) \cdot \sin(2\omega t - 2kz)$ 은 삼각함수의 합과 적의 공식에 의해,

$$\begin{aligned} \cos(2kz) \cdot \sin(2\omega t - 2kz) &= \frac{1}{2} (\sin(2\omega t - 4kz) \\ &+ \sin(2\omega t)) \dots\dots\dots(12) \end{aligned}$$

가 되고, 식 (12)에서 첫번째 항은 적분시 평균값이 0이므로 제거되어 식 (11)은 식 (13)이 된다.

$$\begin{aligned} V_{oc}(t) &= \left(\frac{W}{b}\right) \cdot \frac{1}{L} \cdot N_i \cdot K_n \cdot K_v/n_0 \\ & \exp[-(t_a/T)] \sin(2\omega t) \\ & \cdot \int_0^L V_s(-2z/v) \cdot V(t-z/v) dz \dots \\ & \dots\dots\dots(13) \end{aligned}$$

식 (13)의 적분항에서 $V_\omega(t-z/v) = V_r(t-z/v)$ 이며 $\tau = -z/v$ 의 변환에 의해,

$$\begin{aligned} & \int_0^L V_s(-2z/v) \cdot V_\omega(t-z/v) dz \\ & = \int_{0-L/v}^0 V_s(2\tau) \cdot V_r(t+\tau) d\tau = R_{sr}(t) \dots\dots\dots(14) \end{aligned}$$

이 된다. 따라서 식 (14)는 또 다른 입력신호인 Read Out 신호와 반도체 표면에 저장된 신호와의 코릴레이션 함수이며, 이는 시간적으로 2배 압축된 형태임을 알 수 있다. 즉 반도체 표면에 입력신호 $V_s(t)$ 폭의 반인 형태로 저장된 신호와 Read Out 신호의 코릴레이션 출력이다.

그리고 코드화된 디지털 신호를 입력 신호의 가장 짧은 코드의 폭과 같거나 더 짧은 폭을 갖는 Writing 신호를 SAW 지연선 양단에 각각 인가하고, 또 다른 입력신호인 Read Out 신호를 시간적으로 2배 압축하여 코드화된 신호를 인가함으로써 오토코릴레이션 출력을 얻을 수 있으므로 SS 통신방식에서 정합필터로 응용될 수 있다.

III. 실험 및 결과 고찰

3-1. Surface State를 갖는 실리콘 시편의 제작

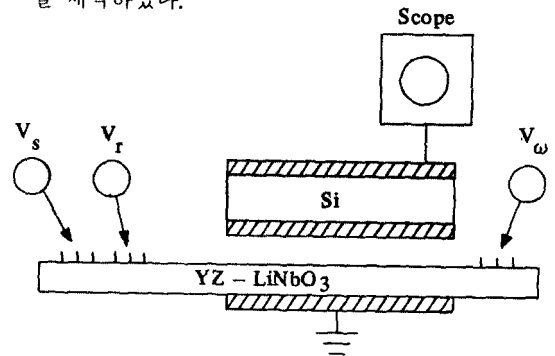
실리콘에서 Surface State는 산화막과 실리콘 사이에 존재하는데, 실리콘에 산화막을 형성하는 과정은 건조하거나 증기를 사용한다. 그러나 이와같은 방법을 사용하여 산화막을 형성할 경우 Surface State가 약화되므로 HF용액을 사용하여 산화막을 제거하고, 증류수로 표면을 세척한 후, 실내온도(300°K)에서 자연적으로 얇은 산화막(40Å)의 일정한 공극을 유지하도록 5μm의 지지대를 포토리토그래피 방법으로 제작하였다.

이와같이 제작한 실리콘 시편의 제원은 다음과 같다.

- 실리콘 시편의 제원
- 실리콘의 비저항율: n형 10Ω-cm
- 실리콘의 크기: 20×6×0.4mm
(길이×폭×두께)
- SiO₂막 두께: 10~40Å

3-2. 기억 코릴레이터의 제작 및 측정

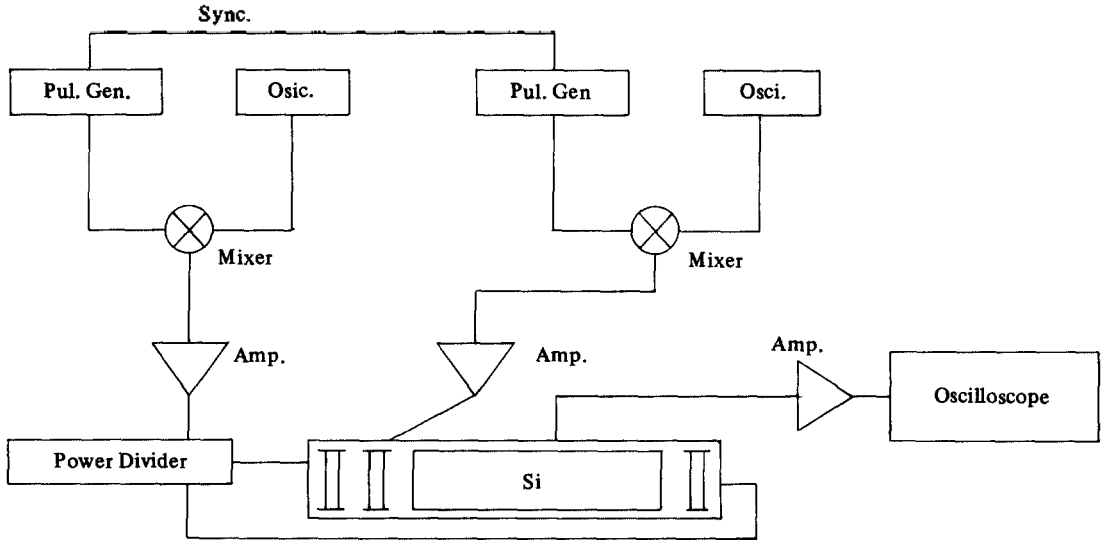
압전물질인 YZ-LiNbO₃의 양단에 입력신호와 Writing 신호를 인가하기 위하여 중심주파수 50 MHz인 IDT와 Read Out 신호를 인가하기 위하여 YZ-LiNbO₃ 한편에 중심주파수 100MHz 인 IDT를 포토리토그래피 방법으로 Al 증착하여 SAW 지연선을 제작한 후, SAW 지연선의 음향경로(Acoustic Path) 위에 1500Å의 일정한 공극을 유지하도록 앞절에서 제작한 실리콘 시편을 장착하여 (그림 5)와 같은 기억 코릴레이터를 제작하였다.



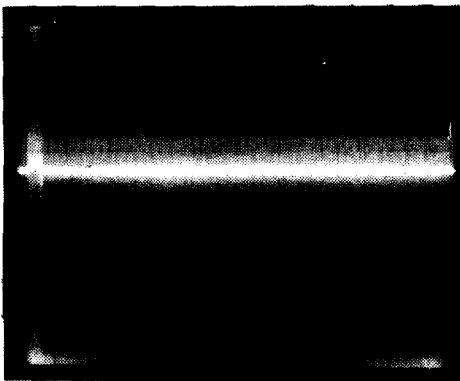
(그림 5) 기억 코릴레이터의 구조
Fig. 5. The Structure of memory correlator

(그림 5)과 같이 제작한 기억 코릴레이터를 (그림 6)과 같이 측정회로를 구성하여 50MHz로 펄스변조된 신호를 SAW 지연선 양단에 증착된 중심주파수 50MHz인 IDT에 인가하여 실리콘 표면에 공간적으로 2배 압축된 파형을 저장

시키고, 100MHz로 펄스변조된 Read Out 신호를 입력신호에 대하여 약 $54\mu\text{sec}$ 시간지연시켜 중심주파수 100MHz IDT에 인가하여 얻은 코릴레이션 출력은 (그림 7)과 같다.

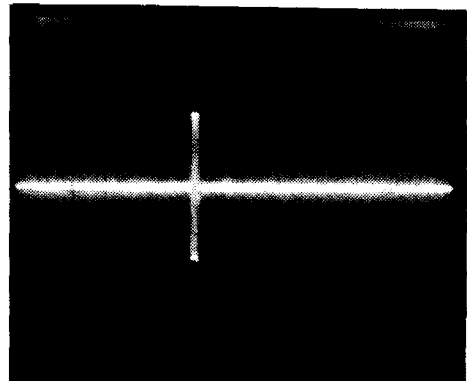


(그림 6) 측정회로
Fig. 6. Measurement circuit



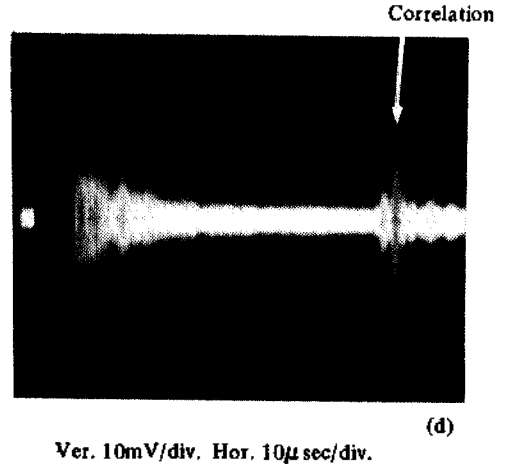
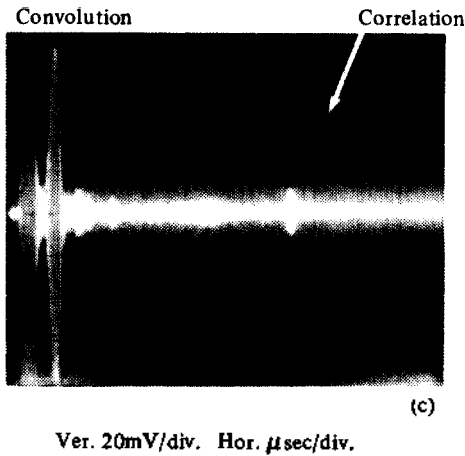
(a)

Ver. 5V/div.
Hor. 10 μ sec/div



(b)

Ver. 5V/div.
Hor. 10 μ sec/div.



(a) 50MHz로 펄스변조된 입력신호 및 Writing 신호

(b) 100MHz로 펄스변조된 Read Out 신호
(c) 코릴레이션 출력

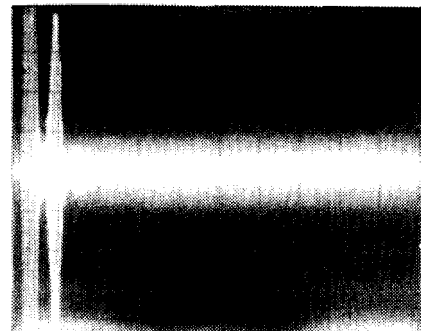
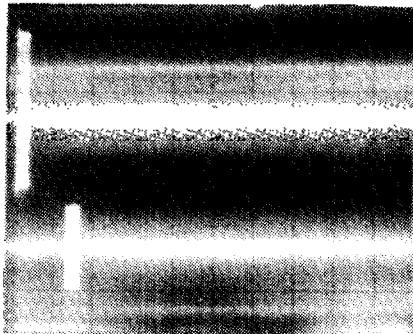
(그림 7) 입력신호 및 코릴레이션 출력

Fig. 7. Input signals and correlation output.

3-3. 실험 결과 및 고찰

기억 코릴레이터를 제작하여 그 특성을 측정하기 전에 먼저 SAW 지연선 양단에 증착된 중

심주파수 50MHz로 펄스변조된 신호를 인가하여 (그림 8)와 같이 콘벌루션을 얻었다.

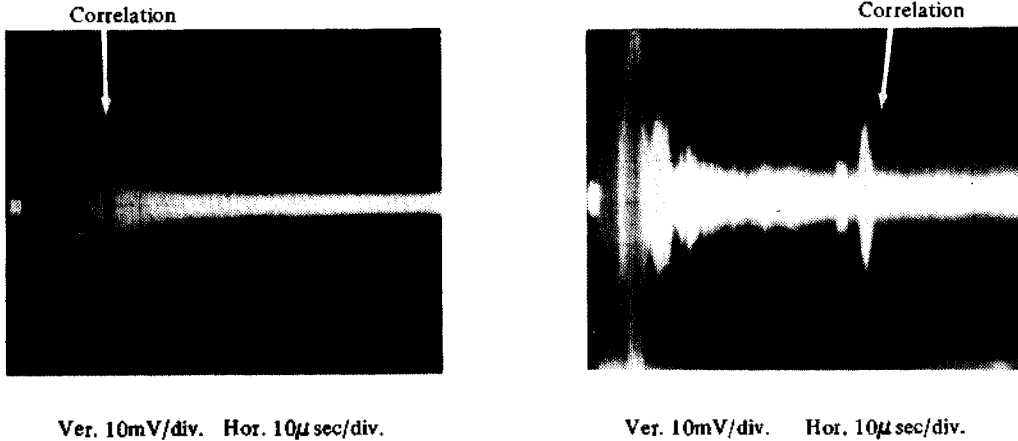


(그림 8) 입력신호 및 콘벌루션 출력

Fig. 8. Input signals and convolution output

(그림 8)와 같이 콘벌루션 출력은 입력신호와 지연된 신호의 중앙에 위치함을 알 수 있는데, 이는 SAW 지연선 중앙에 실리콘이 장착되어 있음을 뜻한다. 또한 (그림 8)에서 앞 부분에 Fe-edthrough가 발생하였는데, 이는 접지를 잘하여 줌으로써 제거시킬 수 있다. 이와같이 50MHz로 펄스변조된 신호를 입력신호 V_s 와 Writing 신호

로서 인가하면, 실리콘 표면에는 입력신호 V_s 가 저장되며, 입력신호 V_s 에 대하여 또 다른 입력신호인 Read Out 신호를 약 20 μ sec 및 148 μ sec 시간지연시켜 인가할 경우 (그림 9)와 같이 코릴레이션 출력에 차이가 있음을 알 수 있다.

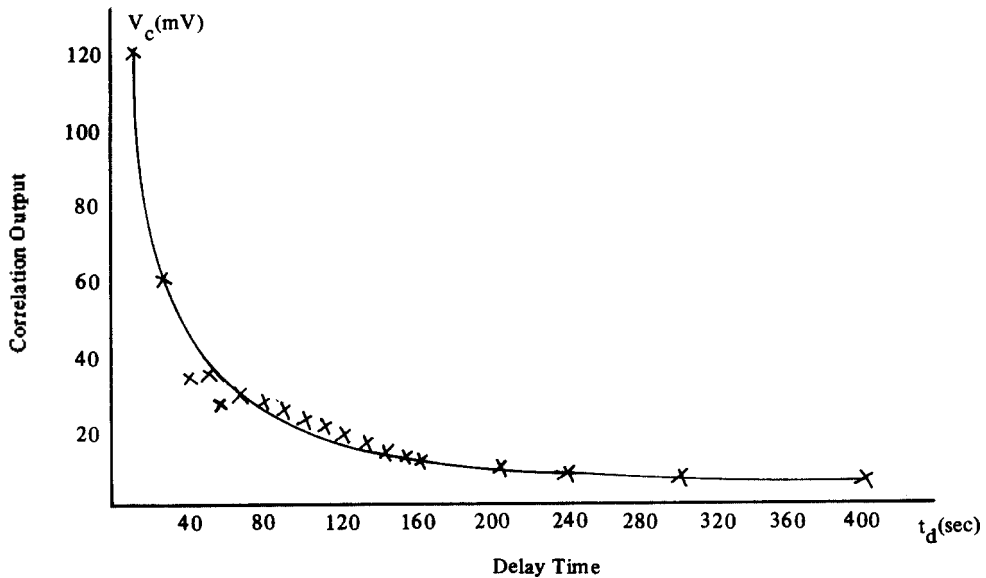


(그림 9) 기억 코릴레이터의 감소특성
 Fig. 9. Decay characteristic of memory correlator.

(그림 9)과 같이 코릴레이션 출력은 또 다른 입력신호인 Read Out 신호가 인가된 시간에 따라 변화하는데, 입력신호에 대한 Read Out 신호의 시간지연과 코릴레이션 출력의 비를 (그림10)과 같이 지수함수적으로 감소하므로 식 (13)과 일치함을 알 수 있다. 그런데 레이더시스템에서 저장시간이 약 1msec이면 실용가능한 소자로서 용

용될 수 있다. 따라서 기억 코릴레이터의 반도체 코릴레이터에 입력신호가 저장되는 시간이 약 1 m sec이되면, 임의의 시간에서 코릴레이션 출력을 얻을 수 있으므로 실용가능한 소자이다.

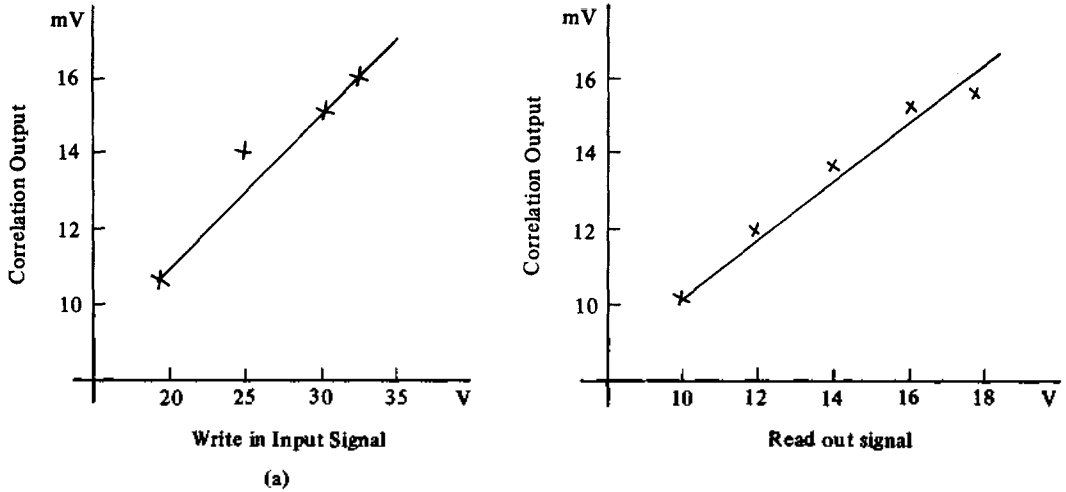
지금에 본 연구에서 제작한 기억 코릴레이터의 저장시간은 약 1msec임을 알 수 있다.



(그림 10) Read Out 신호의 시간지연과 코릴레이션 출력의 비
 Fig. 10. Delay time of read out signal vs correlation output.

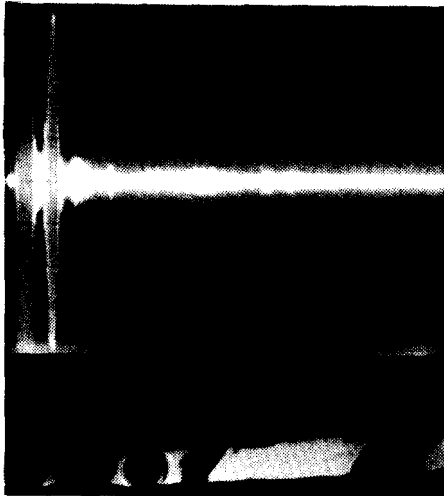
또한 Writing 신호와 또 다른 입력신호인 Read Out 신호에 대하여 코릴레이션 출력은 (그림

11)와 같이 선형적으로 변화하여 알의 이론과 근사적으로 일치한다.



(그림 11) 입력신호와 코릴레이션 출력의 비
 Fig. 11. Input signals vs correlation output

이와같이 제작된 기억 코릴레이터를 실제로 사용하기 위해서는 실리콘에 저장된 신호를 쉽게 지울 수 있어야 한다. 고로 쉽게 지울 수 있는 방법으로 빛을 투사하는데 (그림 12)는 이를 표시한다.



Ver. 20mV/div.
 Hor. 10μ sec/div.

(그림 12) 저장된 신호의 소거
 Fig. 12 Erasing of stored signal.

그리고 입력신호를 PN 코드 발진기를 사용하여 코드화시켜 인가할 경우 Writing 신호는 코드화된 입력신호 코드의 가장 짧은 폭보다 짧거나 같은 폭의 신호를 인가함으로써 입력신호를 저장시키며, 또 다른 입력신호인 Read Out 신호도 코드화된 신호를 인가함으로써 오토코릴레이션을 얻을 수 있으므로, 통신방식에서 오토코릴레이션 정합필터로 응용될 수 있음을 제시하였다. 그러나 이와같은 방법은 기억 메카니즘이 시간이 경과함에 따라 불안정하므로 안정된 기억 메카니즘에 관한 연구가 요구된다.

IV. 결 론

압전물질인 YZ-LiNbO₃ 위에 포토리토그래피 방법으로 Al 증착하여 탄성표면과 지연선을 제작하고, 비저항을 10Ω-cm 인 n형 실리콘을 약 2주간 대기중에서 40Å의 산화막을 형성함으로써 Surface State를 갖는 실리콘 시편을 제작한 후, 이를 탄성표면과 지연선 위에 1500Å의 일정한 공극을 유지하도록 장착하여 반도체의 Surface State를 이용한 기억 코릴레이터를 제작하였다.

이 기억 코릴레이터에 입력신호와 Writing 신호를 인가하여, 반도체 표면에 공간적으로 2배 압축된 입력신호의 파형을 저장하고, 여기에 공간적으로 2배 압축된 신호인 Read out 신호를 인가하여 코릴레이션 출력을 얻었다. 이때 반도체

체의 Surface State를 이용하여 반도체 표면에 저장된 신호의 감소특성은 이론치와 같이 지수 함수적으로 감소하였으며, 입력신호가 반도체 표면에 저장되는 시간은 약 1msec로 나타났다. 이와같이 반도체 표면에 신호를 저장함으로써 임의의 코드를 가진 외부신호가 인가되었을 경우 동기(Synchronization)이 필요없이 코릴레이션을 얻을 수 있다. 또한 반도체 표면에 저장할 신호의 코드를 임의로 변화시키기 위해서는 저장된 신호를 쉽게 지울 수 있어야 하는데, 이는 빛, 또는 레이저로 쉽게 지울 수 있음을 보였다.

그러므로 코드화된 입력신호와 짧은 펄스인 Writing 신호를 탄성표면과 지연선에 인가하여 실리콘 표면에 코드화된 신호를 저장시키고, 또 다른 입력신호인 Read Out 신호를 인가하면 동기를 필요로 하지 않고 오토코릴레이션 출력을 얻을 수 있으므로 통신방식에서 오토코릴레이션 정합필터로 응용될 수 있음을 제시하였다.

감사의 말씀

본 연구는 한국과학재단의 1982년도 학술 연구비 지원으로 이루어졌으며, 한국과학재단에 깊은 감사를 드립니다.

REFERENCE

1. 황금찬, 최영호, 전계석, "SAW Convolver를 이용한 스펙트럼 확산 통신방식에 관한 연구", 한국음향학회지, Vol. 1, No. 1, 1982. 1
2. 김동윤, 김근목, 황금찬, "AE 콘벌버의 제작 및 그 응용에 관한 연구", 대한전기학회전기재료 연구회 제12회 학술 발표회, 1982. 5
3. L.O. Svaasand, "Interaction Between Elastic Surface Waves in Piezo-Electric Materials," Appl. Phys. Lett., Vol. 15, p. 30, 1969.
4. C.F. Quate and R.G.B. Thompson, "Convolution and Correlation in Real Time with Nonlinear Acoustics," Appl. Phys. Lett., Vol. 16, p. 494, 1970.
5. M. Lukkala and G.S. Kino, "Convolution and Time Inversion Using Parametric Interaction of Acoustic Surface Waves," Appl. Phys. Lett., Vol. 18, p. 393, 1971.
6. W.C. Wang, "Convolution of Surface Waves in a Structure of Semiconductor on LiNbO," Appl. Phys. Lett., Vol. 20, p. 389, 1972.
7. K. C. Whang, "SAW PN Diode Memory Correlator," Ph.D Dissertation Polytechnic Institute of New York, 1979.
8. J.H. Cafarella, Sc.D. Thesis, Department of Electrical Eng., M.I.T., Cambridge, Feb. 1975.
9. S.M. Sze, "Physics of Semiconductor Devices," Wiley-Interscience, 1969.