

# Gate Array LSI의 레이아웃 설계에 있어 初期 配置 알고리즘 (An Initial Placement Algorithm in Layout CAD of Gate Array LSI)

鄭 正 和\*  
(Jung Hwa Jung)

## I. 要 約

本 論文에서는 gate array LSI의 Layout 設計中 새로운 초기 배치 알고리즘을 提案하고 있다. 인간에 의해 작성된 게이트 레벨 論理設計圖面上에 모듈의 상대적 위치를 정해진 칩의 셀에 최대한 반영하여 배치할 수 있는 목적함수를 설정하고 그 함수에 의해 초기 배치를 구하였다. 제안한 방법의 유용성을 보이기 위해 이미 사용되고 있는 cluster 성장법과 program 실험을 통해 최대 cut 수 및 총배선장을 비교하였다.

## Abstract

In the paper, a new constructive initial placement algorithm is proposed in computer aided layout design in LSI.

An useful object function are proposed to place the modules in logic design diagram laid down by manual to the fixed chip, reflecting the relative positions between modules and cells, and then an initial placement are determined by the function.

In order to show the usefulness of the proposed method, it was compared with clustering development method in maximum cut numbers and total routing lengths by program experiments.

## I. 序 論

VLSI 레이아웃 설계에 있어 배치문제는 N-P 完全 문제<sup>[1]</sup>에 속하고 있으므로 최적해를 구하는 것은 현실적으로 불가능하다. 따라서 Heuristic 원리<sup>[2]</sup>에 의한 방법에 의해 그 解를 구하는 것은 불가피하며, 算法으로는 組立式 개념에 의한 초기배치 방법과 반복개선식 개념에 의한 배치개선법의 2 가지로 大別 할 수 있다.

Hanan<sup>[3]</sup>, Murai<sup>[7]</sup> 등은 실험을 통해 1) 초기 배치

결과가 배치개선후 최종배치 결과에 커다란 영향을 끼치며, 2) 능률좋은 組立式 초기 배치법이 random 초기 배치법보다 최종 배치 결과에 좋은 영향을 준다는 것을 입증했다.

종래 초기 배치 방법으로는 pair linking法<sup>[4]</sup>, Clustering<sup>[5]</sup>法등이 널리 알려져 사용되고 있으나 배치개선방법에만 집착한 결과 초기 배치방법의 연구에는 소홀한 면이 있고, 그 결과 100% 결선율 달성에 영향을 끼쳐왔다.<sup>[11]-[14][10]</sup>

본 논문에서는 초기 배치 방법으로, 인간의 우수한 종합 판단력에 의해 작성된 論理圖面上的의 모듈의 상호 위치가 능률좋은 배치법이 될 것이라는 점에 착안하

\*正會員, 漢陽大學校 工科大學 電子工學科  
(Dept. of Electron. Eng., Hanyang Univ.)

接受日字: 1984年 10月 20日

여 기존의 초기 배치 방법과 프로그램 실험을 통해 비교하였다.

먼저 인간에 의해 설계된 논리회로도면상의 module의 상대적 위치와信號線의 結合度를 산출하며, module의 위치를 주어진 chip상에 충실히再現하는 방법을 제안한다.

설정된 목적함수에 의해 배치를 실행하여 그 결과를 評價하기 위해 전형적인 회로도와 실제회로도에 적용하여 프로그램 실험을 행하였다.

초기 배치방법으로 널리 사용되고 있는 cluster 성장법과 제안된 방법의 최대 cut수 및 총배선장을 비교하였으며 설정된 評價함수의 正當性을 보였다.

II. 配置 算法

本 論文에서 취급하는 배치문제는 먼저 크기를 정하고 다음에 chip 위에 module을 배치하려고 한다. 구체적인 대상으로 master-slice 방식의 LSI를 택한다. 배치설계를 computer로 할 때 문제를 computer가 취급할 수 있도록 바꾸기 위해서 module화할 필요가 있다. 여기서는 이와 같은 module을 단순화하여 다음과 같이 가정한다.

- ① Module상의 pin의 위치는 無視하고信號線은 module의 中心에 연결하는 것으로 한다. 즉信號線은 module에 접속한 것으로 한다.
- ② Cell은 chip상에 규칙적으로 從, 橫으로 配列하여 인접한 cell사이의 거리는 1로 한다.
- ③ 한개의 cell안에는 단 1개의 module을 割當하는 것으로 한다.
- ④ Module은 모두 같은 모양으로 한다.
- ⑤ 一般的으로 module의 數는 cell의 數보다 적지만 여기서는信號線이 없는 module(dummy-module)을 정의하고 cell과 module의 數는 같은 것으로 한다.

1. 配置 算法

주어진 論理設計圖를 될 수 있으면 충실하게 chip

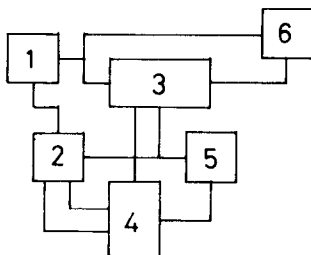


그림 1. 논리설계도  
Fig. 1. Logic design diagram.

위에 재현시키는 方法에 대하여 論한다. 그림 1 과 같은 회로도가 주어졌다고 하자 회로도의 module을 적당한 直交座標 X-Y를 결정한다.

Module의 中心을 지나는 직선을 고려하여 X축은 1, 2, 3, ..., N, Y축은 1, 2, 3, ..., M의 번호를 붙여 나타낸 것이 그림 2 이다. 이와 같이하면 (N×M)개의 cell로 구성되는 chip에는 회로도상의 module의 위치관계를 그대로 나타낼 수가 있는데 이것을 그림 3에 나타내었다.

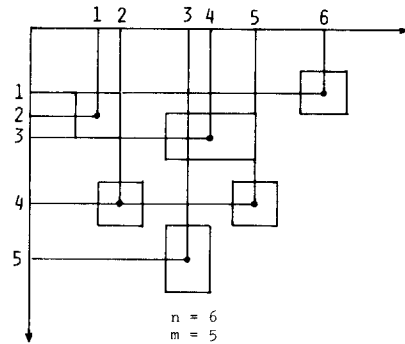


그림 2. 좌표 표시  
Fig. 2. Expression of co-ordination.

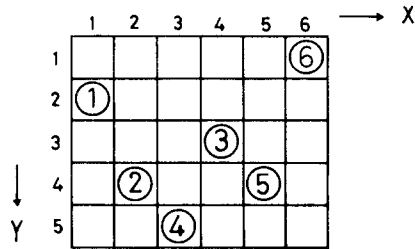


그림 3. Chip상의 module의 배치  
Fig. 3. Placement of module on the chip.

1) 壓縮

주어진 chip이 (n×m)개의 cell로 構成되었다고 하면 보통은 N>n, M>m이지만 혹시 N<n, M<m 이면 N=n, M=m이 될때까지 假配置의 chip을 擴張한다. 이와 같이 하여 얻은 假配置의 chip의 X방향, Y방향을 壓縮해 나가면서 목적으로 하는 chip의 크기 n×m에 접근하여 最終的 配置를 얻기 위한 절차는 다음과 같다. 우선 假配置상태의 chip의 크기 N, M과 最終的으로 配置하고자 하는 chip의 크기 n, m과의 比 r<sub>x</sub>, r<sub>y</sub>를 다음과 같이 놓는다.

$$r_x = N/n$$

$$r_y = M/m \tag{1}$$

r<sub>x</sub>와 r<sub>y</sub>사이에 r<sub>x</sub>>r<sub>y</sub>이면 X방향, r<sub>x</sub><r<sub>y</sub>이면 Y방

향으로 壓縮한다.

壓縮은 그림 4 와 같이 인접하는 2 行 또는 2 列을 융합하여 1 行 또는 1 列로 함으로써 可能하다. 이때 한번의 壓縮에 의하여 N 또는 M 은 1 만큼 감소한다. 壓縮하는 위치의 行 또는 列은 壓縮하는 방향을 X 방향으로 하면 다음과 같이 求할 수가 있다.  $i$  열과  $(i+1)$  열을 壓縮할 때 壓縮에 關係하는 module 의 수  $P(i)$  와 壓縮하였을 때의 module 이 같은 cell 을 點有하는 상황(이것을 tie라 부른다)의 갯수를 求한다. 그림 5 는 列에 대하여  $P(i)$  및  $T(i)$  의 값을 보여 준다.  $T(i)$  는 最小의  $i$  가 複數 存在하면  $P(i)$  가 最小인  $i$  에 대하여 壓縮한다. 이때  $P(i)$  의 最小의  $i$  가 複數 存在하면 그 중에서 한개를 random 하게 선택하여 壓縮을 行한다.

또 壓縮한 位置의  $T(i)$  가 0 되면, 즉 tie가 存在하지 않으면 다시 壓縮方向과 壓縮位置를 定하여 壓縮을 되풀이 한다.

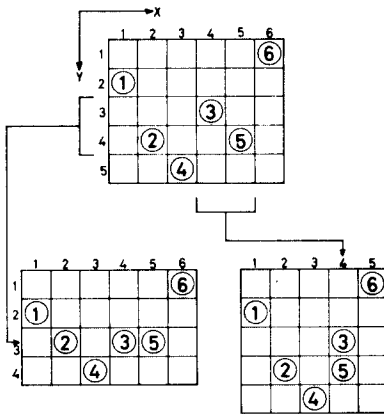


그림 4. 압축의 방향  
Fig. 4. Direction of constriction.

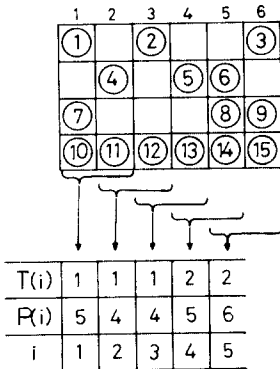


그림 5.  $P(i)$ ,  $T(i)$  의 계산법  
Fig. 5. Calculation of  $P(i)$ ,  $T(i)$ .

2) 移動

Tie가 存在할 때 tie가 된 module 의 위치로부터 직각거리(manhattan distance)로 제일 가까운 빈 cell 을 찾아내고 그 방향에 tie module 을 옮겨 간다. 복수개의 빈 cell 이 tie 의 위치로부터 같은 거리에 있을 경우에는 그 중 한 개를 선택한다. 그림 6 은 壓縮한 결과 A, B가 tie module 이 추가되었을 때의 경우로 cell 은 1 개밖에 없다고 가정한다. 이때 경우의 座表  $(i, j)$  에 있어서 module A, B의 cell 로 부터 제일 가까운 빈 cell 의 座表가  $(i+k, j+l)$  이다. Tie의 移動은 最短

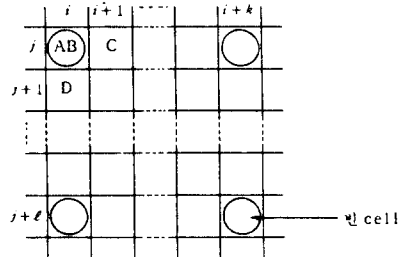


그림 6. Tie module 의 이동  
Fig. 6. Movement of tie module.

거리에서 行하므로 가상 chip 과 4 點  $(i, j)$ ,  $(i, j+l)$ ,  $(i+k, j)$ ,  $(i+k, j+l)$  로 싸여 있는 범위의 외와는 無關하며 移動方法은 그림 7 에서처럼 4 가지 方法이 있다. 이때 tie module A 와 B의 評價函數  $F(A)$ ,  $F(B)$  를 구하고 tie의 cost

$$F_{tie}(A, B) = F(A) + F(B) \quad (2)$$

를 계산하여  $F_{tie}(A, B)$  가 最小이 되는 방향으로 module 을 移動시킨다. 이와 같은 조작에 의해서 tie module 을 거리 1 만큼의 빈 cell 에 접근시키는 것이 可能하게 된다. 評價函數의 계산법에 대해서는 다음 절에

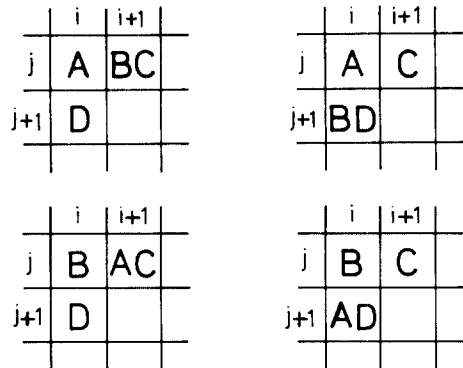


그림 7. Module 의 이동방법  
Fig. 7. Movement concept of module.

자세히 論述한다. Tie module에 대한 위치 이동은 다른 tie module의 位置를 妨碍하지 않으면 안된다.

그러나 2 行에 또는 2 列을 1 列에 壓縮하기 위해서는 tie는 필히 1 行이나 1 列에 配列해야 한다. 따라서 tie module의 移動方向이 制限되는 것은 最初의 移動뿐임으로 이 제약은 全體의으로 봐서 얻어진 最終結果에 주는 影響이 매우 크다. 1 行 또는 1 列에 대한 tie를 대부분 해결한 후 또다시 壓縮方向, 壓縮位置를 定하고 壓縮을 反復한다. Chip의 크기가 目的하는 크기가 되었을 때 즉  $N=n, M=m$ 이 될 때 배치는 완성되는 것이다.

2. 評價 函數

前節에 기술한 바와 같이 圖面의 壓縮過程에서 發生하는 tie module에 대하여 移動하는 方向을 決定하기 위해 評價函數를 定義한다. 또 이 評價函數는 최종적으로 얻어진 배치에 대하여 배치의 양호함 여부를 評價하는데 使用된다. 주어진 회로도 그림 8 과 얻어진 가상의 chip 상에서 module의 배치(그림 9)상의 2 개의 module i, j에 대하여 다음의 變數를 가정한다.

- N : 회로도의 X방향의 크기
  - M : 회로도의 Y방향의 크기
  - n ; Module을 chip상에 배치한 결과의 chip 상의 X방향의 크기
  - m ; Module을 chip상에 배치한 결과의 chip 상의 Y방향의 크기
  - R : Module의 總數
  - $L_{xij}$  : 회로도에서 module i로부터 module j까지의 X방향의 거리
  - $L_{yij}$  : 회로도에서 module i로부터 module j까지의 거리
  - $l_{xij}$  : 배치한 Chip 상에서 module i로부터 module j까지의 X방향의 거리
  - $l_{yij}$  : 배치한 Chip 상에서 module i로부터 module j까지의 Y방향의 거리
  - $\textcircled{ij}$  : 회로도에서 module i로부터 module j를 보았을 때의 角度
  - $\theta_{ij}$  : 배치한 chip 상에서 module i로부터 module j를 보았을 때의 角度( $\textcircled{ij}, \theta_{ij}$ 는 X방향 기준)
  - $\sigma_{ij}$  : Module i와 module j 사이의 信號線의 數
- 여기서  $\Delta\theta_{ij} = |\textcircled{ij} - \theta_{ij}|$  (3)

$\Delta\theta_{ij}$ 는 처음의 회로도에서 module i로부터 j를 보았을 때의 角度와 配置한 chip 상에서 module i에서 j를 보았을 때의 角度의 차이이다. 배치결과와 처음 회로도와의 배치의 角度 사이에 차이가 없으면 처음 회로도를 충실히 재현한 것으로 한다. 이 충실도를 再現

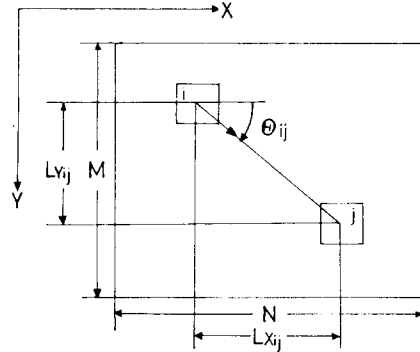


그림 8. 설계도면상의 배치  
Fig. 8. Placement on logic design diagram.

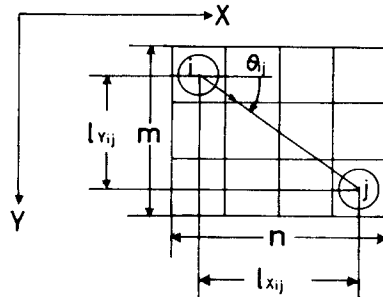


그림 9. Chip 상의 배치  
Fig. 9. Placement on chips.

度라 부른다. 그러나 배치를 壓縮해 나가면  $\Delta\theta_{ij}$ 는 변하게 된다. 거기에서 再現度의 높은 配置를 얻기 위해서는  $\Delta\theta_{ij}$ 에 그림 10과 같은 모양의 非線形 단조증가 함수를 適用시켜  $\Delta\theta'_{ij}$ 를 定義한다.

$$\text{즉 } \Delta\theta'_{ij} = f(\Delta\theta_{ij}) \quad (4)$$

$\Delta\theta'_{ij}$ 는 角度의 차이가 작을 때에는 적은 값을 취하나 角度차가 크게 되면 증가율이 커지며  $180^\circ$ 가 되었을 때  $\Delta\theta'_{ij}$ 는 最大値이다. 그래서 module i와 j 사이의 거리는 manhattan distance로 表現하지만 회로도에서의 거리와 配置結果의 chip 상의 거리를 比較할 경우 問題가 發生한다. Chip 상의 最終配置結果가 얻어지기까지는 계속 壓縮되어 크기가 變化하기 때문이다. 여기에서 兩者의 측척을 같게 하기 위해 다음을 定義한다.

$$\begin{aligned} L_{xij}^* &= L_{xij}/N \\ L_{yij}^* &= L_{yij}/M \end{aligned} \quad (5)$$

$$\begin{aligned} l_{xij}^* &= l_{xij}/N \\ l_{yij}^* &= l_{yij}/M \end{aligned} \quad (6)$$

Module i, j 사이의 거리는 각각

$$\begin{aligned} L_{ij}^* &= L_{xij}^* + L_{yij}^* \\ l_{ij}^* &= l_{xij}^* + l_{yij}^* \end{aligned} \quad (7)$$

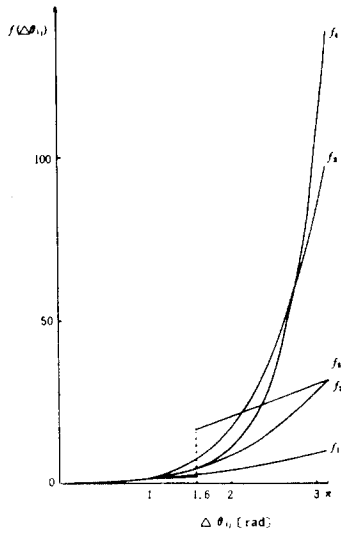


그림10. 각도의 차이  $\Delta\theta_{ij}$ 의 함수  
Fig. 10. Function of angular difference  $\Delta\theta_{ij}$ .

여기서 module  $i, j$  사이의 회로도에서 기준화된 거리와 배치결과 chip상의 기준화 된 거리와의 비  $R_{ij}$ 를 취하면

$$R_{ij} = l_{ij}^* / L_{ij}^* \quad (8)$$

여기서

$$G(R_{ij}) = R_{ij} + \frac{1}{R_{ij}} \quad (9)$$

이 함수는 그림11에 나타나는 것과 같이  $R_{ij} = 1$  즉 회로도상 배치결과와 기준화된 거리가 같을 때 最小值를 취한다.  $R_{ij} > 1$  때에도  $R_{ij} < 1$  때에도 같이  $G$ 는 증가한다. 이상과 같은 module의 評價函數를 다음과 같이 定義한다.

$$F(i) = \sum_{j=1}^k [f(\Delta\theta_{ij}) \cdot G(R_{ij}) \cdot \sigma_{ij}]$$

$$= \sum_{j=1}^k \left[ f(|\theta_{ij} - \theta_j|) \cdot \left( R_{ij} + \frac{1}{R_{ij}} \right) \cdot \sigma_{ij} \right] \quad (10)$$

$F(i)$ 는 회로도면에 있어서 다른 module에 대한 상대적인 位置와 배치 결과의 chip상에서의 상대적인 위치의 차이를 고려하는 함수가 된다. 또 배치 결과 전체의 평가를 하여 cost를 다음과 같이 定義한다.

$$C = \frac{1}{k} \sum_{i=1}^k F(i)$$

$$= \frac{1}{k} \sum_{i=1}^k \sum_{j=1}^k [f(|\theta_{ij} - \theta_j|) \cdot \left( R_{ij} + \frac{1}{R_{ij}} \right) \cdot \sigma_{ij}] \quad (11)$$

이 cost 함수  $C$ 는 모든 module의 評價措置의 平均

值를 나타낸다.

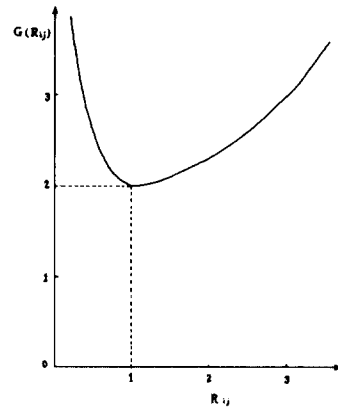
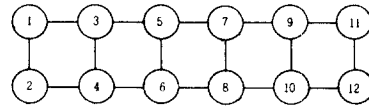


그림11. 기준화된 거리비  $R_{ij}$ 의 함수  
Fig. 11. Function of normalized distance  $R_{ij}$ .

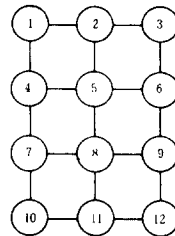
### 3. Program 實驗

#### 1) 準備

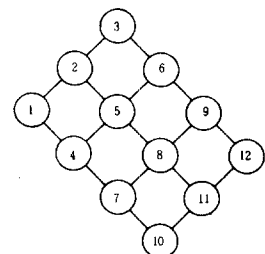
提案한 方法의 性質을 調査하기 위해 規則性이 있는 가상의 회로도(그림12)에 대하여 program 實驗을 해서  $C$  및 總配線距離를 算出한다. 또 제안한 초기 배치방법이 초기 배치방법으로서 正當性을 갖는 것을 證明하기 위해서 實際의 회로도 그림13, 및 14에 대해 program 실험을 한다.



예제 (I)



예제 (II)



예제 (III)

그림12. 규칙성을 가진 회로도  
Fig. 12. Circuit diagram with regularity.

그림13은 日本電氣(株)의 論理設計圖中の 1部를 취한 것이며, 그림14는 일반 잡지에서 인용한 논리설계 도면이다. 이것들의 실제의 회로도에 대한 cluster 成

長法를 적용하여 얻은 배치결과와 본 방법의 배치결과와의 총배선 길이 및 최대 cut數의 比較를 行한다. 본 방법의 評價函數의 式에 있어서 角度的 差 函數  $f(\Delta\theta_{ij})$ 를 다음 5個의 函數  $f_1, f_2, f_3, f_4, f_5$ 에 變形하여 배치의 結果를 얻는다. 角數는 Radian을 使用한다.

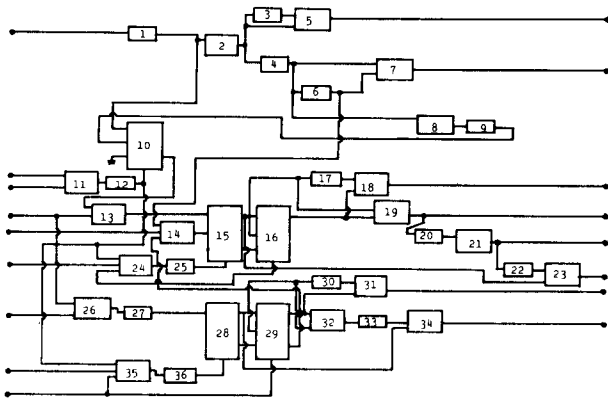


그림13. 실제 회로 설계도 (I)  
Fig. 13. Practical circuit diagram (I).

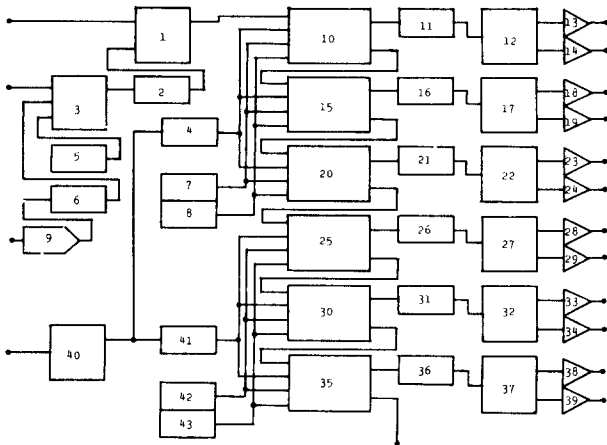


그림14. 실제의 회로 설계도 (II)  
Fig. 14. Practical circuit design diagram (II).

1)  $f_1 = x^2$

Module  $i$ 의 cost  $F_1(i)$ 는

$$F_1(i) = \sum_{j=1}^k \left[ (|\oplus_{ij} - \theta_{ij}|)^2 \cdot \left( R_{ij} + \frac{1}{R_{ij}} \right) \cdot \sigma_{ij} \right]$$

配置結果 全體 cost  $C_1$ 은

$$C_1 = \frac{1}{R} \sum_{i=1}^k F_1(i) \quad (12)$$

$$= \frac{1}{R} \sum_{i=1}^k \sum_{j=1}^k \left[ (|\oplus_{ij} - \theta_{ij}|)^2 \cdot \left( R_{ij} + \frac{1}{R_{ij}} \right) \cdot \sigma_{ij} \right]$$

2)  $f_2 = x^3$

Module  $i$ 의 cost  $F_2(i)$ 는

$$F_2(i) = \sum_{j=1}^k \left[ (|\oplus_{ij} - \theta_{ij}|)^3 \cdot \left( R_{ij} + \frac{1}{R_{ij}} \right) \cdot \sigma_{ij} \right]$$

配置結果 全體의 cost  $C_2$ 는

$$C_2 = \frac{1}{R} \sum_{i=1}^k F_2(i) \quad (13)$$

3)  $f_3(x) = x^4$  (14)

4)  $f_4(x) = 10^x / 10$  (15)

5)  $f_5(x) = \begin{cases} x & (x < 1.57) \\ 10x & (x \geq 1.57) \end{cases}$  (16)

角度的 差 ( $|\oplus_{ij} - \theta_{ij}|$ )는 Radian으로 定義한 것으로  $\pi/2$ 보다 약간 큰 角度的 點을 基準에 대해  $f_5$ 에서는 불연속값임을 보인다.

그림12에 있어서 원은 module을 表示하고 원內의 번호는 module의 번호이다. 이 3개의 例題 (I), (II), (III)을  $3 \times 4$  즉  $m=3, n=4$ 의 cell의 chip에 配置하였다. 그림13 및 그림14에서 module의 크기는 다르지만 本 論文에서의 가정은 一定하다고 가정하여 配置하였다. 그림14의 회로도의 43個의 module과 2個의 tie module을 定義하여  $(9 \times 5)$  즉,  $m=9, n=5$ 의 cell에서 되는 chip위에 배치하였다.

그림13의 회로도의 36個의 module을  $6 \times 6$  즉,  $m=6, n=6$ 의 cell에서 되는 chip위에 배치하였다.

Program 言語는 FORTRAN을 使用하였으며 이용한 computer는 VAX 11/780이다.

4. 結果

1) 規則性的 回路

그림12의 (I), (II), (III)의 각각에 대하여는 20회

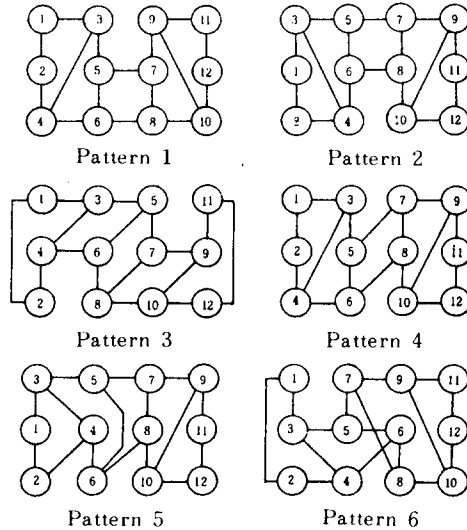


그림15. 예제 (I)의 배치 결과  
Fig. 15. Placement result of example (I).

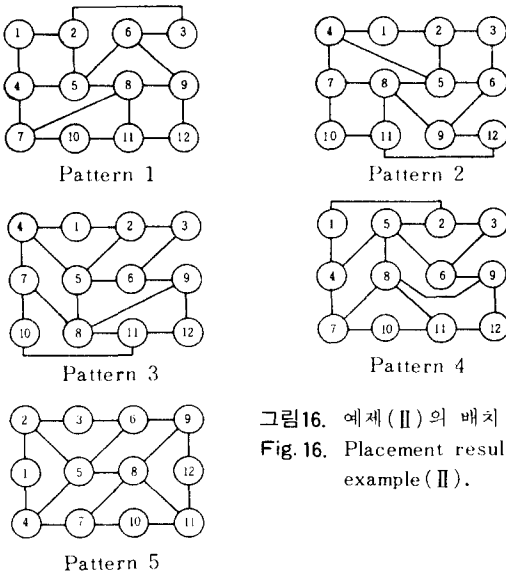


그림16. 예제 (II)의 배치 결과  
Fig. 16. Placement result of example (II).

그림17. 예제 (III)의 배치 결과  
Fig. 17. Placement result of example (III).

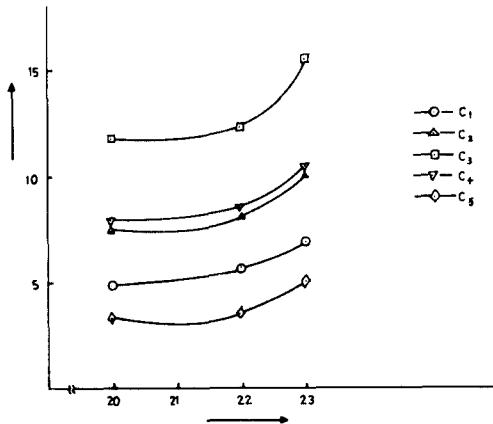


그림18. 例題 (I)의 總配線과 코스트  
Fig. 18. Total length and cost of example (I).

의 실험을 하였다. 그 결과 例題 (I), (II), (III)에 대하여 그림15, 그림16, 그림17에 表示한 것처럼 각각 6가지, 4가지, 1가지의 배치 pattern이 얻어진다. 또 例題 (I), (II), (III) 각각에 대하여 pattern의 發生回數, 總配線길이 및 cost를 표1, 표2, 표3에 나타냈다. 표1, 표2에서는 cost가 높은 배치에 대해서는 總配線 길이가 길어지고 cost가 낮은 것에 대해서는 總配線 길이가 짧은 것을 알 수 있다. 이 관계를 例題 (I)에 대하여 그림18에 나타냈다.

結果의으로 配置의 양호함 여부를 評價하는 데 評價

目的 函數에 適用시켜 總配線 길이를 잡을 경우 評價 函數는 配置의 양호함 여부를 보여 준다.

표 1. 예제 (I)  
Table 1. Example (I).

| Pattern | 출현수 | 총배선 길이 | C <sub>1</sub> | C <sub>2</sub> | C <sub>3</sub> | C <sub>4</sub> | C <sub>5</sub> |
|---------|-----|--------|----------------|----------------|----------------|----------------|----------------|
| 1       | 4   | 20     | 4.92           | 7.56           | 11.8           | 7.79           | 3.36           |
| 2       | 4   | 20     | 4.92           | 7.56           | 11.8           | 7.79           | 3.36           |
| 3       | 2   | 22     | 5.61           | 8.15           | 12.3           | 8.32           | 4.10           |
| 4       | 3   | 22     | 5.83           | 8.27           | 12.4           | 8.61           | 4.51           |
| 5       | 6   | 22     | 5.96           | 8.40           | 12.5           | 8.71           | 4.62           |
| 6       | 1   | 23     | 6.95           | 10.2           | 15.6           | 10.4           | 5.07           |

표 2. 예제 (II)  
Table 2. Example (II).

| Pattern | 출현수 | 총배선 길이 | C <sub>1</sub> | C <sub>2</sub> | C <sub>3</sub> | C <sub>4</sub> | C <sub>5</sub> |
|---------|-----|--------|----------------|----------------|----------------|----------------|----------------|
| 1       | 8   | 22     | 3.20           | 4.41           | 6.49           | 4.88           | 2.62           |
| 2       | 4   | 22     | 3.20           | 4.41           | 6.49           | 4.88           | 2.62           |
| 3       | 5   | 24     | 3.80           | 4.88           | 6.85           | 5.40           | 3.38           |
| 4       | 3   | 24     | 3.96           | 5.05           | 7.01           | 5.52           | 3.47           |

표 3. 예제 (III)  
Table 3. Example (III).

| Pattern | 출현수 | 총배선 길이 | C <sub>1</sub> | C <sub>2</sub> | C <sub>3</sub> | C <sub>4</sub> | C <sub>5</sub> |
|---------|-----|--------|----------------|----------------|----------------|----------------|----------------|
|         | 20  | 23     | 2.31           | 1.81           | 1.42           | 2.54           | 2.94           |

2) 實際의 回路

여기서는 cluster 成長法에 의한 初期配置 方法에서 나온 配置結果와의 總配線 길이 및 最大 cut數를 比較하였다.

그림13, 그림14를 實際圖(I) 및 實際圖(II)라 부르게로 한다. 實際圖(I) 및 (II)에 있어서 角度的의 차이 函數 f<sub>1</sub>, ..., f<sub>5</sub>의 각각에 대해서 數回의 實驗을 行한 그대로 cluster 成長法에 있어서 λ = -1, 0, 1을 부여하여 實驗하였다.

實際圖(II)에 대하여 pattern 발생율이 제일 높은 配置結果를 그림19에 보였다.

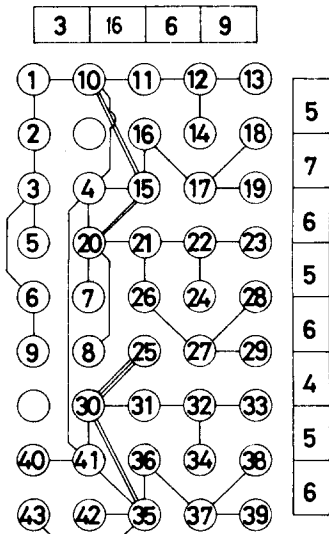
Cluster 成長法에 있어서 λ = 0일 때를 適用하여 얻은 結果를 그림20에 表示 實際圖(I)에 대하여도 實際圖(II)와 같은 節次를 適用하여 얻은 結果를 그림 21, 그림22에 表示하였다.

그 結果에 의해서 總配線 길이 및 最大 cut數를 계산한 값을 표4에 定理하였다. 표4의 結果는 現在 使用되고 있는 配置結果에 대한 評價目的函數 즉 總配線 길이 및 最大 cut數의 모습으로 本 方法에 의한 配置 結果가 양호함을 보여 준다.

표 4. 배치결과와의 비교

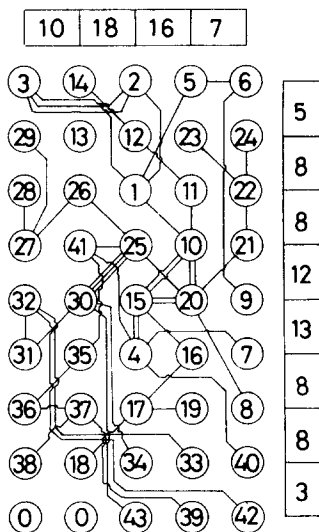
Table 4. Comparison of placement result.

| 평가 함수    | 예 제  | 본 방 법 | Cluster 성장법 |
|----------|------|-------|-------------|
| 총배선길이    | (II) | 73    | 116         |
|          | (I)  | 90    | 100         |
| 최대 cut 수 | (II) | 16    | 18          |
|          | (I)  | 13    | 14          |



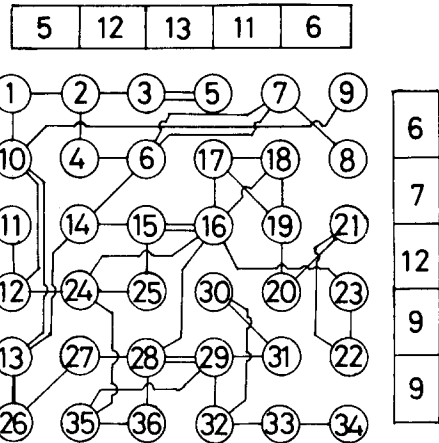
총배선 길이=73                      최대 cut 수=16

그림19. 본 수법에 의한 결과(예제(II))  
Fig. 19. Results by proposed method(example(II)).



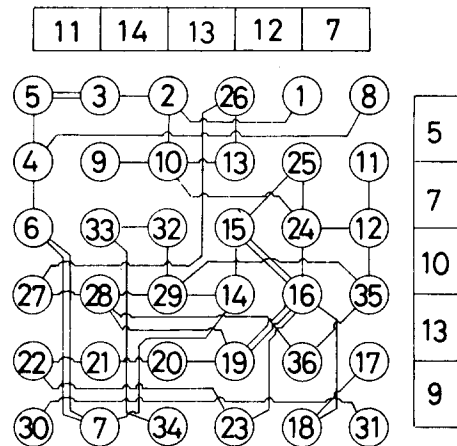
총배선 길이=116                      최대 cut 수=18

그림20. Cluster 성장법에 의한 결과(예제(II))  
Fig. 20. Result of clustering method(example(II)).



총배선 길이=90                      최대 cut 수=13

그림21. 본수법에 의한 결과(예제(I))  
Fig. 21. Result by proposed method(example(I)).



총배선 길이=101                      최대 cut 수=14

그림22. Cluster 성장법에 의한 결과(예제(I))  
Fig. 22. Result by cluster development method.

III. 結 論

本 論文에서는 配置問題에 있어서 종래의 방법보다 우수한 初期配置方法을 題案하였다. 지금까지의 初期配置方法은 module 사이의 信號線의 結合度에 重點을 두어 刻을 中心으로 成長해 나가는 方式인데 그 結果部分的인 混雜이 일어나기 쉬워 配置의 根本目的인 100% 結線率을 達成하기 어려웠다. 本 論文에서는 人間의 우수한 綜合判斷力에 의해서 設計된 設計圖面上의 配置에서 初期配置를 하는 方法을 題案하였는데 總配線길이 및 最大 cut數에서 다른 初期配置 方法보다 우수한 것이 program 實驗을 通해서 證明되었다. 本



방법은 初期配置가 아닌 最終配置에 使用하여도 意味가 있다고 생각되나 人間의 綜合判斷力에는 애매한 問題가 있기 때문에 設計圖面에 따라서는 本 方法이 適用될 수 없다. 配置改善, 配線의 濕雜度 問題도 이와 關聯하여 계속 研究되어야 할 것이다.

#### 參 考 文 獻

- [1] 柳井, 後川, “集積回路工學”, コロナ社, pp. 21, 1976.
- [2] Kani K., “ROBIN, A building LSI routing program”, Proc. IEEE ISCAS 1976, pp.658, 1976.
- [3] 川西, 吉澤, 可兒, “1次元 MOS 레트にあけるケート配列決定の一算法”, 信學論(A), vol. 59, no. 2, pp. 141, 1976.
- [4] Ohtsuki, T. Mori S. “One-dimensional logic gate assignment and interral graph”, *IEEE Trans. on Circuit and Sys.*, vol. 269, pp.675, 9. 1979.
- [5] 大附, “大規模組合 問題にあけるヒュリスティック스算法”, 日本電子通信學會誌, vol. 58, no. 4 pp. 416, 4 1975.
- [6] Karp R.M. , On the computational complexity of combinational problems”, *Network*, vol.5, no.1, pp.45, 1975.
- [7] Murai, S, Kanimura M. etc, *The Effects of Initial Placement Teachniques on the Final Placement Results*. Proc. ICC, 1980, pp.8, 1980.
- [8] Hanan M., Wolff P.K. and Agule B.J., *Some Experimental Results on Techniques*. Proc. B the D.A. Conf., pp. 214, 1976.
- [9] Hanan M. and Kurtberg J.M. *Placement Techniques, in CH5 in Design Automation of Digital Systems: Theory and Techniques*. vol.1, Breuer M.A, Edit. Englewood Cliffs, New Jersey, Prentice Hall, pp.213-282, 1972.
- [10] Goto S. and Kuh E.S., “An approach to the dimensional placement problem in circuit layout”, *IEEE Trans. on CAS.*, vol.27, no.4, pp.208, 4, 1978.