

# CMOS 回路의 테스트 생성 알고리즘

## (A Test Generation Algorithm for CMOS Circuits)

趙 相 福\*, 林 寅 七\*

(Sang Bock Cho and In Chil Lim)

### 要 約

CMOS 論理回路에서 附加回路없이 time skew와 無關하게 stuck-open(이하 s-op) 故障를 檢出할 수 있는 새로운 알고리즘을 提案한다. 즉, CMOS 回路 構成要素로서 Domino CMOS 이회로를 採擇하여 回路의 클럭킹 게이트를 하나의 branch로 看做 모델화하고, transition test를 利用하여 테스트 시퀀스를 求한다. 또한 이 알고리즘을 VAX11/780 상에서 임의의 CMOS 회로에 適用시켜 보므로써, 從來의 方法에서 time skew로 因하여 檢出될 수 없었던 모든 s-op 故障가 檢出됨을 보였다.

### Abstract

We propose a new algorithm which detects stuck-open faults in CMOS circuits without being affected by time skews not using additional circuits. That is, the Domino CMOS circuit structure is used as circuit configurations and the clocking gate in this circuit is modeled as one branch, then test sequence is generated by using the transition test.

Also, it is verified by applying this algorithm implemented in VAX 11/780 to arbitrary CMOS circuits that all of stuck-open faults which were not detected because of time skews in conventional methods is detected.

### I. 序 論

s-op故障는 個個의 트랜지스터에서 open 狀態가 發生하므로써 생기는 故障形態로 이러한 故障가 發生할 경우, CMOS회로의 charge store 機能으로 因하여 前狀態값을 그대로 갖게 되므로, 組合論理회로가 順序論理회로와 같은 動作을 行한다.<sup>1,2,3</sup> CMOS회로의 이와 같은 stuck-open 故障를 檢出하기 위한 研究가 같은 많이 行해져 왔다.<sup>1,2,3,4,5,6</sup> s-op 故障와 非古典的인 故障의 檢出에 있어서는 테스트 集合뿐만 아니라 테스트 시퀀스에 대한 考慮가 重要하다. 그러나 경우에 따라서 테스트 入力패턴이 다음 패턴으로 바뀔때 패턴전제가 同時에 바뀌지 않거나, 또는 회

로의 path의 길이가 다르기 때문에 發生하는 unequal delays등에 依하여 time skew가 생길 때는 s-op故障를 檢出하기가 어렵다. 이러한 問題를 解決하기 위한 CMOS 論理회로의 새로운 testable design 方式이 1983年 S. M. Reddy등에 依하여 發表되었으나, 附加회로의 量이 많고 回路形態에 따라 各各 다른 附加회로를 檢야 되는 불편한 점이 있다.<sup>1,1</sup>

本 論文에서는 附加回路없이 time skew와 無關하게 s-op故障를 檢出할 수 있는 새로운 方法을 提案한다. 즉, Domino CMOS회로를 利用하여 클럭킹 게이트를 하나의 branch로 보아 모델화하고 transition test를 利用하도록 한다.

### II. Time Skew

一般的으로 s-op故障의 檢出에 대한 基本原理는 s-op故障가 發生했을 때 回路의 出力이 變할 수 있도록 테스트 대상의 트랜지스터를 通하는 經路를 活性化시키

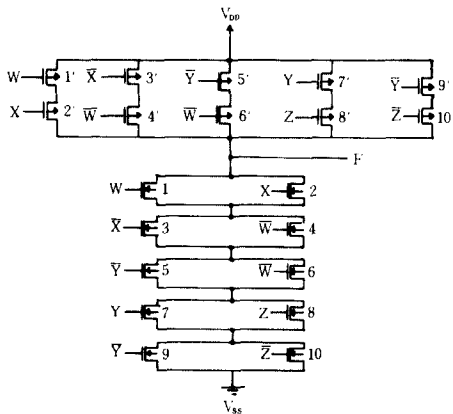
\*正會員, 漢陽大學校 工科學 電子工學科  
(Dept. of Electron. Eng., Han Yang Univ.)  
接受日字: 1984年 9月 25日

入力패턴을 구하여 檢出하는 것이다. 이 入力패턴은 한 入力패턴과 그 다음에 오는 入力패턴사이의 關係를 考慮하여야 하며, 이러한 두 入力패턴의 關係가 s-op 故障를 檢出할 수 있는 狀態로 되었을 때 이 시이퀀스를 matching sequence라 한다. 그런데 이 두 入力패턴을 生成하면서 檢出할 때에, 테스트의 各 變數에 해당하는 入力信號가 바뀌는 時間이 다르거나 또는 回路內에서 各 path에 따라 傳達遲延時間의 差異등으로 因하여 생기는 入力패턴의 非正常的인 遷移 즉, time skew 때문에 s-op故障檢出이 곤란한 경우가 생긴다. 이와같은 time skew로 因하여 다음 定理 1과 같은 경우가 發生하면 s-op故障의 檢出이 不可能하다.

[定理 1] Matching sequence에서 入力패턴이  $T_1$ 에서  $T_2$ 로 遷移中  $T_1$ 과  $T_2$ 사이에서 제 3의 入力  $T_3$ 가 存在하여,  $T_2$  入力時의 正常出力과 같은 出力을 갖게 할 경우 s-op故障의 檢出이 不可能하다.

(證明) 無故障回路에서 matching sequence의 처음 入力  $T_1$ 이 印加될때와 다음 入力  $T_2$ 가 印加될 때는 서로 다른 出力을 갖게 된다. 이에  $T_2$  入力時의 正常出力과 같은 出力을 갖게 하는 제 3의 入力  $T_3$ 가  $T_2$  入力前에 印加된다면 테스트 狀態의 트랜지스터가 故障이 생겨도  $T_1$ 때의 出力狀態를 持續할 수 없게 되어 故障檢出이 不可能하게 된다. Q. E. D.

예로서 다음 그림 1과 같은 回路를 생각해 보자.



$$F = \overline{W}X + WX + WY + YZ + \overline{Y}Z$$

그림 1. CMOS 回路 (1)  
Fig. 1. CMOS circuit (1).

이 回路의 出力函數 F는  

$$F = \overline{W}X + WX + WY + \overline{Y}Z + YZ$$

$$= (W \odot X) + WY + (Y \odot Z)$$
 와 같다  
 여기서 FET 5'에 s-op故障이 發生하였다 가정하

자. Matching sequence의  $T_1$ 은 5'가 P-part에 있으므로 出力 F를 0로 만드는 테스트 集合  $\{(w, x, y, z) | (1, 0, 0, 1), (0, 1, 0, 1), (0, 1, 1, 0)\}$  중 어느 것이나 可能하다.  $T_2$ 는 回路가 無故障狀態일 때는 出力을 1로 만들고, 故障이 5'에 發生했을 때는 出力 F를 high impedance 狀態로 만드는 테스트  $(1, 0, 1, 0)$  뿐이다. 이때 만약 time skew로 因하여  $T_3$ 가  $(1, 0, 0, 0)$  라면 FET 7'와 8'가 conduct되어 出力이 1이 되고, 定理 1에서와 같이 5'의 檢出이 不可能하다. 즉, 이어서  $T_2 = (1, 0, 1, 0)$ 가 印加되어도 5'의 s-op故障으로 因하여 出力은 그대로 1 값을 維持하게 되어 檢出이 不可能하다. 이와같은 경우는 time skew로 因하여 W가 X보다 먼저 변하여  $T_1 = (0, 1, 0, 1)$ ,  $T_2 = (1, 0, 1, 0)$ ,  $T_3 = (0, 0, 1, 0)$  일때도 역시 마찬가지이므로 5'의 s-op故障의 檢出이 不可能하다. 또 다른 경우  $T_1 = (0, 1, 1, 0)$ ,  $T_2 = (1, 0, 1, 0)$ ,  $T_3 = (0, 0, 1, 0)$  일때도 역시 5'의 s-op故障의 檢出이 不可能하다.

이상과 같이 time skew를 考慮하지 않았을때 5'의 s-op故障의 檢出이 可能한 3가지 테스트 시이퀀스가, time skew를 考慮했을 때 모두 故障檢出이 不可能하다. 이와같은 問題點을 解決하기 위하여 附加回路를 利用한 testable design에 關한 研究가 있었으나, 回路에 附加 FET를 使用하므로써 面積과 速度에 많은 問題가 있었다.<sup>11)</sup>

그래서 附加回路를 使用하지 않고 Domino CMOS 回路를 利用하여 Domino CMOS 回路의 形態의 인性質을 考慮하여 주므로써 s-op故障의 檢出에 있어 time skew 問題를 完全히 解決할 수 있도록 한다.

### III. Domino CMOS 回路와 s-op 故障檢出

Domino CMOS 回路는 그림 2와 같이 函數 形成을 위한 NMOS 函數 블럭과 클럭킹 게이트 그리고 인버터

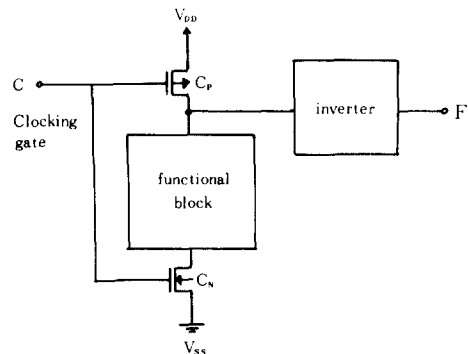


그림 2. Domino CMOS 回路의 基本 構造  
Fig. 2. Basic structure of Domino CMOS circuit.

터로 構成되어 있다.<sup>15,6)</sup> 이러한 構造로 因하여 하나의 클럭 펄스에 依해 函數값을 얻을 수 있으므로, 타이밍 問題에 있어 다른 다이내믹 回路보다 安定하다는 잇점이 있다. 또 一般 CMOS 回路와 比較하여 chip area 가 작다는 점, 速度가 1.5~2배 정도 빠르다는 점, NMOS 技術을 그대로 利用할 수 있다는 점등의 長點을 갖고 있다.

그림 2의 基本 構造에서 클럭 펄스 C가 0일때는  $C_p$ 가 on이 되어 F는 0가 되고, 1일때는  $C_n$ 이 on이 되어 函數 블럭과 인버터에 依하여 F가 決定된다. 이와같은 基本 構造가 여러 개 하나의 모어 클럭 펄스에 依해 動作하게 된다. 그림 2에서  $C_p$ 와  $C_n$ 은 같은 클럭 C에 依하여 動作되므로 恒常 돌중 하나만 導通狀態가 된다. 그리고 Domino CMOS 回路는  $C_p, C_n$ 을 包含해서 連結그래프로 모델화 할 수 있음을 定理 2에 나타내었다. 連結그래프는 P-part와 N-part를 分離하여 트랜지스터를 하나의 branch로 보아 모델화한 것이다.

[定理 2] Domino CMOS 回路에서 故障檢출을 위하여 連結그래프로 모델화할때 클럭 C도 하나의 트랜지스터 入力으로 看做하여 branch로 나타낼 수 있다.

(證明) Domino CMOS 回路에서는 클럭에 따라서  $C_p$  또는  $C_n$ 만이 on이 되면서 出力에 影響을 미친다. 그림 2의 Domino CMOS 基本 블럭에서 클럭 C가 0일때는  $C_p$ 가 on이 되어 出力 F가 0가 되고, 클럭 C가 1일때는 函數블럭과 C에 依해 出力이 決定된다. 즉, 인버터를 거치므로 出力 F는 函數블럭에 依해 나타나는 값과 C의 곱과 같다. 즉, C를 出力 F에 包含시킬 수 있게 되며, 出力 F에 包含된 變數를 入力으로 받아들이는 트랜지스터는 모두 連結그래프에 包含되므로, 다른 트랜지스터와 함께 클럭킹 게이트 트랜지스터  $C_n, C_p$ 는 하나의 branch로 나타낼 수 있다. Q. E. D.

定理 2에 대한 例로서 그림 3과 같은 Domino CMOS 回路를 살펴보자. 定理 2에서와 같이 s-op 故障의 檢

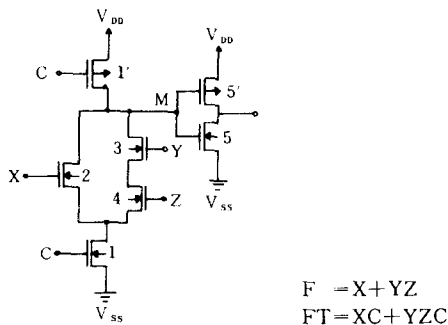


그림 3. Domino CMOS 回路 (2)  
Fig. 3. Domino CMOS circuit (2).

출을 위해 클럭 펄스 C를 出力 F에 包含시켜 생각하면  $FT = F \cdot C = (X + YZ) \cdot C = XC + YZC$ 이다. 즉, 出力 F는 클럭 펄스 C가 0이면  $FT = 0$ 이고, 1이면 X, Y, Z에 依해 F값이 決定된다. 그림 3의 回路를 클럭킹 게이트를 包含하여 連結그래프로 나타내면 그림 4와 같다.

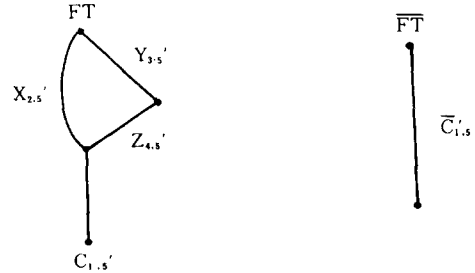


그림 4. 그림 3의 回路에 대한 連結그래프 表現  
Fig. 4. Connection graph representation for the network in Fig. 3.

Domino CMOS 回路에서 time skew를 考慮한 테스트 시퀀스를 구하기 위하여, 우선 클럭킹 게이트를 包含한 回路 全体를 連結그래프로 모델화한다. 그리고 定理 2 및 다음 定理 3을 適用한 全体의인 알고리즘에 의해 time skew를 考慮한 새로운 테스트 시퀀스를 구한다.

[定理 3] n개의 入力變數와 1개의 클럭펄스에 依해 構成된 Domino CMOS 回路에서, time skew를 考慮하지 않고 s-op 故障를 檢출할 수 있는 테스트 시퀀스중 임의의 連續한 테스트 各各을  $I = (I_1, I_2, I_3, \dots, I_n, P)$ ,  $C = (C_1, C_2, C_3, \dots, C_n, R)$ 라 했을 때, I와 C사이의 time skew를 考慮한 transition test  $T = (T_1, T_2, T_3, \dots, T_m, Q)$ 는 다음 알고리즘 1에 依하여 求해진다. (단, P, Q, R은 클럭 펄스의 값)

(알고리즘 1)

if  $(I_1 \neq C_1)$  or  $(I_2 \neq C_2)$  or  $(I_3 \neq C_3)$  or ... or  $(I_n \neq C_n)$

then

begin

$T_1 \leftarrow C_1;$

$T_2 \leftarrow C_2;$

$T_3 \leftarrow C_3;$

⋮

$T_n \leftarrow C_n;$

$Q \leftarrow P$

end

else no need transition test

(證明) 테스트 I와 C에서 C의 入力變數값을 全部 T의 入力變數값으로 하고, I의 클럭 入力값을 T의 클럭 入

力값으로 한다. 즉, I에서 C로 遷移할때 C와 클럭 入力값만 다른 테스트 入力 T를 印加한 後 C가 印加되므로, time skew의 影響을 전혀 받지 않는다. 테스트 I와 C가 入力變數값이 모두 같은 경우는 I와 C가 클럭 펄스만 다르므로 그 사이에 transition test가 必要하지 않다. (클럭 펄스까지 같으면 I=C인 경우인데, 그러한 테스트 시이퀀스는 存在하지 않는다) Q. E. D.

以上에서 連結그래프 모델과 定理 2, 定理 3을 適用하여 一般 CMOS回路, Domino CMOS回路(time skew를 考慮할 경우 또는 考慮하지 않을 경우)에 대해 모든 트랜지스터의 s-op故障를 檢出할 수 있는 全体的인 알고리즘은 다음과 같다.

(알고리즘 2)

단계 1 : 連結그래프 G, G'를 구한다.

(Domino CMOS인 경우 클럭킹 게이트  $C_n, C_p$ 도 다른 트랜지스터와 같이 連結그래프에 포함시킨다.)

단계 2 : G, G'에 대해 source로 부터 sink로 가능한 모든 path를 찾는다. 이때 G, G'에서 path들의 集合을 각각 ZG, ZG'라 하면 전체 path의 集合 Z는  $Z=ZG+ZG'$ 가 된다. 그리고 path들중 A·A형의 0 라벨은 除外한다.

단계 3 : ZG, ZG'에 대한 單一經路 活性化 및 多重經路 活性化를 行하여 테스트 集合을 구한 후, 구한 테스트 集合 各各에 대해 最終 出力이 0 또는 1에 따라  $T_0, T_1$  集合별로, 活性化된 經路和 게이트 應答 및 게이트에 대한 트랜지스터의 라벨을 리스트한다.

단계 4 : 테스트 集合의 organizing.

現在 狀態에서 選擇된 테스트에 대해 트랜지스터 라벨이 故障 리스트에서 남아 있는 양을  $RD_i$ , 바로 前狀態 테스트의 内部게이트 應答과 現在 테스트의 内部 게이트 應答과의 補數關係를 考慮하여 補數가 되는 갯수를  $C_i$ , 内部 게이트 應答에서 unknown state(테스트시 이퀀스에서 -로 表示)의 갯수를  $U_i$ 라 한다.

(節次 1)  $T_0$ 중  $RD_i$ 가 가장 큰 것을 選擇한다. 큰 것이 여러 개이면 맨처음 것을 選擇한다.

(節次 2)  $T_1$ 에서  $(RD_i+C_i-U_i)$ 가 가장 큰것을 選擇하고 matching sequence 比較檢出 과정을 遂行한다.

Matching sequence 比較檢出과정 : 바로 前狀態 테스트의 内部 게이트 應答과 現在 테스트의 内部 게이트 應答과를 比較하여 前狀態 테스트에 의해 活性化된 經路에서 補數가 되는 게이트에 속한 트랜지스터 라벨만을 그대의 現在 故障 리스트에서

除外한다.

(節次 3) 現在 故障 리스트가 空集合이면 節次 6으로 가고 아니면 節次 4로 간다.

(節次 4)  $T_0$ 에서  $(RD_i+C_i-U_i)$ 가 가장 큰 것을 選擇하고 matching sequence 比較檢出 과정을 遂行한다.

(節次 5) 現在 故障 리스트가 空集合이면 節次 6으로 가고 아니면 節次 2로 간다.

(節次 6) 一般 CMOS回路 또는 Domino CMOS回路에서 time skew를 考慮하지 않을 경우는 終了하고, Domino CMOS回路에서 time skew를 考慮할 경우는 단계 5로 간다.

단계 5 : Transition test의 生成

(節次 1) 단계 4 까지 구한 테스트 시이퀀스에서 連續한 테스트 各各을  $I=(I_1, I_2, I_3, \dots, I_n, P)$ ,  $C=(C_1, C_2, C_3, \dots, C_n, R)$ 이라 할때 알고리즘 1을 適用하여, I와 C사이의 transition test T를 구한다.

(節次 2) 단계 4 까지 구한 테스트 시이퀀스 모두에 대해 節次 1을 遂行했으면 節次 3으로 가고 아니면 節次 1로 간다.

(節次 3) 終了

그림 3의 Domino CMOS回路에 대해서 time skew를 考慮하지 않을 경우 테스트 시이퀀스는 표 1과 같다.

표 1. 그림 3의 回路에 대한 테스트 시이퀀스  
Table 1. Test sequence for the network in Fig. 3.

$t_1$	$\bar{X}$	$\bar{Y}$	$\bar{Z}$	$\bar{C}$
$t_2$	$\bar{X}$	Y	Z	C
$t_3$	$\bar{X}$	$\bar{Y}$	$\bar{Z}$	$\bar{C}$
$t_4$	X	$\bar{Y}$	$\bar{Z}$	C

같은 回路에 대하여 time skew를 考慮하고서도 s-op故障를 檢出할 수 있는 테스트 시이퀀스는 표 2와 같다.

표 2에서 알 수 있듯이  $t_1 \rightarrow t_3$  사이에 定理 3에 依해

표 2. 그림 3의 回路에 대해서 time skew를 考慮한 테스트 시이퀀스  
Table 2. Test sequence considering time skew for the network in Fig. 3.

테스트	出力 F	檢出 가능한 S-OP 故障
$t_1$	$\bar{X} \bar{Y} \bar{Z} \bar{C}$	0
$t_2$	$\bar{X} Y Z \bar{C}$	0
$t_3$	$\bar{X} Y Z C$	1, 3, 4, 1', 5'
$t_4$	$\bar{X} \bar{Y} \bar{Z} C$	1
$t_5$	$\bar{X} \bar{Y} \bar{Z} \bar{C}$	0
$t_6$	X $\bar{Y} \bar{Z} \bar{C}$	1', 5
$t_7$	X $\bar{Y} \bar{Z} C$	1, 2, 1', 5'

$t_2$ 가 들어 간다.  $t_1 \rightarrow t_2$ 의 遷移에서는 클럭 펄스 C는 變化가 있고, 變數 X, Y, Z중에서 必要한 變數만 變한다. 이때 入力變數들중에서 time skew가 일어나도 클럭 펄스 C가 그대로 있으므로, time skew에 無關하게 出力에서  $V_{ss}$ 로 어떤 path도 形成되지 않는다. 入力變數의 遷移가 安定狀態로 뒤後에  $t_2 \rightarrow t_3$ 의 遷移에서는 클럭 펄스 C만이 變하므로, 이때 time skew와 無關하게  $t_3$ 에 依해서 活性化되는 FET의 s-op 故障의 檢出이 可能하다. 마찬가지로  $t_4 \sim t_5$ 에서도 入力變數와 클럭 펄스가 서로 變갈아 變하면서 클럭 펄스가 바뀌는 순간에 出力의 狀態를 調査하여, time skew의 影響을 받지 않고 모든 FET의 s-op 故障의 檢出이 可能하다.

IV. 컴퓨터 遂行 結果

그림 1의 CMOS 回路에 대해 위 알고리즘을 適用하여 구한 테스트 시퀀스는 표 3과 같다. Time skew를 考慮할 경우는 s-op 故障의 檢出이 不可能하고, 이 回路를 같은 出力函數를 갖는 Domino CMOS 回路로 構成한 다음 알고리즘을 遂行한 結果에 대해서 알아보자. 다음 그림 5는 그림 1과 같은 기능을 갖는 Domino CMOS 回路이고, 그림 6은 이 回路를 連結그래프로 나타낸 것이다.

표 3. 그림 1에 대한 테스트 시퀀스

Table 3. Test sequence for the network in Fig. 1.

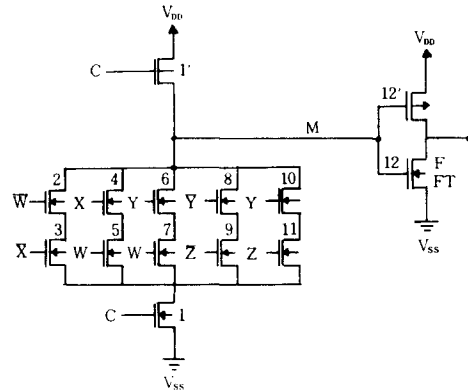
```

***** TEST SEQUENCES *****
OPTIONAL : NORMAL CMOS CIRCUIT
---
WXYZ --> 0  --  --  --  --  --  --  --
---
WXYZ --> 1 21 22
---
WXYZ --> 0  2  4  5  8  9
---
WXYZ --> 1 27 28
---
WXYZ --> 0  2  4  6  7 10
---
WXYZ --> 1 29 30
---
WXYZ --> 0  1  3  5  8  9
---
WXYZ --> 1 25 26
---
WXYZ --> 0  1  3  5  8  9
---
WXYZ --> 1 23 24
    
```

(단, 21, 22, ..., 30은 각각 1', 2', ..., 10')

이 回路에 대해 알고리즘을 VAX 11/780 상에서 實現한 프로그램에 適用하여 구한 테스트 시퀀스는 다음 표 4와 같다. 모든 테스트 시퀀스에서 숫자는 앞부분은 内部 게이트 應答, 뒷부분은 트랜지스터 라벨을 나타낸다. 이때 숫자가 나타난 low의 좌측에 있는 테스트에 의해 그 트랜지스터의 s-op 故障가 檢出됨을 意

味한다. 표 4의  $t_4$ 를 例로 든다면, 그림 5의 回路에 대해  $\overline{W}X\overline{Y}Z$  즉, 入力 WXYZ = (0, 1, 0, 1)이 印加될때 M과 F 값이 各各 0, 1임을 나타내며, 그때 트랜지스터 1, 8, 9, 12'의 s-op 故障가 檢出됨을 나타낸다. 結局 표 4에서 보면 그림 5의 回路에서 14개의 트랜지스터에 대한 s-op 故障가 모두 檢出됨을 알 수 있다. 이것은 다른 모든 테스트 시퀀스表에 대해서도 마찬가지이다.



$$F = \overline{W}X + WX + \overline{W}Y + \overline{Y}Z + YZ$$

$$FT = \overline{W}X + WX + WY + \overline{Y}Z + YZ$$

그림 5. 그림 1과 같은 기능을 갖는 Domino CMOS 回路

Fig. 5. Domino CMOS circuit having the same function as the network in Fig. 1.

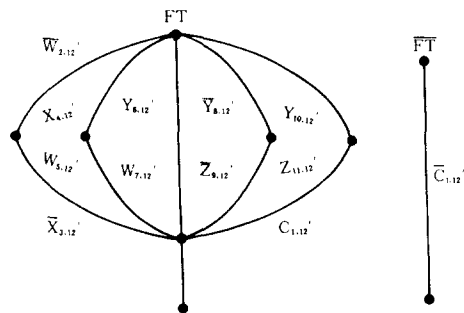


그림 6. 그림 5의 回路에 대한 連結그래프 表現

Fig. 6. Connection graph representation for the network in Fig. 5.

그림 1의 FET 5'와 對應하게끔 그림 5의 FET 6의 s-op 故障를 생각해 볼때, 표 4에서 알 수 있듯이 이것은  $t_{13} \rightarrow t_{14} \rightarrow t_{15}$ 의 과정으로 time skew와 關係없이 檢出된다. 만약  $t_{14}$ 가 없이  $t_{13} \rightarrow t_{15}$ 로 테스트가 變한다고 假定할때 time skew로 因하여 C가 가장 먼

표 4. 그림 5의 회로에 대한 테스트 시퀀스  
Table 4. Test sequence for the network in Fig.5.

***** TEST SEQUENCES *****	
OPTIONAL : DOMINO CMOS CIRCUIT	
t <sub>1</sub> WXYZC --> 1 0	32
t <sub>2</sub> WXYZC	
t <sub>3</sub> WXYZC --> 0 1 1 1 3	32
t <sub>4</sub> WXYZC	
t <sub>5</sub> WXYZC --> 1 0 21	12
t <sub>6</sub> WXYZC	
t <sub>7</sub> WXYZC --> 0 1 1 8 9	32
t <sub>8</sub> WXYZC	
t <sub>9</sub> WXYZC --> 1 0 21	12
t <sub>10</sub> WXYZC	
t <sub>11</sub> WXYZC --> 0 1 1 10 11	32
t <sub>12</sub> WXYZC	
t <sub>13</sub> WXYZC --> 1 0 21	12
t <sub>14</sub> WXYZC	
t <sub>15</sub> WXYZC --> 0 1 1 6 7	32
t <sub>16</sub> WXYZC	
t <sub>17</sub> WXYZC --> 1 0 21	12
t <sub>18</sub> WXYZC	
t <sub>19</sub> WXYZC --> 0 1 1 4 5	32

(단, 21과 32는 각각 1'와 12')

저 변화면 (0, 0, 0, 0, 1)의 入力狀態가 이루어지고 FET 6의 s-op故障가 mask되어 故障檢出이 不可能하다. 그러나 t<sub>14</sub>가 들어가므로써 變數C는 C를 除外한 모든 變數가 遷移를 마치고 난후 變하게 되므로 結局 C는 게이트의 役割을 하게 된다. 즉, Domino CMOS 회로의 形態의 特徵을 利用하여 클럭 C도 連結그래프에서 branch로 모델화 해주므로써, time skew와 無關하게 모든 트랜지스터의 s-op故障를 檢出할 수 있다. 또 다른 例로서 그림 7과 같은 Domino CMOS 회로에 있어서 s-op故障의 檢出을 위한 테스트 시퀀스를 구하면 다음 표 5와 같다. 이 표 5에서 보면 t<sub>13</sub>과 t<sub>14</sub>사이, t<sub>4</sub>와 t<sub>5</sub>사이에는, 테스트의 다른 變數는 變하지 않고 클럭 펄스만 變하기 때문에 transition test가 必要

표 5. 그림 7의 회로에 대한 테스트 시퀀스  
Table 5. Test sequence for the network in Fig.7.

***** TEST SEQUENCES *****	
OPTIONAL : DOMINO CMOS CIRCUIT	
t <sub>1</sub> WXYZC --> 1 0	32
t <sub>2</sub> WXYZC	
t <sub>3</sub> WXYZC --> 0 1 -1 9 10 11	32
t <sub>4</sub> WXYZC	
t <sub>5</sub> WXYZC --> 1 0 21	12
t <sub>6</sub> WXYZC	
t <sub>7</sub> WXYZC --> 0 1 1 5 6 7	32
t <sub>8</sub> WXYZC	
t <sub>9</sub> WXYZC --> 1 0 21	12
t <sub>10</sub> WXYZC	
t <sub>11</sub> WXYZC --> 0 1 1 2 3	32
t <sub>12</sub> WXYZC	
t <sub>13</sub> WXYZC --> 1 0 21	12
t <sub>14</sub> WXYZC	
t <sub>15</sub> WXYZC --> 0 1 1 4	32
t <sub>16</sub> WXYZC	
t <sub>17</sub> WXYZC --> 1 0 21	12
t <sub>18</sub> WXYZC	
t <sub>19</sub> WXYZC --> 0 1 1 5 8	32

(단, 21과 32는 각각 1'와 12')

없다.

全体的인 알고리즘을 實現한 프로그램은 PASCAL로 1200step이며 ①一般 CMOS회로 ②Domino CMOS회로(time skew를 考慮할 경우 또는 하지 않을 경우) 어느 경우에도 簡單한 入力화일만 作成하여 遂行시키면, 모든 트랜지스터의 s-op故障를 檢出할 수 있는 테스트 시퀀스를 求할 수 있다.

V. 結 論

從來의 一般 CMOS회로가 time skew에 의해 경우에 따라 s-op故障의 檢出이 不可能함을 보이고, time skew를 考慮한 s-op故障의 完全한 檢出을 위해 Domino CMOS 회로가 使用되었으며, 이때의 테스트 시퀀스는 連結그래프 모델과 定理 2, 定理 3의 方法을 適用한 全体的인 알고리즘에 의해 구할 수 있다. 이 알고리즘을 VAX11/780 상에서 PASCAL로 實現하여 임의의 CMOS회로 및 Domino CMOS 방식으로 나타낸 임의의 회로에 適用하여 본 結果, 從來의 方法에서 time skew로 因하여 檢出할 수 없었던 s-op 故障이 모두 檢出됨을 確認할 수 있었다. 즉, 표 4와 표 5에서 time skew를 考慮하지 않을 경우는 各各 10個, 考慮할 경우는 各各 19, 17개의 테스트로 모든 트랜지스터에 대한 s-op故障의 檢出이 可能하다.

Time skew와 無關하게 s-op故障의 檢出이 可能하면서, space가 작고 速度가 빠르며 glitch 現象이 적은 Domino CMOS회로가 앞으로 많이 使用될 것으로 期待된다.

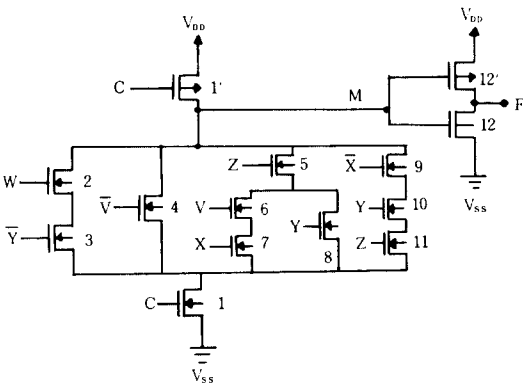


그림 7. Domino CMOS 회로(3)  
Fig. 7. Domino CMOS circuit(3).

## 參 考 文 獻

- [1] S.M. Reddy, M.K. Reddy, J.G. Kuhl, *On Testable Design for CMOS Logic Circuits*. The 1983 International Test Conference, pp.435-445.
- [2] Chiang, Kuang-Wei and Vranesic, Zvonko G., *Test Generation for MOS Complex Gate Networks*. The 1982 International Symposium on Fault-Tolerant Computing, Santa Monica, California, June, 1982.
- [3] Chiang, Kung-Wei and Vranesic, Zvonko G., *On Fault Detection in CMOS Logic Networks*. IEEE 20th D.A. Conference, pp. 50-56, 1983.
- [4] El-Zig, Y.M. and Cloutier, R.J., *Functional Level Test Generation for Stuck-Open Faults in CMOS VLSI*. The 1981 International Test Conference, Philadelphia, IEEE 81 CH 1693-1, pp. 536-546, October, 1981.
- [5] Muroga, S., *VLSI System Design*. John Wiley and Sons, New York, 1982.
- [6] R.H. Krambeck, Charles, M. Lee, Hung-Fai Stephen Law, "High-speed compact circuits with CMOS," *IEEE Journal of Solid-State Circuits*, vol. SC-17, no.3, pp. 614-619, June, 1982.
- [7] 趙相福, 林寅七, "CMOS VLSI Stuck-Open Fault에 대한 Test Generation," 大韓電子工學會, 秋季綜合學術大會 論文集, vol. 6, no.2, pp. 215-218, 1983.
- [8] 趙相福, 林寅七, "CMOS Complex Gate의 테스트 생성 알고리즘," 大韓電子工學會誌 第21卷, 第5號, pp. 55-60, 9月, 1984年.