

박막 트랜지스터의 반송자 전도

(Carrier Conduction of Thin Film Transistors)

馬 大 泳*, 金 基 完*

(Tae Young Ma and Ki Wan Kim)

要 約

다결정 반도체의 전도모델로써 grain boundary와 표면에서 일어나는 band-bending을 가정하였다. 이 가정에 경계면에서 일어나는 트랩핑을 고려한 새로운 박막 트랜지스터의 전도이론을 제시하였다. SiO₂를 절연체로 사용한 CdSe 박막 트랜지스터를 제조하고 그 특성을 측정하였다. 이때 CdSe는 열 증착하였으며 SiO₂는 고주파 스퍼터링 하였다.

이론으로 구한 박막 트랜지스터의 출력곡선과 측정에 의한 실험치를 비교 및 검토하였다.

Abstract

Band bendings, at grain boundary and surface of polycrystalline thin semiconductor films, were assumed. thin film transistor conduction theory which considered trapping at surface of semiconductor was proposed.

CdSe Thin Film Transistors were fabricated. CdSe was thermal evaporated and SiO₂ used as insulator was rf sputtered.

Output characteristics which was calculated by conduction theory were compared with experimental results.

I. 序 論

薄膜 트랜지스터의 傳導 이론은 Weimer^[1], Fisher^[2] 등에 의하여 이미 제시된 바 있다.

Weimer는 소오스와 드레인사이를 단결정으로 가정하였다. 그러나 薄膜 트랜지스터에서 반도체층은 다결정으로 이루어져 있으며 다결정 반도체에서 전도현상은 grain-boundary의 potential barrier에 의하여 지배된다. 또한 입자의 경계면에서 일어나는 트랩핑현상은 반송자의 傳導에 중요한 영향을 미친다. 이에 Fi-

sher는 grain-boundary에서 일어나는 트랩핑을 고려한 薄膜 트랜지스터의 새로운 傳導 모델을 제시하였다. 그러나 실험을 통한 측정치와 비교해 볼 때 Fisher의 이론은 상당한 차이를 나타내었다. 여기에 개선된 것으로 Anderson^[3]은 반도체 표면의 band bending을 전제로 하여 새로운 모델을 설정하였다.

본 논문에서는 Anderson이 제시한 모델과 Fisher의 트랩핑 이론을 이용하여 薄膜 트랜지스터의 電流식을 구하였다. 그리고 이 식으로 구한 이론치와 제조한 CdSe 薄膜 트랜지스터의 출력특성을 비교, 검토하였다.

*正會員, 慶北大學校 工科大学 電子工學科
(Dept. of Electron. Eng., Kyung Pook National Univ.)

接受日字: 1984年 7月 10日

II. 理 論

1. Grain Boundary에서의 電子 傳導

그림 1은 다결정 반도체에서 grain boundary에 형

성되는 전위장벽(potential barrier)을 나타낸 것이다. (a)는 전계가 걸리지 않았을 경우이고 (b)는 V의 전위가 인가되었을 경우이다.

여기서 전류밀도를 J라 두면

$$J = J_0 \exp(q\Delta V/kT) \{1 - \exp(-qV/kT)\} \quad (1)$$

$$J_0 = \frac{1}{4} n_{oc} q \bar{C} \exp(-q\Phi_0/kT)$$

로 나타낸다. 여기서 n_{oc} 는 단위체적당 반송자 밀도, \bar{C} 는 반송자의 thermal velocity 그리고 q는 단위 전하량이다 (나머지는 그림 1 참조).

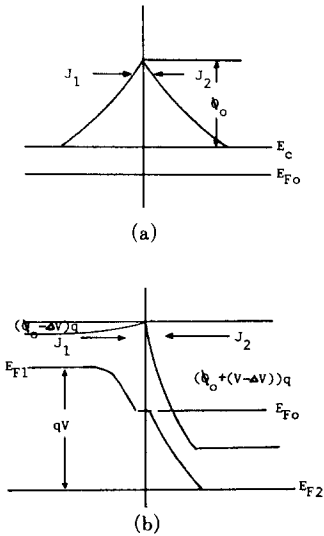


그림 1. (a) Grain boundary의 전위장벽
(b) 전압(V)에 의해 변형된 전위장벽

Fig. 1. (a) The potential barrier at grain boundary.

(b) The barrier modified by an applied potential.

만약 $qV \ll kT$, 즉 $\Delta V \approx 0$ 라면 (薄膜 트랜지스터의 일반적인 경우)

$$J = \frac{1}{4} n_{oc} q \bar{C} \frac{V}{kT} \exp(-q\Phi_0/kT) \quad (2)$$

가 된다.

여기서 V는 $V_d/N_1 \cdot L$ 로 표시되고 V_d 는 드레인 전압, N_1 는 단위길이당 barrier의 수 그리고 L은 채널 간격을 나타낸다. 이 식은 반도체의 전 두께에서 전위장벽이 동일하게 형성되어 있다고 가정한 경우이다.

그림 2는 薄膜 트랜지스터의 구조를 나타낸 것이다. 여기서 반도체와 절연체의 경계면에서 일어나는 트랩핑을 고려하면, 트랩핑에 의해 결핍층이 형성되고 표면의 반송자 밀도는 내부에 비해 감소하게 된다.

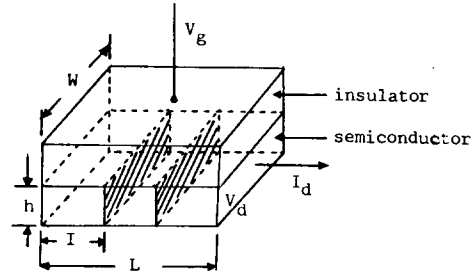


그림 2. 薄膜트랜지스터의 구조도

Fig. 2. A schematic diagram of the T. F. T. with idealized grain boundaries.

n_{ob} 를 barrier에서의 반송자 밀도라 하고 n_{os} 를 표면에서의 반송자 밀도라 하자. 그리고 ϕ_{ob} 는 반도체 내부의 전위장벽, ϕ_{os} 는 반도체 표면의 전위장벽이라고 하자. n_{os} 는 트랩핑에 의해 n_{ob} 보다 감소하게 될 것이고

$$n_{ob} = n_{oc} \exp(-\phi_{ob}) = n_{os} \exp(-\phi_{os}) \quad (3)$$

의 관계를 갖는다.

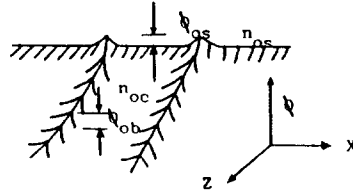


그림 3. 전위 장벽의 분포 개략도

Fig. 3. A sketch of the potential barrier distribution.

그림 3은 전위 장벽의 분포를 개략도로 나타낸 것이고 그림 4는 두께방향의 반송자 밀도 및 전위장벽 분포를 나타낸 것이다. Characteristic distance⁽⁴⁾인 L_c 까지 직선적으로 반송자 밀도와 전위장벽이 증가하며 L_c 는 $l_D \sqrt{2(\phi_{ob} - \phi_{os})}$ 혹은 $l_D \sqrt{2\Delta\phi}$ 로 가정한다.⁽⁵⁾ 여기서 l_D 는 effective debye length이고

$$l_D = \left(\frac{\epsilon_r \epsilon_0 kT}{q^2 n_{oc}} \right)^{\frac{1}{2}} \quad (4)$$

로 주어진다.⁽⁴⁾

h는 반도체 박막의 두께이다. 또 μ_g (grain boundary limited mobility)는

$$\mu_g = q \bar{C} / 4 N_1 kT \quad (5)$$

로 표시되고 이 식을 (2)식에 대입하면

$$J = \frac{qn_o(z)\mu_g V_d}{L} \exp(-\phi_o(z)) \quad (6)$$

이 된다. 여기서 $\phi = \Phi/kT$ 이다.

그림 4에서

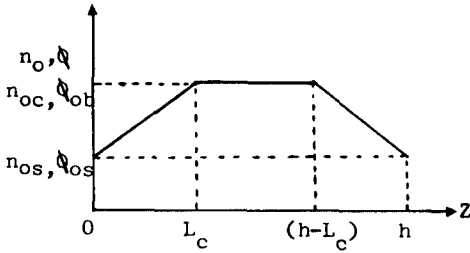


그림 4. 반송자 밀도 및 전위 장벽의 분포
Fig. 4. Distribution of the carrier density and barrier height.

$$n_0(z) = n_{0s} + \frac{(n_{0c} - n_{0s})z}{L_c} \quad (7)$$

$$\phi_0(z) = \phi_{0s} + \frac{(\phi_{0b} - \phi_{0s})z}{L_c} \quad (8)$$

로 구해지고 (6), (7) 및 (8)식에서 너비 W와 두께 dz 를 지나는 전류는 (그림 2 와 그림 3 참조)

$$dI = \frac{Wq\mu_n V_a}{L} n_0(z) \exp(-\phi_0(z)) dz \quad (9)$$

가 되므로 z=0 에서 z=L_c 사이의 총 전류는

$$I_{L_c} = \frac{V_a W q \mu_n L_c}{L} \left[\left\{ \frac{n_{0s}}{(\phi_{0b} - \phi_{0s})} + \frac{(n_{0c} - n_{0s})}{(\phi_{0b} - \phi_{0s})^2} \right\} \left[\exp(-\phi_{0s}) - \exp(-\phi_{0b}) \right] - \frac{(n_{0c} - n_{0s})}{(\phi_{0b} - \phi_{0s})} \exp(-\phi_{0b}) \right] = \frac{W \cdot L_c V_a q}{L} \mu_n n_{0c} \exp(-\phi_{0b}) \frac{2(\cosh \Delta \phi - 1)}{\Delta \phi^2} \quad (10)$$

또 z=L_c에서 z=h-L_c를 지나는 전류는

$$I_b = q\mu_n n_{0c} \exp(-\phi_{0b}) (h-2L_c) W \frac{V_a}{L} \quad (11)$$

이다. 그러므로 소오스와 드레인사이의 총전류는

$$I_d = I_b + 2I_{L_c} = \frac{V_a W q \mu_n L_c}{L} n_{0c} \exp(-\phi_{0b}) \left[\left(\frac{h}{L_c} - 2 \right) + \frac{2(\cosh \Delta \phi - 1)}{\Delta \phi^2} \right] \quad (12)$$

이 된다. (12)식으로부터 전도도를 구하면

$$\delta_b = q\mu_n n_{0c} \exp(-\phi_{0b}) \left[\left(1 - \frac{2L_b \sqrt{2\Delta \phi}}{h} \right) + \frac{2L_b \sqrt{2\Delta \phi}}{h} \frac{(\cosh \Delta \phi - 1)}{\Delta \phi^2} \right] \quad (13)$$

이 된다. (13)식은 grain boundary 를 흐르는 전류 성분만을 고려한 것이다. 그러나 crystallite 영역에도 전류의 흐름은 존재한다.

여기서의 전도도를 δ_c라 하면

$$\delta_c = n_{0c} q\mu_c \quad (14)$$

로 표시된다. 여기서 μ_c는 crystallite 영역의 전자의 이동도이다.

다결정 반도체에서 전도도 δ는 δ_b와 δ_c의 병렬 연결이 되므로

$$\delta = \frac{\delta_b \delta_c}{\delta_b \left(1 - \frac{2L_b}{l} \right) + \delta_c \frac{2L_b}{l}} \quad (15)$$

이 되고 만약 l ≥ 2L_b 라면

$$\delta \approx \delta_c \approx \delta_c 2L_b / l \quad (16)$$

로 된다. 위에서 l 은 grain boundary 사이의 평균간격을 뜻한다.

2. 전위 장벽을 고려한 Enhancement Theory

Gradual-channel 근사식에서 드레인 전류 밀도는

$$\int_0^L J_d dx = \int_0^L \frac{v_d G_s(x)}{h} dV(x) \quad (17)$$

로 주어진다(그림 2 참조).

G_s(x)는 반도체 박막의 sheet conductance이다.

(12)와 (18)식에서 G_s(x)를 구하면

$$G_s(x) = \frac{l}{2L_b} \frac{q\mu_n n_c L_c \exp(-\phi_{0b})}{h} \left[\left(\frac{h}{L_c} - 2 \right) + \frac{2(\cosh \Delta \phi - 1)}{\Delta \phi^2} \right] \quad (18)$$

이다. n_c는 단위면적당의 반송자 밀도를 나타낸다. 만약 φ_{0s}가 φ_{0b}에 비해 매우 작다면 Δφ ≈ φ_{0b}로 둘 수 있다. 그리고 (12)식에서 I_b > 2I_{Lc}가 만족된다면 I_b ≈ 2I_{Lc}로 되고 이 두 가정과 (3)식으로 부터

$$G_s(x) = \frac{l q \mu_n (n_c - n_b)^2}{2L_b h n_c \{ l_n (n_c / n_b) \}^2} \quad (19)$$

이 구해진다. 다음은 게이트 전압에 의해 유기되는 반송자와 반도체 표면의 트랩핑 현상을 고려한다. 먼저 트랩핑 인자를

$$\theta_T = \frac{\Delta n - \Delta n_T}{\Delta n} \quad (20)$$

로 정의한다. 여기서 Δn은 게이트 전압에 의해 유기된 전하의 밀도고 Δn_T는 트랩된 전하의 밀도를 나타낸다. (20)식을 (19)식에 대입하면

$$G_s(x) = \frac{l q \mu_n L_c (n_c + \Delta n \theta_T - n_b - \Delta n \theta_T)^2}{2L_b h (n_c + \Delta n \theta_T) [l_n (n_c + \Delta n \theta_T)]^2 / (n_b + \Delta n \theta_T)} \quad (21)$$

이 되고 이것을 드레인 전압에 대해 적분하면 드레인 전류는

$$I_d = \frac{W l q L_c \mu_n}{2L_b l_p h} (n_c - n_b)^2 \times \int_0^{V_a} \frac{dV_x}{\{ n_c + (C_g \theta_T / q) (V_g - V_x) \} l_n \{ n_b + (C_g \theta_T / q) (V_g - V_x) \}^2} \quad (22)$$

가 된다.

III. 實 驗

그림 5는 본 실험의 박막 트랜지스터 제조공정을 나타낸 것이다. 구조는 逆 스택져였다.¹⁴⁾ 기판으로 Corning 7059 글라스를 사용하였으며 기판으로 부터의

불순물 오염을 막고 게이트 전극과의 접착을 좋게 하기 위하여 SiO_2 로 베이스코팅 하였다. 먼저 게이트 적극으로 고순도의 알루미늄을 1000\AA 증착하였다. 그 다음 게이트 절연층을 형성시키기 위하여 水晶을 고 주파 스퍼터링 하였다.

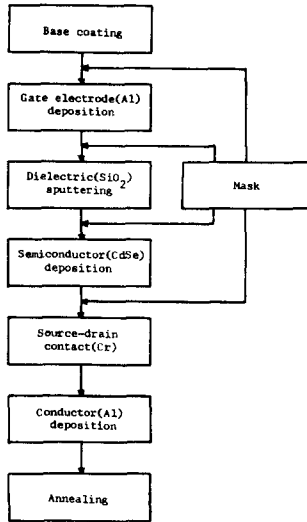


그림 5. 薄膜 트랜지스터의 제조 공정
Fig. 5. Fabrication processes of the T. F. T.

두께는 1000\AA 이었으며 스퍼터링시 5%의 산소를 아르곤에 첨가시켰다. CdSe를 반도체로 사용하였는데 CdSe 분말을 石英도가니에 넣고 텅스텐으로 가열시켜 증착하였다. 이때 두께는 1500\AA 이었다. 소오스와 드레인사이의 채널 형성을 위해 $20\mu\text{m}$ 의 니켈선을 사용하였으며 크롬과 알루미늄을 전극으로 사용하였다. 스퍼터링으로 제조한 SiO_2 는 박막내에 많은 전하를 함유하고 있어서 素子の 특성에 악영향을 미친다. 이를 제거하기 위해 제조한 素子를 질소 분위기에서 400°C 로 60분간 열처리하였다.

IV. 結果 및 考察

1. 반도체 표면의 Band Bending

본 실험에서 제조한 薄膜 트랜지스터는 채널 길이가 $20\mu\text{m}$ 였고 채널 넓이는 $500\mu\text{m}$ 였다. CdSe 반도체 박막의 반송자 밀도는 C-V 측정을 통하여 구하였으며^[7] 그 값은 $45 \times 10^{18} \text{m}^{-3}$ 이었다. Thermal velocity는 $\bar{C} = (kT/2\pi m_e^*)^{1/2}$ 로 주어지며 CdSe에서 전자의 실효 질량은 $0.13m_e$ ^[8]이다. N_1 는 potential barrier의 평균 간격인 l 의 역수이다. l 은 문헌^[9]을 통해 이미 보고된 바 있는 530\AA 으로 하였는데 이 값은 다결정의 평균 grain size로 알려져 있다(grain을 立方体로 가정).

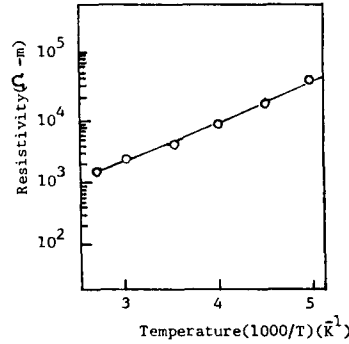


그림 6. 온도에 따른 CdSe 박막의 저항률 변화
Fig. 6. CdSe thin film film resistivity vs. temperature.

이 값을 (5)식에 대입하여 구한 μ_g 는 $3.83 \times 10^{-2} \text{m/V}\cdot\text{sec}$ 였다. (4)식을 이용하여 effective Debye length를 구한 결과 0.173×10^{-7} 로 나타났다. 그림 6은 온도에 따른 CdSe 薄膜의 저항률 변화를 측정된 것이다. 여기서 구한 V_{0b} 는 0.13eV 로써 상온에서 ϕ_{0b} 는 5가 된다. 또 $l \geq 2l_0$ 가 성립하므로 (16)식에 (13)식과 $L_c = l_0/2\Delta\phi$ 를 대입하면

$$\delta = \frac{l}{2l_0} \times q\mu_g n_{oc} \exp(-\phi_{0b}) \left[\left(1 - \frac{2l_0\sqrt{2\Delta\phi}}{h} \right) + \frac{2l_0\sqrt{2\Delta\phi} \left(\frac{\cosh \Delta\phi - 1}{\Delta\phi^2} \right)}{h} \right] \quad (23)$$

가 된다. 그림 7은 CdSe 薄膜 트랜지스터의 出力 특성을 측정된 것이다. $V_g = 0$ 일때 전도도를 구하면 $5 \times 10^{-4} \Omega^{-1}\text{m}^{-1}$ 이다.

이것을 (23)식에 대입하면 $\Delta\phi = 4.8$ 이 된다. 결국 ϕ_{0b} 는 무시할 수 있으며 표면에서의 band bending은 ϕ_{0b} 와 동일하다고 가정할 수 있다.

2. 薄膜 트랜지스터의 電子傳導

$\phi_{0b} < \phi_{0s}$, $l_0 > 2L_c$ 가 만족되므로 채널의 sheet con-

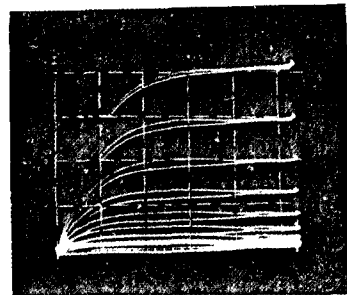


그림 7. 薄膜 트랜지스터의 出力 특성
Fig. 7. I-V characteristics of the T. F. T.

ductance는 (19)식으로 표현될 수 있다. 그리고 표면에서 일어나는 트랩핑을 고려하면 드레인 전류는 트랩인자와 (22)식의 관계를 갖는다. 여기서 게이트의 커패시턴스(C_g)는 $3 \times 10^{-4} \text{Fm}^{-2}$ 이다. 그림 8은 수치해석으로 구한 드레인 전류의 값과 실험으로 측정한 드레인 전류의 값을 비교한 것이다. θ_T 가 0.02일때 매우 일치하는 것으로 나타났다. 결국 형성되는 채널의 대부분이 트랩된다는 것이다. 그러나 여기에는 몇 가지 문제점이 존재한다. 薄膜 트랜지스터에서 반도체의 한쪽면은 절연체와 접촉되어 있지만 다른 한쪽은 공기와 접촉하고 있다. 그러나 본 논문에서는 양면다 동일한 가정, 즉 L_c 까지 반송자 밀도와 barrier potential이 거리의 일차함수로 증가한다고 하였다. 만약 표면에서의 band bending이 "dangling bond"에 의한 것 뿐이라면 위의 가정이 가능하다.

또 본 논문에서는 grain boundary에서 일어나는 트랩핑만 고려하였다. 그러나 실제 게이트 절연층에는 많은 트랩이 존재한다고 밝혀져 있다.¹⁸⁾

게이트에 전압이 걸리면 채널에 유도된 전자가 절연층에 존재하는 트랩의 영향을 받는다. 본 연구에 나타난 매우 낮은 θ_T 는 이 트랩을 고려하지 않았기 때문이라 생각된다. 실제 스핀터링하는 경우 많은 전하가

제조된 박막내에 존재한다.

이렇듯 여러 문제점을 연구과제로 남겨 두고라도 본 논문의 가정은 薄膜 트랜지스터의 측정결과와 잘 일치하고 있다. 이것은 다결정 반도체에서 반송자의 전도는 grain boundary에 의해 지배된다는 것과 트랩핑이 薄膜 트랜지스터의 특성에 중요한 역할을 한다는 것을 의미 한다.

V. 結 論

다결정 반도체의 grain boundary와 표면에서 일어나는 band bending을 가정하였다. CdSe를 반도체로 그리고 SiO_2 를 절연체로 사용하여 薄膜 트랜지스터를 제조하고 그 특성을 측정하였다.

실험을 통해 ϕ_{0s} 와 ϕ_{0b} 를 구한 결과 각각 5와 0.4로 밝혀졌다. Grain boundary의 barrier potential과 표면의 band bending 크기가 거의 같다는 것을 알 수 있었다. 그리고 트랩핑 인자를 사용하여 드레인 전류와의 관계식을 구하였다. 컴퓨터로 계산된 결과와 측정된 薄膜 트랜지스터의 출력 특성 곡선을 비교하였다. 트랩핑 인자는 0.02로 나타났고 이렇게 낮은 값은 절연층에서 일어나는 트랩핑의 영향으로 추정된다.

參 考 文 獻

- [1] Weimer, *Physics of Thin Films*. vol.2, pp.147, Academic Press, New York, 1963.
- [2] J.H. Fisher, M. Phil. Thesis. London University, 1972.
- [3] J.C. Anderson, *Barrier Limited Conductivity in Thin Film Transistors*. Thin Solid Films, 37, pp.127, 1976.
- [4] A. Many and N.B. Grove, *Semiconductor Surfaces*. North-Holland Publ. Co., Amsterdam, ch. 4, 1965.
- [5] S.M. Sze, *Physics of Semiconductor Devices*. John Wiley and Sons Inc., New York, pp. 431, 843, 1981.
- [6] C. Tickle, *Thin Film Transistors*. John Wiley and Sons Inc., New York, pp.73, 1969.
- [7] W.R. Runyan, *Semiconductor Measurements and Instrumentation*. Mc. Graw-Hill-Book Company, New York, pp.88, 1975.
- [8] 마대영, 김기원, "이산화규소의 덧치기 밀도와 포획 단면적", 대한전자공학회, 추계종합학술대회 논문집, vol. 6, no. 2., pp.263, 1983. *

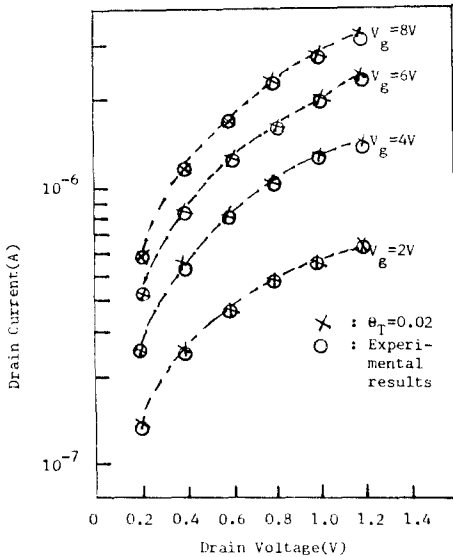


그림 8. 薄膜 트랜지스터의 출력 특성 (측정치와 계산치 비교)
 Fig. 8. I-V Characteristics of the T. F. T. (Comparison between calculated results and experimental results).