

CMOS Complex Gates의 테스트 생성 알고리즘

(A Test Generation Algorithm for CMOS Complex Gates)

趙相福*, 林寅七*
(Sang Bock Cho and In Chil Lim)

要 約

CMOS 技術의 發展에 따라 디지털 회로를 實現하는데 complex gate 構造를 많이 使用하게 되었다. CMOS complex gate에 대해 内部 게이트 應答과 unknown state 등을 考慮하여 모든 stuck-open(이하 s-op)과 stuck-on(이하 s-on) 故障를 檢出할 수 있는 새로운 테스트 생성 알고리즘이 提案되었다. 이 알고리즘은 minimal하고 complete한 테스트 集合을 구할 수 있게 해준다. 또한, 임의의 CMOS complex gate 회로에 대해 본 알고리즘을 適用시켜, 컴퓨터를 통해 그와 같은 테스트 集合이 구해짐을 立證하였다.

Abstract

With the advancement of CMOS technology, it has become attractive to employ complex gate structures in realizing digital circuits. A new test generation algorithm for CMOS complex gates to detect all stuck-open and stuck-on faults considering internal gate response and unknown state is proposed. Minimal and complete set can be derived by this algorithm. Also, it is verified that such a test set is generated applying this algorithm to arbitrary CMOS complex gates by computer.

I. 序 論

CMOS 論理회로는 低消費電力, 高集積度 등의 性質로 因하여 LSI/VLSI 회로方式으로서 널리 使用되고 있으며, 앞으로도 그 使用 範圍가 더욱 擴大될 展望이다. 따라서 이에 대한 테스트는 매우 重要な 問題로 擡頭되고 있다. 특히 CMOS는 現在까지 完全히 解決되지 않고 있는 stuck-open 故障이라는 故障狀態를 갖고 있고, 이 故障이 發生하게 되면 組合회로가 順序회로와 같은 動作을 하게 되어, 從來의 stuck-at 檢出方

式으로는 檢出이 不可能하다.^{1)~3)} 이러한 問題는 1978年 R. L. Wadsack¹⁾에 의해 提起된 以來 꾸준히 研究가 進行되고 있다. 1981年 McCluskey, Bozorgui-Nesbat²⁾ 등은 各 게이트의 出力에서 discharging paths를 만들어 테스트하는 方法을 發表하였다. Y. M. Elzig^{4),5)} 등은 s-op 故障를 包含한 s-at 故障를 檢出하기 위한 테스트 생성 方法에 關하여 研究하였으나, 實質적으로 이 方法은 아주 小規模의 CMOS 회로에만 適用이 可能하였다. 以後 1983年에 R. Chandramouli⁷⁾는 經路活性化 方法을 利用하여 s-op 故障를 檢出할 수 있는 方法을 提案하였으나, 이 方法은 NAND 혹은 NOR만으로 이루어진 universal gate 회로에만 適用할 수 있었다. 또한 같은 해에 Z. G. Vranesic^{5),6)} 등은 그래프 理論을 利用하여 CMOS 회로의 테스트를 구했

*正會員, 漢陽大學校工科大学電子工學科
(Dept. of Electron. Eng., Han Yang Univ.)
接受日字: 1984年 7月 30日

으나, 여기에서는 NMOS 회로의 테스트 생성 방법을 그대로 적용함으로써 알고리즘이 너무 복잡할 뿐만 아니라 테스트 시퀀스의 organizing에 있어서 heuristic method를 적용함으로써, complete test set을 구할 수 없다는缺點을 갖고 있었다.

本論文에서는 임의의 CMOS complex gates에 대하여 連結그래프를 利用하여 테스트를 일단 구한후, 内部 게이트 應答과 unknown 狀態등을 考慮한 規則的인 테스트 시퀀스의 organizing 方法을 提示함으로써 complete test set을 生成할 수 있게 한다. 또 임의의 CMOS complex gates에 適用하여, 發生할 수 있는 모든 s-op 故障의 檢出이 可能한, complete test set을 구할 수 있음을 보인다.

II. Stuck-Open 故障

CMOS 게이트는 primitive gates와 complex gates로 區分될 수 있고, complex gates는 적어도 primitive gates의 두 레벨 이상을 취하는 論理函數를 實現하는 게이트를 말한다.^{[4],[9]} primitive gates로 이루어진 회로에 대해서는 이미 많은 研究가 進行되어 왔으며, 本論文에서는 CMOS complex gates의 s-op 故障에 대한 테스트 생성 알고리즘에 대하여 論한다.

Complex gates의 s-op 故障를 테스트하기 위해서는 complex gates에 대해 入力은 外部에서 調整 可能하고(controllable), 出力은 觀察 可能하여야(observable)한다.^[4] 그리고 選擇된 故障가 N-part에 있으면 complex gates의 出力에 論理값 "1"을 生成시키고, P-part에 있으면 論理값 "0"을 生成시키는 set-up condition이 必要하게 된다. 즉, complex gates의 테스트 생성에 대한 基本原理는 s-op 故障가 發生했을 때 회로의 出力이 變하도록 테스트 狀態의 트랜지스터를 通해 單一 經路를 活性化시키는 入力 패턴을 구하는 것이다.

CMOS s-op 故障를 檢出하기 위하여 다음과 같은 定義를 내린다.

[定義 1] CMOS s-op 故障를 檢出 할 수 있는 two-pattern tests를 matching sequence라 한다.

[定理 1] CMOS 組合論理회로에서 matching sequence는 다음과 같은 T_1, T_2 , 2개의 連續인 入力 패턴으로 構成된다.

T_1 : T_2 入力이 印加될때 無故障狀態의 出力과 補數인 故障狀態의 出力을 갖게 하는 테스트 入力

T_2 : 테스트 狀態의 트랜지스터가 無故障狀態일때는 테스트 狀態의 트랜지스터를 거쳐 入力에서 出力까지 하나의 path를 活性化하고, 故障狀態일때는 出力을

high impedance 狀態로 만드는 入力.

(證明) 먼저 T_1 入力이 印加되었을 때 無故障狀態의 出力은 T_2 入力이 印加되었을 때 無故障狀態의 出力과 다르게 된다. 그 다음 T_2 가 印加되었을 때 테스트 狀態의 트랜지스터가 s-op 故障가 發生하면 出力은 high impedance 狀態가 되고, 이때 出力은 memory 動作을 行하므로 一定時間동안 前狀態 出力값을 갖게 되어 이때의 出力은 無故障狀態의 出力과 다르게 되므로 s-op 故障가 檢出된다. Q. E. D

III. CMOS Stuck-Open 故障에 대한 테스트 생성 및 Organizing

1. 連結 그래프

CMOS complex gates를 그래프 모델로 나타내기 위하여 다음 定義를 내린다.

[定義 2] CMOS complex gates에서 P-part에 대해 電源을 source로 出力을 sink로 하고, N-part에 대해 出力을 source로 接地를 sink로 했을 때 트랜지스터를 하나의 branch로 보아 모델화한 그래프를 連結그래프라 한다.

이때 P-part와 N-part를 分離하여 各各 G', G 로 나타내며 内部 게이트를 g_1, g_2, \dots, g_m 이라 할때 $g_1 \rightarrow g_2 \rightarrow \dots \rightarrow g_m$ 과 같이 繼續 代入하여 이 連結그래프를 구하게 된다. 또한, 이 連結그래프에는 다음과 같은 定理가 成立하게 된다.

[定理 2] 連結그래프 G', G 는 complex gates의 出力 函數를 나타낸다.

(證明) CMOS complex gates에서는 電源에서 出力으로 또는 出力에서 接地로 path가 形成되었을 때 transmission이 일어나고, 出力函數는 모든 transmission 狀態를 나타내며, 故障狀態以外에는 어떤 入力組合에 대하여 出力은 G', G 에서의 path로 나타내게 되므로 G', G 는 出力函數를 나타낸다. Q. E. D.

連結그래프에서 트랜지스터의 수가 총 $2n$ 일때 P-part는 $1', 2', \dots, n'$ 까지 N-part는 $1, 2, \dots, n$ 까지 入力과 同時에 合하여 라벨을 붙인다. 이때, 入力은 P-part에서는 bar를 붙이고 N-part는 붙이지 않는다. 또한 게이트 出力函數는 다음 定理와 같다.

[定理 3] 게이트 出力函數를 F 라 하고 G', G 로 나타낼 수 있는 函數를 各各 FG', FG 라 할때 $F = FG' = FG$ 의 關係가 成立한다.

(證明) [定理 2]에서 傳達函數는 連結그래프에서 모든 path들로 決定될 수 있고 CMOS complex gates의 構造상 G' 와 G 는 完全 complementary이며, G' 에서의 path는 path가 形成되었을 때 出力이 1이 되고, P-

part의 트랜지스터는 게이트 입력이 0일때 on이 된다. 그러므로 $F=FG'$ 가 되고 이것은 N-part에 대해서도 같으므로 $F=FG'$ 가 되며 결국 $F=FG'=FG$ 가 된다. Q. E. D.

연결그래프를 다음 그림 1과 같은 회로를 예로 들어 나타내면 그림 2와 같다. 이때 출력 F는

$$F=FG'=\overline{AB}+BC=\overline{FG}=\overline{AB+TC}$$

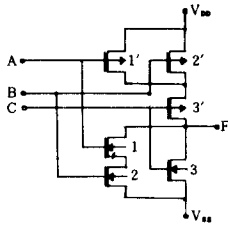


그림 1. CMOS 논리게이트
Fig. 1. A CMOS logic gate.

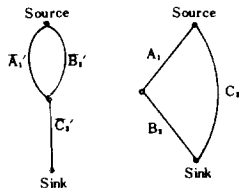


그림 2. 연결그래프 표현
Fig. 2. Connection graph representation.

2. Stuck-open, Stuck-on故障의檢出

연결그래프에서 G', G사이에는 對應하는 branch가 補數쌍의 트랜지스터를 나타내고 補數의라벨을 갖고 있다. 이때 s-op故障는 branch를 open하는 것과 같으며 이것은 branch 라벨을 0로 바꾸는 것과 같은 효과이고, s-on故障는 branch가 恒常 導通하도록 2개의 end node를 short시키는 것과 같고 이것은 branch 라벨을 1로 바꾸는 것과 같은 효과이다. 이 두가지는 CMOS complex gates에서 s-op, s-on故障를 모델화할 수 있으며 어떤 테스트 t에 대하여 다음 定理가 成立한다.

[定理 4] N-part에서 트랜지스터 k의 open故障를檢출할 수 있는 테스트 t는 P-part에서 트랜지스터 k'의 short故障를檢출할 수 있으며 그 逆도 成立한다.

(證明) CMOS complex gates의 N-part는 G로 表示되고 거기에서 만약 A_k branch의 open故障가 生길다면 그것은 A_k 를 0로 變化시키는 것과 같다. P-part에 對해 G'의 對應하는 branch는 라벨 $\overline{A_k}$ 를 갖고 있으며 A를 0로 하는 것은 \overline{A} 를 1로 하는 것과 같고 그것은 G'안의 branch $\overline{A_k}$ 의 short故障의 效果와 等價이다. Q. E. D.

이 定理는 모든 open故障를檢출할 수 있는 테스트 集合은 모든 short故障도檢출할 수 있음을 나타낸다. 이와 같은 連結그래프에서 source에서 sink까지 하나의 經路만을 活性化하는 테스트 t는 經

路中 어떤 branch가 나타내는 트랜지스터의 s-op故障도檢출할 수 있다. 즉, 앞의 그림 2에서 테스트 t가 $\overline{A}B\overline{C}$ 일때는 $\overline{A}_1'-\overline{C}_3'$ 의 單一經路가 活性化되며 이것은 1'와 3'트랜지스터의 s-op故障를檢출할 수 있고, 테스트 t가 $\overline{A}B\overline{C}$ 일때는 $\overline{A}_1'-\overline{C}_3'$ 와 $\overline{B}_2'-\overline{C}_3'$ 의 두經路가 活性化되며 이때는 두 經路의 共通 branch가 나타내는 3'트랜지스터의 s-op故障만이檢출된다.

3. 테스트 생성 및 사이클스의 Organizing

Branch故障와 트랜지스터의故障과는 앞에서와 같이 直接 關聯이 있고 이것을 利用하여 테스트를 生成한다. 單一經路를 活性化시키는 테스트 패턴을 구하는 것이 重要하고, 이것으로 不足할때는 多重經路를 活性化시키는 테스트 패턴을 구하여 共通 branch가 나타내는 트랜지스터의 s-op故障를檢출한다. 單一經路 및 多重經路 모두다 테스트 패턴을 구할때는 #operation⁵⁾을 利用한다. 2n개의 모든 트랜지스터에 對한故障를 모두 cover할 수 있는 테스트 集合을 구한 후 그다음 과정으로 테스트 集合을 organizing한다. 이때 勿論 定理 1의 matching sequence의 原理가 모든 連續되는 테스트 쌍에 對하여 繼續 適用된다. 例로서 그림 3과 같은 임의의 CMOS complex gate에 對한 連結그래프 G를 그림 4에 나타냈다.

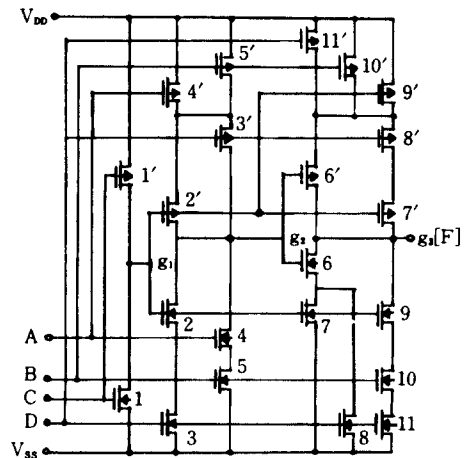


그림 3. 임의의 CMOS complex gate
Fig. 3. Arbitrary CMOS complex gate.

이때 그림 3의 회로를 内部 게이트별로 나타내면 다음과 같다. 즉, $g_1=\overline{C}$, $g_2=\overline{g_1D+AB}$, $g_3[F]=g_2(g_1+\overline{D})+g_1BD=\overline{B}C\overline{D}+ABC+AB\overline{D}+C\overline{D}$. 여기에서 테스트 $t=\overline{A}BCD$ 는 單一經路 $\overline{A}_1, 2, 6-D_8$ 을 活性化시킨다. 즉, 첫번째 게이트에서는 1, 두번째 게이트에

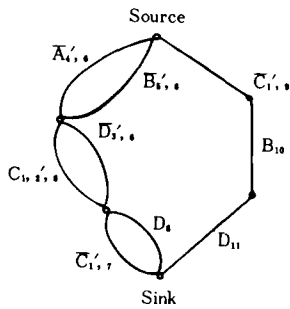


그림 4. 그림 3에 대한 연결그래프 G
Fig. 4. Connection graph G for Fig. 3.

서는 2', 4', 세번째 게이트에서는 6, 8의 conducting path를 활성화하고 이중 어느 한 트랜지스터가 open 되면 path가 끊어지게 된다. 이때 檢出 가능한 트랜지스터의 s-op故障의 集合을 게이트에 따라 묶으면 $\{1, 12', 4', 16, 8\}$ 과 같이 되고, 各各 内部 게이트의 應答은 0, 1, 0가 된다. 즉, prime이 있는가 없는가에 따라 conducting path가 P-part에 있는가 N-part에 있는가를 알 수 있고, 만약 prime이 있으면 게이트의 正常應答은 論理값 "1" 없으면 論理값 "0"가 되어야 한다. 이렇게 하여 모든 單一經路 및 多重經路에서 全体 트랜지스터의 s-op故障를 檢出할 수 있는 테스트 集合이 生成되면, 그다음 과정은 테스트 集合의 organizing이 된다. 從來의 方法은 우선 生成된 모든 테스트 集合에 대하여 最終 게이트 出力이 0 또는 1에 따라 T_0, T_1 集合으로 分類하고 matching sequence의 原理를 使用하기 위하여 T_0, T_1 을 交代로 選擇하면서 檢出 가능한 故障를 故障 리스트에서 除去해 나가는 方法이었다. 그리고 모든 테스트 集合을 organizing한후에 檢出되지 않는 故障에 대하여 테스트 集合중 各 테스트에 依하여 活性化된 經路에서 檢出되지 않는 故障를 包含한 테스트를 選擇하여, 모든 故障가 檢出될 때까지 繼續 테스트 시퀀스를 구하는 heuristic한 方法^{[5][6]}을 使用했다.

그래서 이러한 점을 解決하기 위하여, 内部 게이트 應答을 알 수 없는 unknown 狀態, 選擇된 테스트에 대해 故障 리스트에서 남아 있는 트랜지스터 라벨의 个数, 바로 前狀態의 테스트와 現在 테스트의 内部 게이트 應答과를 比較할 때 서로 상이한 것의 个数등 세 가지 條件을 같은 weight로 하여 T_0, T_1 중에서 交代로 選擇하므로써 minimal하고 complete한 테스트 集合을 구할 수 있게 한다.

4. 테스트 生成 및 Organizing 알고리즘

以上과 같은 것을 모두 考慮하고 앞에서의 定義 및

定理等을 使用하여 임의의 CMOS complex gates에 대하여 minimal하고 complete한 테스트 集合을 구하는 알고리즘은 다음과 같다.

Step 1 : 連結그래프 G, G'를 구한다.

Step 2 : G, G'에 대해 source로 부터 sink로 가능한 모든 path들을 찾는다.

(이경우 모든 path들의 集合을 Z라 하고, G, G'에서 path들의 集合을 各各 ZG, ZG'라 했을때 全体 path들의 集合 $Z=ZG+ZG'$) 이때 path들중 $X \cdot \bar{X}$ 와 같은 0라벨은 이 테스트 패턴에 의해 單一經路가 形成될 수 없으므로 除外한다.

Step 3 : 테스트 集合을 구한다.

(節次 1) ZG, ZG'에 대한 單一經路 活性化를 行한다.

(節次 2) ZG, ZG'에 대한 多重經路 活性化를 行한다.

(節次 3) 節次 1, 2에서 구한 테스트 各各에 대해 活性化된 經路和 게이트 應答과 게이트에 대한 트랜지스터의 라벨을 T_0, T_1 별로 리스트 한다.

Step 4: 3가지 條件을 考慮한 테스트 集合의 organizing

(條件 1) 現在狀態에서 選擇된 테스트에 대해 트랜지스터 라벨이 故障 리스트에 남아 있는 양을 RD_i (i는 남아 있는 个数)라 한다.

(條件 2) 바로 前狀態의 테스트의 内部 게이트 應答과 現在 테스트의 内部 게이트 應答과의 補數關係를 考慮하여 補數가 되는 个数를 C_i 라 한다. (i는 補數가 되는 个数)

(條件 3) 内部 게이트 應答에서 unknown state (컴퓨터 結果에서는 -로 表示)의 个数를 U_i (i는 个数)라 한다.

(節次 1) $T_0(T_1)$ 에서 條件 RD_i 가 가장 큰 것을 選擇한다. 큰것이 여러개이면 맨처음 것을 選擇한다.

(節次 2) T_1 에서 條件 1, 2, 3을 같은 weight로 하여 $(RD_i + C_i - U_i)$ 가 가장 큰 것을 選擇하고 matching sequence 比較檢出과정을 遂行한다.

(節次 3) CFL(現在 故障 리스트)이 ϕ 이면 節次 6을 遂行하고 아니면 節次 4를 遂行한다.

(節次 4) T_0 에서 條件 1, 2, 3을 같은 weight로 하여 $(RD_i + C_i - U_i)$ 가 가장 큰 것을 選擇하고 matching sequence 比較檢出과정을 遂行한다.

(節次 5) CFL이 ϕ 이면 節次 6을 遂行하고 아니면 節次 2를 遂行한다.

(節次 6) 終了

Matching sequence 比較檢出과정 : 바로 前狀態 테

스트의 内部 게이트 應答과 現在 테스트의 内部 게이트 應答과를 比較하여 前狀態 테스트에 의해 活性化된 經路에서 補數가 되는 게이트에 속한 트랜지스터 들의 라벨만을 그때의 CFL에서 除外한다.

IV. 알고리즘 實現 및 結果

本 알고리즘을 VAX11/780으로 實現하여 그림 3 및 그림 5와 같은 回路에 適用하여 보았다. 그 結果는 표 1 및 표 2와 같다. 표 1의 테스트 시퀀스는 從來의 heuristic한 方法에서 가장 最善으로 選擇되어 있을때의 테스트 시퀀스보다 하나 짧아진 complete test set을 나타내고 있다. 또한 그림 5는 4入力 AND의 實際 CMOS implementation으로, 本 알고리즘을 適用한 結果 역시 표 2와 같이 22개 트랜지스터 모두의 s-op 故障를 檢出할 수 있는 테스트 시퀀스를 구할 수 있었다.

以上과 같이 本 알고리즘은 임의의 CMOS complex gates에 대하여 從來의 方法보다 minimal하고 complete한 테스트 시퀀스를 구할 수 있게 하며 그 證明은 다음과 같다. 표 1, 2에서 21, 22, ..., 31등은 各各 1', 2', ..., 11'를 意味한다.

(證明) 2n개의 트랜지스터를 갖고 있는 CMOS回路에서 發生할 수 있는 모든 故障의 檢出은 2n개의 s-op 故障의 檢出로 可能하다. (2n개의 s-op故障의 檢出은 定理 4에 依해 2n개의 s-on故障의 檢出도 可能하다.) 또한, 알고리즘 step1에 依해 2n개의 트랜지스터는 모두 branch로 表示되고, 이것은 step2에서 모든 path에 라벨로 나타나게 된다. 또한 step 4의 節次 5에서 CFL(現在 故障 리스트)이 \emptyset 일때까지 遂行하므로 모

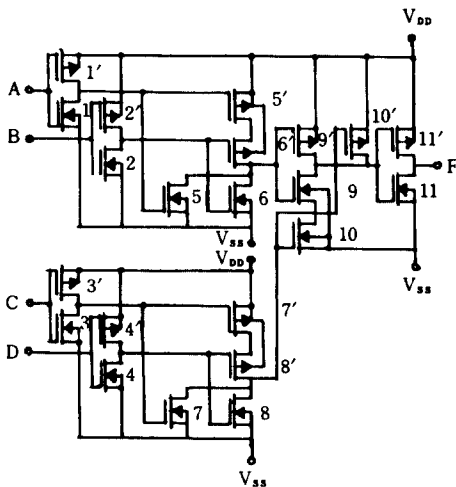


그림 5. 4入力 AND의 CMOS implementation
Fig. 5. CMOS implementation of four input AND.

든 2n개의 s-op故障이 檢出될 수 있다. 그러므로 여기에서 求한 테스트 集合은 complete하다. 그리고 이 테스트 集合은 從來의 方法에서 matching sequence의 原理를 適用할 때 T_0, T_1 集合을 heuristic하게 交代로 選擇하므로써, 境遇에 따라 테스트 集合의 길이가 달라지는 短點을 除去하였다. 즉, step 4에서 條件 1, 2, 3을 考慮해 주므로써 内部 게이트별로 最適의 matching sequence의 選擇을 可能하게 하므로 여기에서 求한 테스트 集合은 minimal하다. Q. E. D.

표 1. 그림 3에 대한 테스트 시퀀스
Table 1. Test sequences for Fig. 3.

***** TEST SEQUENCES *****												
ABCD -->	1	1	0	--	--	--	--	--	--	--	--	--
ABCD -->	0	0	1	1	4	5		26	29			
ABCD -->	1	1	0	21	23	24		6	7			
ABCD -->	1	0	1	--	2	3		26	30			
ABCD -->	0	1	0	1	22	25		6	8			
ABCD -->	0	-	1	--	--	--	--	27	28			
ABCD -->	1	-	0	21	--	--	--	9	10	11		
ABCD -->	-	0	1	--	--	--	--	26	31			

표 2. 그림 5에 대한 테스트 시퀀스
Table 2. Test sequences for Fig. 5.

***** TEST SEQUENCES *****												
ABCD -->	1	-	-	0	-	1	0	--	--	--	--	--
ABCD -->	0	0	0	1	1	0	1	--	25	26	--	9 10 31
ABCD -->	1	-	-	0	-	1	0	21	--	--	5	-- 29 11
ABCD -->	0	0	0	0	1	1	0	1	1	--	25	26 -- 9 10 31
ABCD -->	-	-	1	-	-	0	1	0	--	23	--	7 30 11
ABCD -->	0	0	0	0	1	1	0	1	--	3	--	27 28 9 10 31
ABCD -->	-	1	-	-	0	-	1	0	--	22	--	6 -- 29 11
ABCD -->	0	0	0	1	1	0	1	--	2	--	25	26 -- 9 10 31
ABCD -->	-	-	1	-	0	1	0	--	--	24	--	8 30 11
ABCD -->	0	0	0	0	1	1	0	1	--	4	--	27 28 9 10 31

V. 結 論

CMOS에서 特別한 故障形態인 s-op, s-on故障를 連結그래프를 利用하여 檢出하는 效率의인 알고리즘을 提示하였다. 從來의 方法이 primitive gate 回路에 대하여 適用되는데 반하여, 本 알고리즘은 임의의 CMOS complex gate 回路에 適用할 수 있다. 特別히 方法은 從來의 方法에서 complete test set을 구할 수 없었던 短點을 解決하여 minimal하고 complete한 테스트 集合을 구할 수 있게 하였다.

本 알고리즘을 VAX11/780상에서 PASCAL로 實現하여 임의의 CMOS complex gate에 適用하여 本 結

果, 發生할 수 있는 모든 트랜지스터의 s-op 故障의 檢出이 可能한 complete test set을 구할수 있었다. 이 방법은 CMOS 論理回路의 테스트에 있어 從來方法에 비하여 故障檢出率을 높일 수 있으며, 이러한 非古典的 故障을 考慮한 testable design에 대한 研究는 CMOS VLSI 設計에 매우 重要하다고 생각된다.

參 考 文 獻

- [1] Wadsack, R.L., "Fault modeling and logic simulation of CMOS and MOS integrated circuits," *BSTJ*, vol. 57, pp. 1449-1474, May-June, 1978.
- [2] J. Galiay, et., "Physical versus logical fault models MOS LSI circuits: impact on their testability," *IEEE Trans. on Computers*, vol. c-29, no.6, pp.527-531, June, 1980.
- [3] E.J. McCluskey and S. Bozorgui-Nesbat, "Design for autonomous test," *IEEE Transactions on Computers*, vol. C-30, no.11, pp. 866-875, Nov., 1981.
- [4] Y.M. Elziq and R.J.Cloutier, *Functional Level Test Generation for Stuck-open Faults in CMOS VLSI*. Digest of Papers, International Test Conference, pp. 536-546, 1981.
- [5] Chiang, Kuang-Wei and Vranesic, Zvonko G., *Test Generation for MOS Complex Gate Networks*. The 1982 International Symposium on Fault-Tolerant Computing, Santa Monica, California, June, 1982.
- [6] Chiang, Kuang-Wei and Vranesic, Zvonko G., *On Fault Detection in CMOS Logic Networks*, IEEE 20th Design Automation Conference, pp. 50-56, 1983.
- [7] Chandramouli, R., *On Testing Stuck-Open Faults*. The 1983 International Symposium on Fault-Tolerant Computing, Milano, Italy, June 28-30, 1983
- [8] 趙相福, 林寅七, "CMOS VLSI Stuck-open Fault 에 대한 Test Generation", 大韓電子工學會 秋季綜合學術大會 論文集, vol. 6, no.2, pp. 215 ~218, 1983.
- [9] 趙相福, 申容澈, 林寅七, "連結그래프를 利用한 CMOS 論理回路의 테스트 生成 알고리즘", 大韓電子工學會 夏季綜合學術大會 論文集, vol. 7, no. 1, pp. 245 ~249, 1984.