

CdSe 薄膜半導體의 搬送子 密度

(Carrier Densities of CdSe Thin Films)

金 基 完*

(Ki Wan Kim)

要 約

一般的으로 單結晶半導體試片에서는 그의 自由搬送子 密度값이 測定方法을 달리해도 一定하다. 그러나 CdSe 薄膜半導體의 自由搬送子 密度값은 測定方法을 달리했을 때 다르게 나타난다. 본 研究에서는 C-V 方法, Seebeck 効果 및 a. c. Hall 効果를 통해서 測定한 CdSe 薄膜半導體의 自由搬送子가 $10^{18}/\text{cm}^3 \sim 10^{24}/\text{cm}^3$ 범위의 값을 나타냈다. 이들 값의 차이를 나타내는 原因을 論議하고저 한다.

Abstract

Generally, free carrier densities of single crystal semiconductors are indifferent to methods of measurement. Free carrier densities of CdSe thin films, however, were measured in various values with different methods. In this paper, C-V method, Seebeck effect and a.c. Hall effect were used to measure carrier densities of CdSe thin films. Carrier densities of CdSe thin films were in the range of $10^{18} - 10^{24}$ carriers/cm³. And causes of different results were discussed.

I. 序 論

CdSe 박막트랜지스터를 제작하고 그 특성을 조사하는 데 있어서 經時效果에 의한 드레인 전류가 변하는 현상을 발견하였다.^{1,2} 이는 CdSe 박막트랜지스터 회로의 부품으로 쓸 때 그 특성이 시간이 지남에 따라 변하기 때문에 그 회로에 큰 혼란을 일으키게 된다. 그래서 그 원인을 조사하는 가운데서 박막반도체의 자유반송자 밀도를 측정하기에 이르렀고, 測定方法에 따라서 그 값이 각각 다르게 나타났다. CdSe 반도체 박막이 多晶質로 되어 있기 때문에 電氣傳導 過程이 복잡함을 알 수 있다.

우선 본 논문에서는 CdSe 반도체 박막에서의 자유반송자 밀도를 몇 가지 방법으로 측정하고 그 결과가 일치하지 않는 원인을 논의하고저 한다.

II. 實驗 및 測定結果

1. 試片製造

半導體의 덩어리 自由搬送子 密度(bulk free carrier Density)를 決定하는 좋은 方法은 金屬-絶緣體-半導體(MIS)인 3層構造를 만들고, 게이트 電壓을 걸어주었을 때 空間電荷電氣容量의 變化를 測定하는 데 있다.

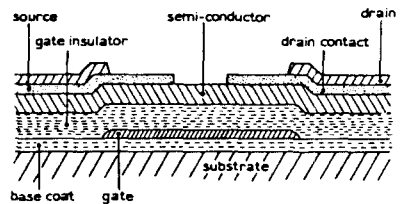


그림 1. MIS 구조의 박막 트랜지스터
Fig. 1. Thin film transistor with MIS structure.

*正會員, 慶北大學校 工科大學 電子工學科
(Dept. of Electron. Eng., Kyung Pook National Univ.)
接受日子: 1984年 2月 17日

그림 1은 試片의 단면도이다. 기판으로는 Corning 7059 슬라이드 유리를 사용했다. 게이트 전극은 Al (1000Å)을 진공증착했고, 소오스와 드레인인 CdSe

반도체와 저항성 접촉을 좋게 해주기 위해 약 50Å 정도로 Cr을 증착시킨 뒤 Al(1000Å)을 증착시켰다. 絶緣體層은 石英표적을 Sputtering(Ar95%, O₂ 5%) 시켜서 1000Å 두께의 SiO₂층으로 만들었다. 그리고 CdSe 분말(99.999% Nordiko 제품)을 진공증착시켜서 1000Å 두께의 반도체층을 만들었다. 同一基板上에 Seebeck 효과와 a. c. Hall 효과를 測定하기 위한 1000Å 두께의 반도체板을 同時に 제작했다.

2. 自由搬送子密度測定

Zaininger와 Heiman¹³은 MIS 구조의 試片에 게이트 電壓을 걸어주고 이때의 空間電荷電氣容量變化를 測定해서 박막반도체의 搬送子 密度를 알아냈다. 약간의 電氣容量값이 變해도 이에 해당하는 搬送子 密度값을 알아낼 수 있다. 본 실험에서 제조한 MIS 커패시터는 實效면적이 0.75mm²이었으며 절연층의 두께와 반도체층의 두께가 모두 1000Å이었다.

그림 2에는 $n_0=10^{22}\text{cm}^{-3}$ 과 $n_0=10^{24}\text{cm}^{-3}$ 에 해당하는 理論曲線¹³과 本 試片에 대해서 求한 곡선이 표시되어 있다.

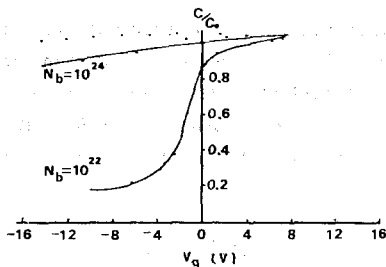


그림 2. C-V 곡선
Fig. 2. C-V curves.

CdSe 薄膜은 인가한 電壓에 대해서 전기용량값이 거의 變化되지 않았고 搬送子 密度값은 10^{24}cm^{-3} 임을 알 수 있었다.

CdSe 薄膜의 搬送子 密度를 決定하기 위해 두 번재로 적용한 방법은 熱起電力 즉 Seebeck 係數를 測定한 것이다. 基板上에 있는 CdSe 슬라브(slab)양끝에 두개의 熱電帶를 固定시키고 한 쪽에 加熱棒을 접촉시킨다. 이때 試片을 가로질러 溫度差가 생기며 이 溫度差는 熱電帶로 測定한다. 同時に 形成된 電位差도 同一 導線으로 測定했다. 溫度降下와 電位差의 비가 Seebeck 係數 Q_s 이다. Q_s 와 덩어리에서 搬送子 密度 N_0 와 價傳導帶의 狀態密度 N_c 와는 다음과 같은 관계를 갖고 있다.¹⁴ 즉,

$$Q_s = -\frac{k}{q} \ln \frac{N_c}{N_0} + c \quad (1)$$

이다. 여기서 k 는 Boltzmann의 상수, q 는 電子의 電

荷量, 그리고 ϵ 는 반도체내에서 散亂過程에 依存되는 因子로 0에서 2사이의 값을 갖는다. 本 實驗結果에서도 이 ϵ 의 값을 어떤 것으로 하느냐가 문제였다. 더 좋은 情報가 없으므로 1로 取했다. CdSe의 N_c 값은 $1.17 \times 10^{24}\text{m}^{-3}$ 이다.¹⁵ 여러 試片에 대한 Seebeck 係數 값은 0.5~1.0mV/k 범위였다. 이 값을 위 (1)式에 代入해서 구한 N_0 는 $3 \times 10^{19} \sim 10^{22}\text{m}^{-3}$ 범위였다.

세번재로 적용한 방법은 半導體膜의 比抵抗을 測定하는 것이다. 標準四단점법을 적용했다.¹⁶ 건전지를 사용해서 試片에 電流를 흐르게 했고, 두 쌍의 전극사이를 가로지른 電壓은 Keithley 616electrometer로 測定했다. 試片의 抵抗때문에 높은 入力 임피던스를 갖는 electrometer가 必要했다. 大部分의 試片은 $10^2 \sim 10^3$ ohm meter범위의 比抵抗 값을 갖고 있다. 傳導率은 搬送子 密度, 搬送子 移動도와 電子의 電荷量과의 곱으로 나타난다. 比抵抗으로부터 搬送子 密度와 移動도의 곱을 구할 수 있다. 이 값은 $10^{21} \sim 10^{22}\text{m}^{-3}$ 범위였다. 搬送子 密度를 求하기 위해 搬送子 移動도 값을 구해야 한다. Van Heek¹⁷에 의한 a. c. Hall 효과 測定結果 電荷 搬送子 移動도 값은 $10^{-3} \sim 10^{-2}\text{m}^2/\text{V}\cdot\text{sec}$ 범위였다. 이 數值를 比抵抗값에 代入하면 搬送子 密度는 $10^{18} \sim 10^{20}\text{m}^{-3}$ 범위의 값이었다.

III. 結果의 論議

C-V방법으로 구한 CdSe 박막의 自由搬送子 密度값은 10^{24}m^{-3} 였고, Seebeck 係數와 比抵抗測定에서 구한 그 값은 $10^{18} \sim 10^{22}\text{m}^{-3}$ 범위에 속하는 값들로 그 測定方法에 따라 結果가 一致하지 않는다. 그러나 單結晶 半導體 試片의 自由搬送子 密度값은 測定方法을 달리해도 그 結果가 一致함을 볼 때 박막반도체에 대한 그 값을 決定함에 있어 심사숙고해야 한다. 우선 진공증착해서만든 CdSe 半導體 薄膜은 多晶質로 되어 있다. 이것은 알갱이(grain)사이의 接觸領域이 알갱이 境界領域으로 되어 있는 많은 개개의 알갱이로 되어 있다. 알갱이 경계는 결정의 中心領域인 덩어리(bulk)狀態의 性質과 아주 달라서 이 物質의 舉動原因을 이들 알갱이 경계로부터 찾아야 한다.

半導體의 自由表面에서와 같은 알갱이 境界에는 高密度의 덩어리狀態가 存在한다. 結晶表面 근처에 있는 많은 電荷搬送子は 이 자리에서 덩어리 결될 것이고 空間 電荷領域이 形成될 것이다. 이 領域은 結晶의 表面에서 덩어리(bulk)속으로 확장하게 된다. 各 알갱이 境界에는 이와 같은 空間領域이 두 개가 存在하게 된다. 즉 境界의 各 자리에 있는 結晶에 하나씩 공간영역이 있게 된다.

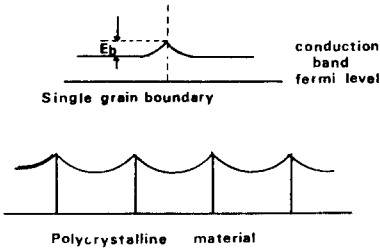


그림 3. 에너지 장벽
Fig. 3. Energy barrier.

그림 3 에는 알갱이 境界에서의 에너지 準位圖가 나타나 있다. 여기서 E_b 는 障壁의 높이이며, 많은 알갱이 境界領域이 包含되어 있음을 알 수 있다. 이 多晶物質에 게이트 電場을 걸어 주었을 때의 傳導過程과 傳導率의 變調에 關於하여 Anderson¹⁾이 調査하였다. 그에 의하면 多晶質 薄膜의 搬送子 移動도는 單結晶 物質에서보다 아주 작다는 것이다.

物質內에 電流를 흐르게 하려면 電場이 있어야 한다. 이 電場은 알갱이 境界의 한 쪽 장벽의 높이를 증가시키게 하고 다른쪽의 장벽높이는 감소시킬 것이다. 그래서 傳導過程을 完全히 理解하려면 이와 같은 장벽의 높이에 의한 效果에 關於한 것을 알아야 한다.

박막트랜지스터에서와 같이 電流를 變調시키기 위해 模斷電場이 加해지면 문제는 더욱 복잡해진다. 이와 같은 전장은 半導體內에 附加的인 電荷를 蓄積시킨다. 單結晶 物質에서는 이와 같은 電荷全體가 可動되어 半導體의 傳導率을 向上시키게 된다. 多晶質膜에서는 도전율을 變化시키는데 있어 몇 가지 과정이 발생하게 된다.

우선은 半導體-絶緣體의 界面에서 덫치기 때문에 電荷의 一部分이 덫에 걸려 不動하게 된다. 誘導된 나머지 電荷가 이 반도체의 전도향상에 기여를 하게 된다.

알갱이 境界에서 덫에 걸린 電荷는 不動하게 되었을 뿐만 아니라 이것이 空間電荷領域의 電荷分佈를 바꿔 놓게 된다. 다른 말로 표현하면 結晶사이의 장벽높이가 덫에 걸린 유도된 전하때문에 변화된다. 그러므로 搬送子の 운동이 장벽에 의해 방해받는 정도가 변하게 되고 따라서 移動도가 변하게 된다. 물론 이것도 전도율을 변하게 한다. 그래서 多晶質 半導體 薄膜의 전도율을 變調시키는 데는 두 가지 方法을 생각할 수 있다. 즉 보통 搬送子 密度를 變調시키는 것과 알갱이 相互 포텐셜장벽의 높이를 변화시켜 移動도를 變調시키는 것들이다.

앞에서 C-V 方法으로 測定한 것이 比抵抗이나 열기전력으로 測定한 것 보다 더 높은 搬送子 密度값을 나타냈다는 것은 C-V 測定과 그 외의 方法사이에 근본

적으로 알갱이 境界라는 전지에서 볼때 C-V 方法은 “平行” 또는 “並列” 測定이고, 그 외의 것은 “直列” 測定인 것이다. 이것은 그림 4 에 표시되어 있다. 半導體가 薄膜으로 되어 있으므로 두께쪽을 향한 結晶粒子的 數는 薄膜에서 알갱이의 크기는 그 膜의 두께와 거의 같아서 膜의 두께쪽을 향한 알갱이 境界는 없다시피되는 것이다.

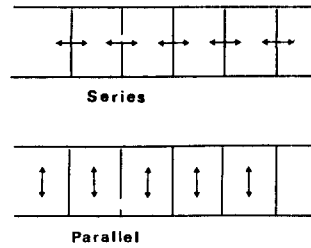


그림 4. 직렬 및 병렬전류
Fig. 4. Series and parallel current.

C-V 測定인 경우, 電氣容量이 半導體와 게이트 전극 사이에서 測定했으므로 電流는 膜面에 수직으로 흐르기 때문에 알갱이 境界에서는 平行으로 된 것이다. 그래서 알갱이 境界를 가로질러 흐르는 전류는 없게 된다. 따라서 搬送子 密度는 結晶의 덩어리 領域의 것으로 본다.

한편 比抵抗과 熱起電力 測定에서는 電流나 電荷의 흐름이 半導體의 膜面內에 있고 搬送子가 알갱이 相互間의 에너지 장벽을 가로질러 가야 한다. 이 경우 반도체는 두 개의 素子로 된 直列回路로 생각할 수 있다. 즉 하나는 半導體 덩어리와 다른 것은 空間領域이다.

比抵抗의 경우 半導體 物質을 抵抗體로 본 것이므로 空間領域으로 되었다고 보며, 또한 얻어진 搬送子 密度값도 空間領域인 것이다. 이러한 論議는 定量的인 근거가 뒷받침이 되어야 한다. 즉 이와같은 개념을 도입해서 實驗結果를 正當하게 分析하려면 半導體內에서 생기는 여러가지 현상에 의한 결과를 합하여 어떤 全體的인 效果를 나타내는 데 이를 數學的으로 해결하여야 한다는 것이다.

10^{24}m^{-3} 과 $10^{18} \sim 10^{22} \text{m}^{-3}$ 이라는 搬送子 密度값을 각각 덩어리(bulk)에서의 搬送子 密度와 장벽 꼭대기에서의 搬送子 密度값으로 생각한다면 그 장벽의 높이를 계산할 수 있다.¹⁾ 즉 障壁 꼭대기에서의 搬送子 密度를 n_g , 그리고 덩어리에서의 것을 n_b 라 하면

$$n_g = n_b \exp\left(-\frac{E_b}{kT}\right) \quad (2)$$

가 된다. 여기서 E_b 가 장벽의 높이이다(그림 3). 위에서 주어진 搬送子 密度값에 대응하는 장벽높이의 범위

는 0.12~0.35eV이다. Anderson^[9]이 CdSe TFT 에 대해서 계산한 결과 0.15~0.2eV라고 보고한 것과 비교할 때 위의 값은 상당히 가까운 값들이다.

IV. 結 論

CdSe 박막반도체의 자유반송자밀도값을 어떤 한 값으로 규정지운다는 것이 곤란하다. 왜냐하면 CdSe 박막이 박막트랜지스터에 사용될 때 전기전도도가 미치는 효과는 수평 및 수직성분의 것이 혼합되어 트랜지스터에 나타나기 때문이다. 본 연구에서는 두 성분을 알갱이 경계에 의한 효과로 설명했는데 앞에서 본 박막반도체의 전기전도에 관한 종합적인 모델이 설정되었으면 한다.

參 考 文 獻

- [1] 김기완, 이우일, 최시영, 이용현, "CdSe 박막 트랜지스터의 제조 및 특성", 대한전자공학회지, vol. 18, pp. 43, 1982
- [2] 마대영, 김기완, 이우일, "이산화규소 박막의 텃치기 밀도와 포획단면적", 대한전자공학회지 추계 종합 학술대회 논문집, vol. 6, no. 2, pp. 263, 1983.
- [3] K.H. Zaininger and E.P. Heiman, "The CV technique as an analytical tool Part I", *Solid State Technology*, vol. 13, pp. 49, 1970.
- [4] C.C. Allen and E.G. Bylander, *Evaluation Techniques for, and Electrical Properties of Silicon Epitaxial Films*. John Wiley & Sons, Inc, New York, 1963.
- [5] RICHARD H. Bube, *Photoconductivity of Solids*. John Wiley & Sons, Inc, New York, 1960.
- [6] W.R. Runyan, *Semiconductor Measurements and Instrumentation*. McGraw-Hill Book Co., 1975.
- [7] H.F. Van Heek, "Hall measurements of thin film by A.C.", *Solid State Electronics*, vol. 10, pp. 268, 1967.
- [8] J.C. Anderson, "Barriers-limited conductivity in thin film transistors", *Thin Solid Films*, vol. 37, 1976.
- [9] J.C. Anderson, *Trapping Centers in Sputtered SiO₂ Films*. Thin Solid Films, vol. 62, pp. 89-96, 1979.