

LSI의 Layout CAD에 관한 연구

-자동 배치 프로그램 개발-

(A Study on Layout CAD of LSI)

李 丙 鎬*, 鄭 正 和*, 林 寅 七*

(Byung Ho Lee, Jung Hwa Jung and In Chil Lim)

要 約

本 論文에서는 LSI layout의 配置 프로그램을 개발하고 그 실험 결과에 관해 論하였다.

100% 結線率 달성을 위해 가상 配線 經路法으로는 실제의 配線에 가까운 알고리즘을 도입하여 채널 密度 계산에 반영하였다. 목적함수로는 總配線長의 最小化, 通過線數의 最小化, 最大 채널 密度의 最小化를 동시에 산출 가능한 함수를 도입하였다.

제안된 가상配線經路 계산 알고리즘은 $O(n^2)$ 으로 계산시간이 매우 빠르고 最小配線長에 근사한 配線狀態를 나타내므로 配置 問題에 적용하기에 매우 적합하다. 이 알고리즘을 사용하여 自動 配置 프로그램을 개발하고 작성된 프로그램의 실험결과를 통하여 제안된 알고리즘의 有用性을 보였다.

Abstract

A placement program in LSI layout is developed and the results of test are discussed in this paper.

In order to achieve 100% wiring, this paper introduces, as a virtual routing method, an algorithm which is close to the real routing. This algorithm is reflected to calculate the channel density.

An object function is introduced to achieve minimization of total wire length, number of cuts, and maximum channel density simultaneously.

The time complexity for the proposed virtual routing algorithm is $O(n^2)$. The time required for the algorithm is very short. This algorithm represents the routing state which is close to minimum wire length. So this algorithm is very proper to the application of placement problem.

An auto-placement program is developed by the use of this algorithm. The efficiency of the proposed algorithm is shown in the test of the developed program.

I. 序 論

*正會員, 漢陽大學校 工科學 電子工學科
(Dept. of Electron. Eng., Han Yang Univ.)

接受日字: 1984年 5月 3日

(※ 本 論文은 1983年度 文敎部 學術研究助成費 支援
에 依하여 研究되었음.)

최근 VLSI의 集積技術의 눈부신 발달과 칩사이즈 (chip size)의 증대에 수반해서 1 칩內에 塔載해야 할 素子는 대폭 증대하고 있다. 반도체 集積回路에 있어 集積度 증가의 한계로서는 物理的 한계, 가공기술 한계 및 設計 능력의 3가지가 일반적으로 지적되고 있다.

이들중 設計 능력의 한계를 극복하며 동시에 設計工數의 단축을 위해 CAD技術은 필수 불가결한 것으로 되어 있다.

Layout 設計는 VLSI 設計 사이클中 시간이 가장 많이 걸리는 것으로 알려져 있으며 그에 대한 연구는 활발하다.^{[8][10][11][12]}

Layout 設計는 配置와 配線設計로 나누어서 행하여지고 있으므로 配置狀態의 良否는 配線의 결과로부터 評價할 수 밖에 없는 실정이다. 따라서 配置狀態의 評價는 100% 結線率의 달성을 위한 목적함수의 설정에 달려 있으며 동시에 가상配線經路法의 선택에 달려 있다. 지금까지 채택되어 온 목적함수로는 總配線長의 最小化,^[11] 通過線數의 最小化,^[12] 最大 채널 密度의 最小化^{[8][10]} 등이 있으며 이들중 配線채널密度가 한정되어 있는 경우는 最大 채널 密度의 最小化法이 유효한 것으로 알려져 있다.

그러나, 이들 목적함수의 산출이 가상配線經路로부터 계산되므로 궁극적인 목표인 100% 結線率을 달성하기 위해서는 실제의 配線에 가까운 가상配線經路를 택해야 한다. 가상配線經路法이 현실에 가까우면 가까울수록 계산시간은 지수함수적으로 증대되므로 이에 대한 알고리즘 개발이 시급한 실정이다.

중래의 配置狀態 評價를 위한 가상配線經路는 확률에 의한 配線經路로서 복수개의 가상經路에 균등한 확률을 부여한 方法으로 配線 테크노로지가 [8], [10]에 제시된 方法과 相異한 경우 그 評價의 精確도는 보증할 수 없는 단점을 갖고 있다.

本 論文에서는 layout의 궁극적인 목표를 달성하기 위하여 가상配線方法으로 실제의 配線에 가까운 方法을 도입하여 목적함수를 산출한다. 제안된 가상配線經路 계산을 위한 알고리즘은 $O(n^2)$ 으로 계산시간이 매우 빠르고 最小 配線長에 근사한 配線狀態를 나타내므로 配置 問題에 적용하기에 매우 有用하다.

이 알고리즘을 사용하여 自動 配置 프로그램을 개발하였고 끝으로 작성된 프로그램의 실험을 행하고 실험 결과에 관해서 기술한다.

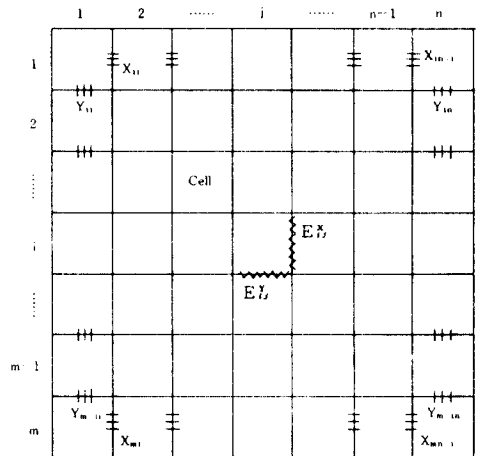
II. 準備 및 配置 알고리즘

本 論文에서의 配置 問題는 미리 크기가 결정된 2次元 基板(chip) 上에 같은 크기의 要素(module)를 配置하는 것으로 gate array 方式 LSI를 말한다. 配置 問題의 목적함수로는 總配線長의 最小化, 通過線數의 最小化, 最大 채널 密度의 最小化를 채택하고 있다. 配置 알고리즘은 直接 構成法에 의한 初期配置와 저자등에 의해 제안된 [8], [10]의 逐次 改良法을 사용한다.

이하의 용어를 정의한다.

- 모듈(module) : 配置하고자 하는 要素(보통 機能 블록이라 부름).
- 칩(chip) : 모듈을 配置해야 할 2次元 평면판.
- 셀(cell) : 칩을 구성하는 要素로 모듈이 이에 할당된다.
- 핀(pin) : 모듈상에 있는 端子로 타 모듈과의 電氣的인 접속을 한다.
- 信號線 : 모듈상의 몇 개의 핀을 電氣的인 等電位로 연결한 線.

칩은 m行 n列로 구성되고 그 칩상에 $m \times n$ 개의 모듈이 할당되어 지는 것으로 한다. 일반적으로 모듈의 수는 셀의 수보다 적지만 여기서는 信號線의 접속이 없는 모듈(dummy module)을 정의하고 兩者의 수는 같은 것으로 한다.



- E_{ij}^x : 횡방향 채널(X-directional channel)
단, $i=1, 2, \dots, m, j=1, 2, \dots, n-1$
- E_{ij}^y : 종방향 채널(Y-directional channel)
단, $i=1, 2, \dots, m-1, j=1, 2, \dots, n$
- C_{ij}^x : 채널 E_{ij}^x 에 수용 가능한 배선수
- C_{ij}^y : 채널 E_{ij}^y 에 수용 가능한 배선수
- X_{ij} : 채널 E_{ij}^x 의 통과 선수
- Y_{ij} : 채널 E_{ij}^y 의 통과 선수
- N_{xj} : j열 전 채널의 통과 선수
- N_{yi} : i행 전 채널의 통과 선수

그림 1. 칩의 구조와 기호
Fig. 1. Structure and symbol of a chip.

칩의 구조는 그림 1과 같고 인접한 셀의 경계를 채널이라 부르고 각 채널에는 收容 可能한 配線數가 주어지고 있다. 信號線의 配線經路는 채널의 列로서 나타나고 모든 信號線의 配線經路가 결정되면 각 채널을 통과하는 通過線數가 계산된다. 通過線數 X_{ij} 및 Y_{ij}

가 계산되면 總配線長 T 는 (1)식과 같이 모든 채널의 通過線數의 합으로 계산된다.

$$T = \sum_{i=1}^m \sum_{j=1}^{n-1} X_{ij} + \sum_{i=1}^{m-1} \sum_{j=1}^n Y_{ij} \quad (1)$$

通過線數 N_x 와 N_y 는 (2), (3)식으로 계산되며 총횡으로 $j=1, 2, \dots, n-1, i=1, 2, \dots, m-1$ 까지 각각 계산된다.

$$N_x = \sum_{i=1}^m X_{ij} \quad (2)$$

$$N_y = \sum_{j=1}^n Y_{ij} \quad (3)$$

각 채널의 채널密度는 각 채널에 주어진 配線容量數에 대한 通過線數로서 계산되며 最大 채널 密度 M 은 (4)식과 같이 구한다.

$$M = \max((X_{ij}/C_x^j), (Y_{ij}/C_y^i)) \quad (4)$$

配置 알고리즘은 直接構成法(初期 配置法)과 逐次改良法으로 이루어지며 直接構成法에서는 빠르고 좋은 初期解를 구하는 것으로서 信號線數에 착안하여 모듈을 順次的으로 (既配置 모듈에 연결되었던 信號線의 線數) - (未配置 모듈에 연결되었던 信號線의 線數)를 구하여 이 값이 최대로 된 모듈을 선택하여 局所的으로 제일 좋은 셀의 위치에 놓는 것으로 하였다.

逐次改良法은 종래의 FDPB法³⁾과 FDR法³⁾을 확장한 알고리즘¹⁰⁾으로서 $\lambda^*=4, \epsilon=4$ 까지를 채택하여 모듈의 交換을 실행한다. 그림 2를 참고로 交換에 관한 알고리즘을 간단히 기술하면, A가 交換 開始 모듈이 되어 A에서 B, C, D, E 다시 F, G, H, I 또다시 J, K, L, M으로 이어지는 交換 操作 순서에 의해 交換이 행해진다. 예를 들면 A→B→I→L로 이어지는 經路는 A, B, I, L을 각각 B, I, L, A가 있었던 위치에 삽입한다는 交換操作을 나타낸다. 이상의 交換操作을 $\lambda=2, 3, 4$ 에 대하여 행하고 모듈 交換의 여부는 가상配線 알고리즘에 의해 가상配線을 행한 후에 最大 채널 密度의 증감을 보고 판정한다. 또한 다른 각 모듈은 점차로

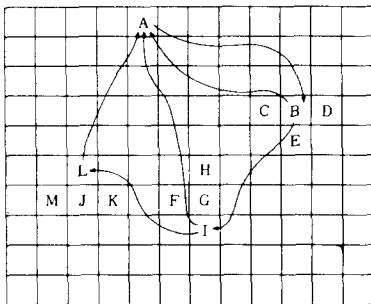


그림 2. 모듈의 교환
Fig. 2. Interchange of modules.

交換 開始 모듈이 되며 어떤 모듈을 선택해서 交換을 행하여도 最大 채널 密度의 개선이 없으면 交換 操作은 종료한다.

III. 가상配線經路 계산 알고리즘

문제의 본질을 명확히 하고 계산의 고속을 위해 다음과 같은 가정하에 문제를 취급한다.

- 1) 모듈 상의 핀의 위치는 고려하지 않고 信號線은 가상적으로 모듈의 中心間을 연결하는 것으로 한다.
- 2) 셀은 칩 상에 규칙적이고 縱橫으로 배열되어 있는 것으로 한다.
- 3) 信號線이 인접한 셀間을 연결할 때 그 길이는 1로 한다.
- 4) 하나의 셀에는 하나의 모듈이 할당되어 지는 것으로 한다.

알고리즘을 기술하면 다음과 같다.

단계 1) 初期값을 설정하고 모듈의 配置狀態를 입력한다.

단계 2) 信號線 집합(signal set)을 입력하여 모듈間의 코스트 行列을 구성한다.

여기서 코스트는 모듈間의 맨하탄 디스턴스(manhattan distance)를 말한다.

단계 3) 코스트가 가장 적은 것을 찾아 2 모듈을 결정한다. 같은 값이 복수개 있을 때는 임의로 선택한다.

단계 4) 2 모듈의 칩 상의 위치 좌표를 보고 같은 行 또는 같은 列에 있는가를 조사해, 같은 行 또는 같은 列에 있으면 단계 7로 간다.

단계 5) 2 모듈의 配線은 맨하탄 디스턴스法으로 행하는데 2 개의 經路中 經路 상에 존재하는 最大 채널 密度가 적은 쪽을 택해 配線한다. 만일 같은 경우는 현재 配線하고 있는 2 모듈과 코스트가 적은 모듈이 존재하는 쪽으로 配線이 격이게 선택해 配線한다.

단계 6) 配線 상의 꺾인 부분을 연결용 가상모듈(virtual module)로 정의하고 이 모듈과 未配線 모듈間의 코스트 行列을 구성하고 단계 8로 간다.

단계 7) 같은 行 또는 같은 列이면 그대로 직선으로 配線한다.

단계 8) 연결된 모듈間의 코스트를 최대값으로 수정한다.

단계 9) 信號線 집합 내의 모든 모듈이 연결되었는가를 조사하여 未연결 모듈이 있으면 단계 3으로 간다.

단계 10) 최종 信號線 집합을 配線하였다 조사하여 아직 信號線 집합이 남아 있으면 단계 2로 간다.

단계 11) 종료.

上記 알고리즘을 사용하여 구한 配線例를 그림 3에

프로그램 실험의 결과 표 1에서 보는 바와 같이 總配線長은 配置 개선의 반복 수행 결과 현저하게(약 4.5 % 정도) 감소하였다. 반복회수 6 회 이후는 어떠한 配置의 개선도 總配線長의 감소와 最大 채널 密度의 감소에 기여하지 못함을 의미한다. 표 2는 配置 개선의 반복 수행 결과 채널 密度의 분포를 보인 것이다. 표를 보는 바와 같이 最大 채널 密度 역시 뚜렷한 감소를 나타내고 있다.

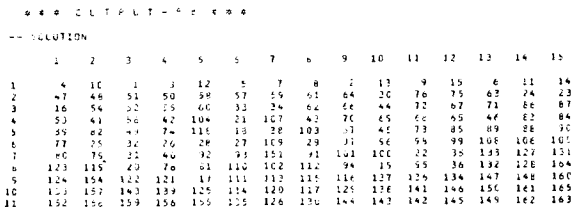
표 1. 總配線長의 감소
Table 1. Decrease of total wire length.

반복회수 구분	1	2	3	4	5	6
Vertical line	1,252	1,236	1,221	1,215	1,209	1,208
Horizontal line	916	884	872	868	867	867
Total line	2,168	2,120	2,093	2,083	2,076	2,075

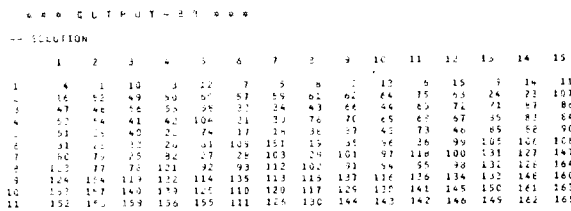
표 2. 채널 密度의 분포
Table 2. Distribution of channel density.

반복회수	채널밀도																	
	0.15	0.30	0.45	0.60	0.75	0.90	1.05	1.20	1.35	1.50	1.60	1.70	1.80	1.90	2.00	2.10	2.20	
1	34	24	31	26	30	29	30	24	20	10	9	9	11	7	5	3	1	1
2	36	24	30	24	34	27	26	27	21	13	9	8	8	7	6	3	1	0
3	35	28	32	31	21	24	27	23	18	22	7	8	7	5	3	2	1	0
4	38	21	38	29	25	30	24	24	21	24	8	6	4	7	2	2	1	0
5	38	20	39	32	26	25	27	24	19	22	8	7	5	7	3	2	0	0
6	38	21	38	33	26	23	27	25	19	22	8	7	6	7	3	1	0	0

그림 6은 1번 모듈에서부터 151번 모듈까지의 配



(a) 初期 配置 結果



(b) 최종 配置 結果

그림 6. 모듈의 配置 結果
Fig. 6. Placement of modules.

置 結果를 나타낸 것이고 152번에서 165번까지의 모듈은 信號線의 접속이 없는 모듈 번호이다. 그림 6의 (a)는 初期 配置의 結果이고 (b)는 6회 반복 配置 개선을 행한 후의 최종 配置의 結果이다. 한 예로 77번 모듈은 初期 配置 結果 6行 1列에 配置되어 있었는데 최종 配置 結果 8行 2列에 配置되었음을 보여주고 있다.

VI. 結 論

本 論文에서는 LSI의 layout 設計에 있어서 配置 프로그램 개발과 그에 대한 검토에 관하여 論하였다.

配置狀態의 評價를 위한 가상配線路는 실제의 配線處理 方法을 최대한으로 반영하여 개발한 알고리즘에 의하여 계산되었다. 개발된 配置 프로그램은 칩의 규모와 信號線 집합 정보만 입력으로 넣어주면 빠른 시간내에 最適에 가까운 配置 結果 및 각종 정보를 출력한다.

프로그램 실험의 結果 總配線長, 通過線數 및 最大 채널密度를 最大로 最小化시킨 配置의 結果가 얻어졌다.

本 프로그램은 CAD시스템中 layout 프로그램에 적용 가능하므로 設計 시간의 단축은 물론 LSI 생산의 최종 목표인 생산 코스트 절감을 달성할 수 있으리라 기대된다. 끝으로 本 研究는 1983년도 문교부 학술연구 조성비의 지원으로 이루어진 것임을 밝히며 이에 사의를 표하는 바이다.

參 考 文 獻

- [1] Hanan, M. and Kurtzberg, J.M., "Placement techniques." Chapt. 5 in *Design Automation of Digital Systems and Techniques*, 1, Breuer, M.A. ed., pp. 213-282, New Jersey, Prentice Hall, 1972.
- [2] Breuer, M.A., "A class of mincut placement algorithms," *Proc. 14th D.A. Conf.*, pp. 284-290, 1977.
- [3] Hanan, M., Wolff, P.K. and Anguli, B.J., "Some experimental result on placement techniques," *Proc. 13th D.A. Conf.*, pp. 214-224, 1976.
- [4] Sahni, S. and Gonzales, T., "P-complete approximation problem," *J. Assoc. Comput. Mach.*, vol. 23, no.3, pp. 555-565, July 1979.
- [5] Lin, S. and Kernighan, B., "An effective algorithm for travelling-salesman problem," *Oper. Res.*, 11, pp. 498-516, 1973.

- [6] Goto, S., "An efficient algorithm for two dimensional placement problem in electrical circuit layout," *Proc. 1979 ISCAS*, pp. 850-853, 1979.
- [7] Stevens, J.E., *Fast Heuristic Techniques for Placing and Wiring Printed Circuit Boards*. Ph.D. Thesis, Com. Scien. Univ. of Illinois, 1972.
- [8] 林寅七, 鄭正和, 李丙鎬, "LSI의 layout CAD에 있어서의 配線混雜度를 고려한 配置問題", 大韓전자공학회지, 제19권 제3호, pp. 19-27, 6月 1982年.
- [9] M.N.S. Swamy, *Graphs, Networks and Algorithms*. John Wiley, New York, pp. 95-175, 1981.
- [10] 李丙鎬, "LSI의 layout CAD에 있어서의 配置問題", 漢陽大學校 産業科學論文集, 제15집, pp. 37-43, 1983.
- [11] S.Goto and E.S. Kuh, "An approach to the two-dimensional placement problems in circuit layout," *IEEE Trans. CAS*, vol. CAS-25, no.4, pp.208-214, 1978.
- [12] S.E. Goodman and S.T. Hedetniemi, *Intro. to the Design and Analysis of Algorithms*. Cahpt. 4, McGraw-Hill, New York, pp. 170-205, 1977.
- [13] H. Shiraishi and F. Hirose, "Efficient placement and routing techniques for master slice LSI," *Proc. 17th D.A. Conf.*, pp. 458-464, 1980.
-