

IGFET 채널 電流 密度的 空間 變調 現象에 關한 研究

(Space Modulation of the Channel Current Density in IGFET by the Polarized Metal Gates)

羅 克 煥*
(Keuk Hwan Ra)

要 約

지난 수십년동안 많은 과학자들에 의해 초고주파대에서 부정 임피던스를 갖는 반도체 소자들이 개발되어 왔으나 이 소자들은 진공관 소자에 비하여 매우 낮은 출력으로 동작되고 있다. 그러므로 본 논문에서는 절연된 반도체 위에 주기적인 복수 게이트를 가진 MOSFET를 제안하여 연구하였다.

채널에 인하여 게이트상에 전압분포를 유기하고 이와같이 게이트 사이에 야기된 전위차는 채널에서 캐리어의 속도 또는 전류밀도의 공간변조를 일으키게 됨을 입증하여 이 소자가 고효율의 초고주파용 소자로 동작할 수 있는 가능성을 연구한다.

Abstract

Various efforts have been dedicated to obtain the negative impedances in microwave frequencies with semiconductor devices by many scientists for & some passed decades, and as a result, many solid state microwave devices have been developed. But they all have much less maximum power ratings with respect to the vaccum tubes.

In this paper, a MOSFET is proposed and studied, which have a periodic structure of multi-gates on the semiconductor via insulator.

The high electric field in the channel induces a voltage distribution on the gates by electrostatic coupling, and the polarization so induced between the gates is able to give a space modulation of the velocity of carriers or the current density in the channel, and as a natural consequence, a microwave amplifier with higher power ratings can be expected

I. 序 論

이미 개발되어 있는 초고주파용 반도체 소자들로서 PIN diode, Gunn diode, IMPATT diode, TRAPATT diode, BARRIT diode 등이 있으나, 이들 모두 수백KW 이상의 평균출력을 가질 수 있는 진공관에 비해 출력이 매우 낮아서 특수하게 설계된 것(약200W) 외에는

수 Watt이내이며, 특히 20GHz 이상의 높은 주파수에서는 불과 mW의 출력으로 동작되므로, 超高周波用 소자들의 소형화 내지는 solid state化가 높은 출력의 경우에는 아직 이루어지지 않고 있다. 이들의 특성이 저조한 이유는 전자의 走行時間을 증폭의 근원으로 하고 있기 때문에 주행길이가 주파수가 증가할수록 짧아져야 되고, 따라서 높은 전압을 印加할 수 없기 때문이다.⁽¹⁾

*正會員, 光云大學 電子工學科
(Dept. of Electronics Eng., Kwang Un Univ.)
接受日字 : 1984年 2月 24日

本 연구 논문에서는 FET의 채널 위에 여러 개의 금속 게이트를 주기적으로 두어 각 게이트간의 간격을 活性 영역의 기본단위로 함으로써 동작 주파수를 높일

수 있게 하며 또한 채널에는 충분히 높은 전압을 인가하여 출력을 크게 할 수 있는 가능성을 보이고자 한다.

본 연구에서 제안된 전자류의 공간 변조 현상을 이용한 소자들의 실예를 그림 1에 보였다.

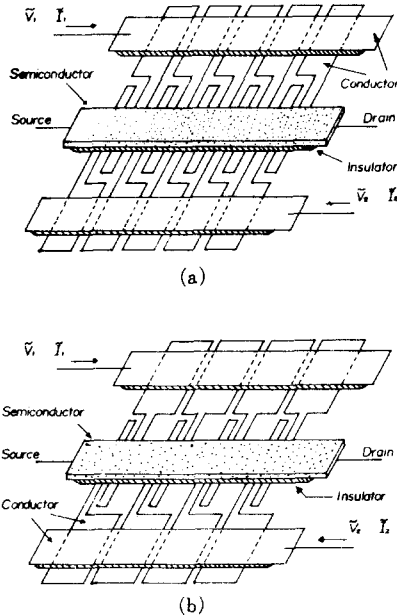


그림 1. 제안된 소자의 구조
Fig. 1. The structure of the proposed device.

이미 개발된 素子들중 이들과 유사한 것으로는 solid state TWT(그림 2)가 있는데 이것은 입력 교류신호의 位相速度를 전자류의 위상속도에 일치시키기 위해서 10³이상의 지연비(delay ratio)를 갖는 지연선(delay line)을 필요로 하므로 제작상의 어려움이 따를 뿐 아니라, 전자류의 변조가 입력 교류전압에 의해 이루어지므로 변조 深度가 얕아서 출력이 작다.¹³⁾

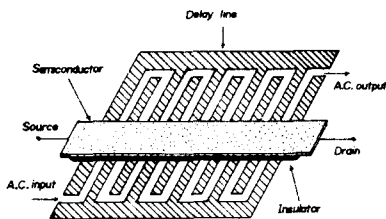


그림 2. 반도체 진행파관
Fig. 2. Solid state TWT.

II. Perturbation이 없는 반도체내에서의 Transport 현상

그림 3의 반도체에 대해 Boltzmann 방정식으로부터 얻어진 평형상태의 transport equation은 다음과 같다.

$$m^* \frac{d\vec{v}}{dt} = q(\vec{E} + \vec{v} \times \vec{B}) - \frac{m^* \vec{v}}{\tau} - kT \frac{\text{grad} \rho}{\rho} - k \text{grad} T \quad (1)$$

여기에서 \vec{E} 는 인가전계, ρ 는 총전하밀도, \vec{v} 는 캐리어의 속도, T는 절대온도, K는 Boltzmann상수, τ 는 relaxation time이다.

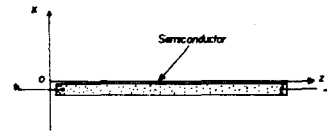


그림 3. 평형상태의 반도체
Fig. 3. Semiconductor at equilibrium.

이 그림과 같이 어떠한 perturbation도 인가되지 않은 상태에서 다음과 같은 가정을 할 수 있다.

- 1) 온도 T는 全 반도체에 걸쳐 일정할 것.
- 2) 한 가지의 캐리어만 있을 것.
- 3) 자계에 의한 힘이 작용하지 않을 것.
- 4) 이동도 μ 는 반도체내에서 等方性(isotropic)일 것.

이러한 근사적 가정은 도우핑이 한 가지로만 된 Si, GaAs, InSb의 경우에 collision frequency가 균일하다고 본 것으로 일반적인 상황하에서 실제 결과와 큰 차이가 없게 된다.¹⁶⁾

따라서 (1)식은 다음과 같이 쓸 수 있다.

$$q\vec{E} = m^* \frac{\vec{v}}{\tau} + kT \frac{\text{grad} \rho}{\rho} \quad (2)$$

(2)식을 다시 쓰면,

$$m^* \frac{\vec{v}}{q\tau} = -\text{grad} V - U_T \text{grad} \ln \frac{\rho}{\rho_0} \quad (3)$$

여기에서 $U_T (=kT/q)$ 는 thermal potential, V는 인가전압, ρ_0 는 정전하 밀도이다.

이제 kinetic potential을 ψ 라 할 때 위식으로부터 다음을 얻는다.

$$\psi = V + U_T \ln \frac{\rho}{\rho_0} \quad (4)$$

$$\vec{v} = -\frac{q\tau}{m^*} \text{grad} \psi \quad (5)$$

$$\rho = \rho_0 \exp\left(-\frac{V-\psi}{U_T}\right) \quad (6)$$

또한 일정 전류의 경우에 다음 식이 성립한다.

$$\text{div} \vec{J} = 0$$

다시쓰면

$$\rho \text{div } \vec{v} + \vec{v} \cdot \text{grad } \rho = 0 \quad (7)$$

이들 결과로부터 다음과 같은 poisson방정식을 얻는다.

$$\nabla^2 \psi = -\text{grad } \psi \cdot \text{grad} \left(\frac{V-\psi}{U_T} \right) \quad (8)$$

$$\nabla^2 V = -\frac{\rho}{\epsilon} \left[\exp\left(-\frac{V-\psi}{U_T}\right) - 1 \right] \quad (9)$$

위의 식들은 perturbation이 없는 경우에는 $\rho = \rho_0$ 이며 다음과 같은 해를 갖는다.

$$\psi = V \quad (10)$$

$$\nabla^2 V = 0$$

III. 반도체에 Perturbation을 주었을 경우

그림 4와 같이 반도체 채널위에 도체 게이트를 입히고 그 구조에 Gauss의 정리를 적용시키면,

$$(\rho - \rho_0) \delta = \frac{\epsilon_1}{h} (V - V_c) \quad (11)$$

여기에서 ϵ_1 는 절연체의 유전율이고 V_c 는 게이트 전압이다.

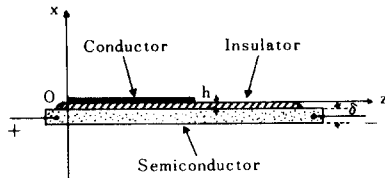


그림 4. 금속 게이트를 입힌 반도체
Fig. 4. Semiconductor with a metal gate.

그림 4에서 threshold voltage를 $V_T = \rho_0 h \delta / \epsilon_1$ 로 정의할 수 있으므로 식 (11)은 다음과 같이 써진다.

$$\exp\left(-\frac{V-\psi}{U_T}\right) = 1 + \frac{V-V_c}{V_T} \quad (12)$$

여기에서 $(V-V_c)/V_T < 0$ 이면 (6)식으로부터 캐리어 밀도가 감소하므로 이것이 depletion condition이 되며 $(V-V_c)/V_T = -1$ 의 조건은 (12)식을 불가능하게 하므로 결국 이 조건은 pinch-off를 나타내게 된다.

이제 (12)식의 gradient를 취하면 다음 식을 얻는다.

$$-\frac{1}{U_T} \frac{\partial V}{\partial z} \exp\left(-\frac{V-\psi}{U_T}\right) + \frac{1}{U_T} \frac{\partial \psi}{\partial z} \exp\left(-\frac{V-\psi}{U_T}\right) = \frac{1}{V_T} \frac{\partial}{\partial z} (V - V_c) \quad (13)$$

다른 한편으로는 (5), (6)식으로 부터

$$\vec{J} = \rho \vec{v} = -\frac{\rho_0 q \tau}{m^*} \exp\left(-\frac{V-\psi}{U_T}\right) \cdot \text{grad } \psi \quad (14)$$

반도체의 두께가 충분히 얇고 게이트나 반도체의 구조가 y방향으로는 변화가 없다면 perturbation은 일

차원적인 것이 되며 윗식은 다음과 같이 된다.

$$\frac{\partial \psi}{\partial z} = -\frac{m^* J}{\rho_0 q \tau} \exp\left(-\frac{V-\psi}{U_T}\right) \quad (15)$$

(12)식과 (15)식을 (13)식에 대입하면 다음과 같다.

$$-\frac{1}{U_T} \frac{\partial V}{\partial z} \left(1 + \frac{V-V_c}{V_T}\right) - \frac{1}{U_T} \frac{m^* J}{\rho_0 q \tau} = \frac{1}{V_T} \frac{\partial (V-V_c)}{\partial z}$$

결국 다음의 미분방정식을 얻는다.

$$(V_c - V - V_T) \frac{\partial V}{\partial z} = \frac{J}{\sigma} V_T + U_T \frac{\partial (V-V_c)}{\partial z} \quad (16)$$

여기에서 이용된 parameter는 다음과 같다.

$$\mu = \frac{q \tau}{m^*} : \text{캐리어의 이동도}$$

$\alpha = \rho_0 \mu$: 반도체의 전도도 (conductivity) 일반적인 경우에는 $U_T \ll V_T$ 의 조건을 (16)식에 적용시키면

$$-V \frac{\partial V}{\partial z} + (V_c - V_T) \frac{\partial V}{\partial z} = \frac{J}{\sigma} V_T \quad (17)$$

이 식을 적분하면

$$-\frac{1}{2} V^2 + (V_c - V_T) V = \frac{V_T J z}{\sigma} \quad (18)$$

여기에 적용되는 경계조건은 $z=0$ 에서 $V=0$ 이고 그 해는 다음과 같이 유일하게 주어진다.

$$V = V_c - V_T - \left[\sqrt{(V_c - V_T)^2 - \frac{2V_T J z}{\sigma}} \right]^{1/2} \quad (19)$$

따라서

$$\frac{\partial V}{\partial z} = \frac{V_T J}{\sigma} \left[(V_c - V_T)^2 - \frac{2V_T J z}{\sigma} \right]^{-1/2} \quad (20)$$

게이트의 폭이 충분히 커서 pinch-off가 일어날 수 있다는 가정하에 (19), (20)식으로 부터 $V(z)$ 를 도시하면 그림 5와 같이 된다.

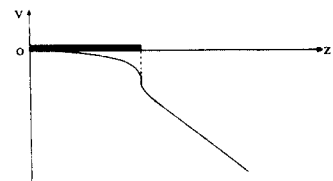


그림 5. 반도체내의 전압 분포
Fig. 5. Voltage distribution in semiconductor.

IV. 주기적으로 배열된 복수 게이트를 가진 경우

다음 그림 6과 같이 반도체상에 절연층을 통하여 복수 게이트를 배열시킨 상태에서 (16)식을 적용시켜 보면 다음과 같다.

만일 $V_c - V = U$ 라 놓으면 (16)식은 다음과 같이 쓸 수 있다.

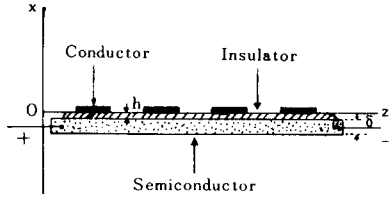


그림 6. 여러 개의 금속 게이트를 입힌 반도체
Fig. 6. Semiconductor with multi-gates.

$$U \frac{\partial (V_c - U)}{\partial z} - V_T \frac{\partial (V_c - U)}{\partial z} = \frac{J}{\sigma} V_T - U_T \frac{\partial U}{\partial z} V \quad (21)$$

최종적으로 다음과 같은 미분방정식을 얻게 된다.

$$-U \frac{\partial U}{\partial z} + U \frac{\partial V_c}{\partial z} + (V_1 + U_T) \frac{\partial U}{\partial z} - V_T \frac{\partial V_c}{\partial z} = \frac{J}{\sigma} V_T \quad (22)$$

이 방정식을 풀기 위해서는 먼저 게이트상의 전압분포 $V_c(z)$ 를 결정해야 하므로 그것을 다음과 같이 Fourier series로 전개한 후 필요한 계수들을 구하는 방법을 생각한다.

$$V_c(z) = -E_0 z + \sum_n V_n \exp(jn\beta z) \exp(-|n\beta x|) \quad (23)$$

여기에서

$$\beta = \frac{2\pi}{p}$$

p 는 게이트들의 주기이며 E_0 는 게이트들이 없는 상태에서 반도체내에 존재하는 일정 전계이다.

당분간 반도체내의 공간전하를 무시하고 경계조건을 써 보면 다음과 같다.

1) 도체상에서의 전계의 접선방향 성분이 0일 것.

$$E_z = -\frac{\partial V_c}{\partial z} \Big|_{x=0} = E_0 - \sum_n jn\beta V_n e^{jn\beta z} = 0 \quad (24)$$

2) 도체가 없는 부분에서 전속 밀도가 연속일 것.

$$Dx_1 - Dx_2 \Big|_{x=0} = (\epsilon_1 + \epsilon_2) \sum_n |n\beta| V_n e^{jn\beta z} = 0 \quad (25)$$

이제 $X_n = n\beta V_n$, $S_n = |n|/n$ 라 놓고 정리하면 다음을 얻는다.

$$\left. \begin{aligned} 0 \leq z \leq \frac{p}{4} \\ \frac{3p}{4} \leq z \leq p \end{aligned} \right\} \text{에 대해 } E_0 - j \sum_n X_n e^{jn\beta z} = 0 \quad (26)$$

$$\frac{p}{4} \leq z \leq \frac{3p}{4} \text{에 대해 } \sum_n S_n X_n e^{jn\beta z} = 0 \quad (27)$$

이들 두 식에 관하여 spatial harmonics의 수를 유한하게 하면서 그들을 근사적으로 만족시킬 수 있는 X_n 을 구하기 위하여 最小自乘法 (least square method)를 적용시킨다.¹⁶⁾

이제 일반적인 경우를 생각하여 임의의 영역 D에 대

해 얻어진 Maxwell방정식이 다음과 같다고 하자.

$$E(z) - \sum_n a_{1n}(z) X_n = 0 \quad (28)$$

그러면 최소화시킬 함수 $f(X_1, X_2, \dots, X_n)$ 는 다음과 같이 주어진다.

$$f(X_1, X_2, \dots, X_n) = \int_D |E(z) - \sum_n a_{1n}(z) X_n|^2 dz = \sum_{m,n} A_{mn} X_m X_n^* - b_m^* X_m - b_n X_n^* + C$$

여기에서

$$A_{mn} = \int_D a_m(z) a_n^*(z) dz$$

$$b_m = \int_D E(z) a_m^*(z) dz$$

$$C = \int_D |E(z)|^2 dz \text{이다.}$$

만일 A_{mn} 을 요소로 하는 행렬을 A라 하고 b_m , X_m 을 요소로 하는 벡터를 각각 B, X라 하면 다음과 같은 식을 얻는다.

$$f(X) = X^* A X - B^* X - X^* B + C \quad (29)$$

벡터의 차수를 n_0 로 제한시키며 $f(X)$ 의 最小 條件을 구하면 다음 식을 얻는다.

$$dX^* (A X - B) + (X^* A - B^*) dX = 0 \quad (30)$$

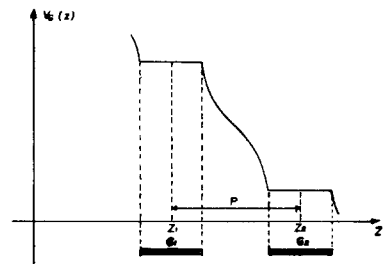
이 식으로 부터 임의로 취하는 dX에 대해 다음 조건을 얻을 수 있다.

$$A X - B = 0 \quad (31)$$

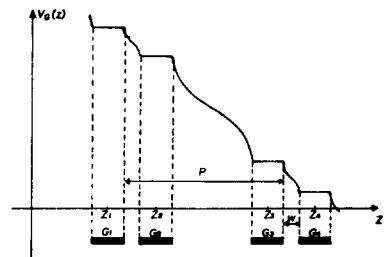
따라서 그 解는 다음과 같다.

$$X = A^{-1} B \quad (32)$$

이렇게 해서 구해진 행렬 A와 벡터 B는 다음과 같



(a) 가역적인 구조



(b) 비가역적인 구조

그림 7. 게이트상에 유기된 전압 분포

Fig. 7. The voltage distribution induced on the gates.

이 된다.

$$A_{mn} = \frac{p(S_m S_n^{-1})}{\pi(m-n)} \cos(m-n)\pi \cdot \sin(m-n)\frac{\pi}{2}, \quad m \neq n$$

$$A_{mn} = p$$

$$B_m = \frac{SpE_0}{\pi m} \cos m\pi \cdot \sin \frac{m\pi}{2}$$

결과적으로 얻어진 게이트상의 전압분포 $V_G(Z)$ 를 그림 7에 보였다.

이 게이트의 계단전압분포는 반도체내의 공간전하에 의해 다소 영향을 받을 수 있는데 이것이 바로 증폭의 근원으로서의 역할을 한다. 이러한 과정을 정량적으로 분석하기 위해 (22)式에 $V_G(Z)$ 를 대입하여 Newton method에 의해 풀어 본다.

먼저 $-UdU/dz$ 항을 무시하여 얻어진 線型方程式을 풀어 그 解 U' 를 구한 다음 (22)式에 $-U' dU'/dz$ 를 대입하여 다시금 얻어진 式을 푼다. 이와같은 과정을 간략하게 기술하면 다음과 같다.

먼저 U 를 complex Fourier series로 전개한다.

$$U = \sum_n U_n e^{jn\pi x} \quad (33)$$

그러면 式(22)의 각 항들은 다음과 같이 전개된다.

$$U \frac{dU}{dz} = j\beta \sum_{m,n} (m-n) U_{m-n} U_n e^{jm\pi x}$$

$$U \frac{dV_G}{dz} = j\beta \sum_{m,n} (m-n) V_{m-n} U_n e^{jm\pi x} - E_0 \sum_m U_m e^{jm\pi x}$$

$$(V_T - U_T) \frac{dU}{dz} = j\beta (V_T + U_T) \sum_m m U_m e^{jm\pi x}$$

$$E_0 V_T + U_T \frac{dV_G}{dz} = j\beta V_T \sum_m m V_m e^{jm\pi x} \quad (34)$$

이제 벡터 U 를 요소 U_n 으로 이루어져 있다하고, 행렬들 D_1, D_2, D_3, W 의 요소가 다음과 같이 주어진다 하자.

$$D_{1mn} = (m-n)U_{m-n}$$

$$D_{2mn} = (m-n)V_{m-n} - E_0 \delta_{mn}$$

$$D_{3mn} = (V_T + U_T) m \delta_{mn}$$

$$W_m = V_T m V_m \quad (35)$$

그러면 다음과 같은 선형방정식을 얻을 수 있다.

$$W = (D_1 + D_2 + D_3)U \quad (36)$$

따라서 이 방정식의 解는 다음과 같이 구해진다.

$$U = (D_1 + D_2 + D_3)^{-1}W \quad (37)$$

이와같은 계산을 반복할 때 수렴속도는 $|V_T/E_0 p|$ 의 값이 크면 클수록 빠르게 되며 W_0 를 게이트의 폭이라 할 때 pinch-off 조건은 근사적으로 다음과 같이 된다.

$$\frac{W_0}{p} < \left| \frac{V_T}{E_0 p} \right| \quad (38)$$

계산 결과가 여러 가지 $V_T/E_0 p$ 값에 대해 그림 8에 보여졌다.

식 (6)과 (12)에 의하여 전하밀도 ρ 는 $-U/V_T$ 에 의해

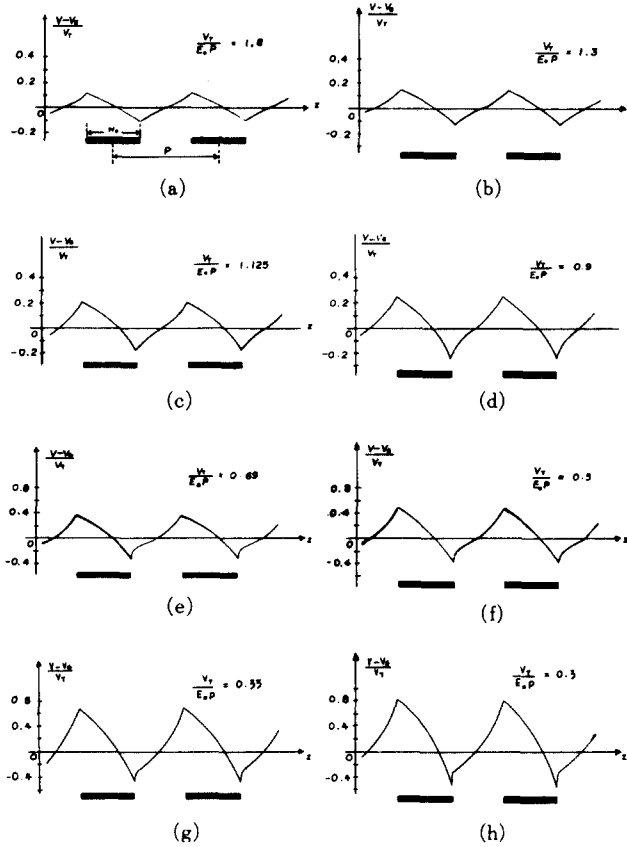


그림 8. (a~h) 반도체에 대해 게이트가 갖는 polarization의 상대적 크기

Fig. 8. (a~h) Relative polarization of the gates with respect to the semiconductor.

변조되었음을 알 수 있다.

또한 게이트의 중심을 원점으로 정하였고, 게이트의 구조와 $-U/V_T$ 의 첫번째 harmonic은 90° 의 위상차를 가지고 있으므로 modulation index M 은 오로지 허수 부분만으로 나타내어짐을 알 수 있고 이것은 컴퓨터의 계산 결과가 입증하고 있다.

$$M = jM_0 \quad (39)$$

그림 9는 $V_T/E_0 p$ 의 값에 대해 jM 값의 계산 결과를 보이고 있다.

V. 結 論

Pinch-off 상태 근처에서 채널전류는 공간적으로 변조될 것이고 결과적으로 게이트의 전압분포 V_G 에 변화를 주게 된다. 그림 8의 계산된 결과를 보면 채널내에서의 공간전하의 존재를 확신할 수 있으며, 그림 9와 같이 얻어진 전하밀도의 공간변조는 다시 게이트 전압분포에 영향을 주게 되기 때문에 게이트상을 지나는

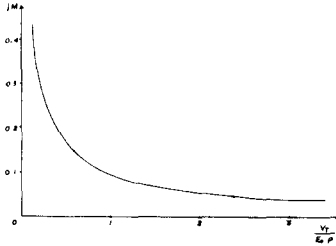


그림 9. 컴퓨터에 의해 계산된 공간 변조 계수
Fig. 9. The modulation index obtained by computer.

교류신호에 대해 이러한 구조의 FET는 negative impedance, 즉 gain을 가질 수 있는 가능성을 보여 주는 것이다.

參 考 文 獻

[1] YOUICHI, T. SAKANE, *10th European Microwave Conference*. pp.8-11, Sep. 1980.
[2] READ, *B.S.T.J.*, vol. 37, pp.401-446, 1958.
[3] DIAMAND: "Theorie de l'amplification a ondes progressives dans une couche mince semiconductrice couplée à une ligne à retard", *Revue Technique THOM-*

SON CSF, vol. 1, no. 3, Sep. 1969.

- [4] M.C. STEELE, B. VURAL, *Interactions of Waves in Solid State Plasma*. McGraw-Hill, New York, 1967.
[5] H. Baudrand, *Interactions Progressive Entre Electron et Ondes Electromagnetiques*. ENSEEIHT, 1979.
[6] SZE, *Physics of Semiconductor Devices*. Wiley, 1969.
[7] E. Durand, *Solutions Numeriques de's Equations Algebriques*. T2, Mass on at Cie, 1961.
[8] H. Baudrand, *Application de la Methode des Moins des Carrés aux Problemes de Décomposition des Champs sur une Base Discrete*. Journées National es Microondes, Juin 1979.
[9] Crandall, *Engineering Analysis (a Survey of Numerical Procedure)*. Prentice-Hall, 1964.
[10] J.M. Rollet, "Stability and powergain invariant in linear two part," *IRE Trans. Circuits Theory*, vol. CT 9, Mar. 1962.
[11] R.E. Collin, *Field Theory of Guided Waves*. McGraw-Hill, 1960.