

Test 容易性を 考慮한 LSI/VLSI 論理設計方式과 Programmable Logic Array에의 應用

(A LSI/VLSI Logic Design Structure for Testability and
its Application to Programmable Logic Array Design)

韓 哲 鵬*, 趙 相 福**, 林 寅 七**

(Seok Bung Han, Sang Bock Cho and In Chil Lim)

要 約

論文에서는 從來의 LSSD에 使用한 쉬프트 레지스터 래치를 改善한 새로운 LSI/VLSI 論理設計方式을 提案한다. 이 設計方式을 使用함으로써 테스트 패턴의 生成이 容易해지고 故障檢出率이 向上된다. 또한 여기서 提案한 병렬 쉬프트 레지스터 래치를 테스트가 容易한 PLA의 設計에 適用한다. 이 境遇에 테스트 패턴의 數가 減少되고 LSSD를 使用한 從來의 PLA에서 歸還入力에 附加되는 decoder가 除去된다.

Abstract

This paper proposes a new LSI/VLSI logic design structure which improves shift register latches in conventional LSSD. Test patterns are easily generated and fault coverage is enhanced by using the design structure. The new parallel shift register latch can be applied to the design of easily testable PLA's. In this case, the number of test patterns is decreased and decoders which are added to the feedback inputs in conventional PLA's using LSSD are not necessary.

I. 序 論

最近 LSI 및 VLSI 技術의 發展으로 回路의 集積度가 增加함에 따라, 이에 對한 테스트가 심각한 問題로 擡頭되어 많은 研究가 行해지고 있다. M. J. Y. Williams 와 J. B. Angel¹⁾은 大規模 集積회路的 테스트를 容易하게 하기 위하여 附加회로를 使用한 LSI 論理設計方式을 提案하였다. 또, IBM 社에서는 LSI 順序論理회路的 테스트時 flip-flop을 쉬프트 레지스터로 代

構成하고 組合論理회로를 別途로 테스트하는 LSSD⁽²⁾⁽³⁾⁽¹²⁾ (level sensitive scan design) 方式을 提案하였다.

한편 K. K. Saluja⁴⁾는 LSSD의 래치 設計方式을 改善함으로써 테스트 패턴 生成을 容易하게 하고 故障檢出率을 向上시키는 方法을 考慮하였다. 그러나 이 設計方式은 테스트時 그 래치의 두 개의 出力값들이 獨立的으로 制御되지 못하여, 實際적으로 上記 目的에 符合되지 않는다. 本 論文에서는 이러한 缺點을 解決하고 테스트 패턴 生成을 容易하게 하며 故障檢出率을 向上시키는 새로운 並列 쉬프트 레지스터 래치의 設計方式을 提案한다. 그리고 H. FUJIWARA와 K. KINO-SHITA⁵⁾⁽⁶⁾ 등이 提案한 故障檢出이 容易하도록 外部회路가 附加된 組合論理회路的 PLA에 여기에서 提案

*準會員, **正會員, 漢陽大學校 工科學 電子工學科
(Dept. of Electronics Eng., Hanyang Univ.)

接受日字: 1984年 1月 12日

한 새로운 竝列 쉬프트 레지스터 래치를 적용함으로써 順序論理回路의 PLA에서도 函數獨立인 테스트 集合 [테스트 패턴]의 使用을 可能케 하여 테스트 패턴 生成을 容易하게 하고 테스트 패턴의 數를 減少시킨다. 또, 順序論理回路 PLA의 AND array 歸還入力 decoder를 除去시키는 利點을 갖게 한다.

II. 새로운 竝列 쉬프트 레지스터 래치의 設計 및 動作

LSSD는 level sensitive와 scan design 概念을 함께 갖는 設計方法이다. Level sensitive란 人力狀態의 變化에 대한 定常狀態應答이 回路內의 delay에 無關하며, 클락信號의 상승시간이나 하강시간과 같은 ac特性에 影響을 받지 않게 하는 것이다. 또 scan design이란 테스트時 시스템內의 래치들을 쉬프트 레지스터로 構成하여 쉬프트 機能을 갖게 함으로써 어떤 特定한 값으로 래치들을 制御할 수 있고, 그 래치內의 값을 外部에서 觀察할 수 있도록 하는 것이다. 종래의 LSSD에서 使用한 래치는 level sensitive와 scan design 概念을 滿足시키기 위하여, 모든 래치는 서로 겹치지 않는 두 개 이상의 클락들로 制御되는 clocked 래치이며, 클락 主入力이 off일 때 쉬프트 레지스터의 클락 人力도 off이어야 하고 클락 主入力は 직접 또는 組合回路를 통해 래치에 데이터入力を 줄 수 없으며 모든 쉬프트 레지스터 래치들은 바로 앞의 쉬프트 레지스터 래치의 函數인 동시에 한개의 쉬프트 레지스터로 연결되어야 한다는 6가지 基準¹⁾에 의하여 設計되었다.

本 論文에서는 level sensitive와 scan design 概念을 滿足시키고 테스트 패턴 生成을 容易하게 하며 故障檢出率을 向上시키는 새로운 竝列 쉬프트 레지스터 래치를 設計하기 위하여 다음과 같은 2가지 基準을 提案한다.

[基準 1] 歸還入力を 갖는 組合回路의 入力들中 래치들로부터의 歸還入力(y_i)은 래치의 Q_i 出力에서 얻어지고, 歸還入力(\bar{y}_i)은 그 래치의 \bar{Q}_i 出力으로부터 얻어진다 (그림 1).

[基準 2] 래치들은 定常動作에서는 서로 補數인 두 개의 出力을 發生시키고 테스트 動作에서는 값이 서로 獨立의으로 制御되는 두 개의 出力을 發生시킨다.

이러한 基準에 符合되는 動作을 하는 새로운 竝列 쉬프트 레지스터 래치를 그림 2(a)와 같이 構成한다. 이것을 간단하게 圖式化하여 그림 2(b)에 나타내었다. 그림 2(a)의 래치는 定常狀態에서는 그림 3(a), 테스트 狀態에서는 그림 3(b)와 같은 두 가지 形態로 動作한다.

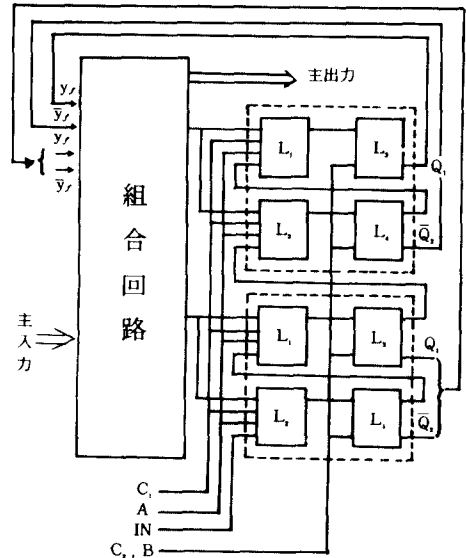
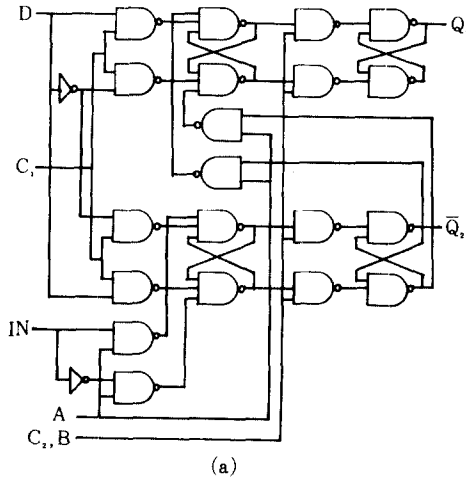
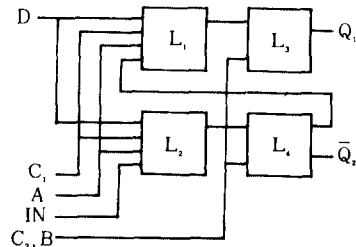


그림 1. 새로운 竝列 쉬프트 레지스터 래치를 포함한 回路

Fig. 1. Circuit with new parallel shift register latches.



(a)



(b)

그림 2. 새로운 竝列 쉬프트 레지스터 래치 (a) NAND 게이트로 設計한 回路 (b)圖式化된 表現

Fig. 2. New parallel shift register latch. (a) Circuit designed by NAND gates. (b) Schematic representation.

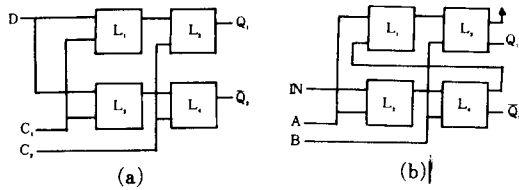


그림 3. 래치의 두 가지 동작

(a) 定常動作 (b) 테스트 동작

Fig. 3. Two operations of the latch.

(a) Normal operation (b) Test operation.

[定常狀態의 동작]

그림 3(a)에서 D는 入力데이터, C₁ 및 C₂는 시스템 클락, Q₁ 및 Q₂는 래치의 出力이며, L₁, L₂, L₃, L₄는 D형 flip-flop이다. 이에 對한 動作은 C₁이 1이고 C₂가 0일 때 入力 데이터 D값이 L₁에 貯藏되고, 그 補數값이 L₂에 貯藏된다. 한편 C₁이 0이고 C₂가 1일 때는 L₁ 및 L₂에 貯藏된 값들이 각각 L₃ 및 L₄에 쉬프트되어 서로 補數인 두 개의 出力 Q₁과 Q₂로 나온다. 이때 C₁과 C₂는 서로 겹치지 않는 클락이다.

[테스트 狀態의 동작]

그림 3(b)에서 IN은 쉬프트 데이터, 클락 A, B는 쉬프트 데이터를 傳達하는 쉬프트 클락이다. 이에 對한 動作은 A가 1이고 B가 0일 때는 쉬프트 데이터 IN이 L₁에 貯藏되고, 동시에 L₄값은 L₁에 쉬프트되어 貯藏된다. 한편 A가 0, B가 1일 때는 L₁값이 L₂에 쉬프트되어 出力 Q₁으로 되고 L₂의 값은 L₃에 쉬프트되어 出力 Q₂로 된다. 따라서 쉬프트 클락 A, B가 0과 1을 交代로 反復하는 동안에 쉬프트 데이터 IN은 L₂→L₁→L₁→L₂의 順序로 쉬프트되어 L₃ 및 L₄의 出力 Q₁ 및 Q₂는 서로 補數인 값도 가질 수 있으며 동시에 같은 값도 가질 수 있다. 즉 서로 獨立인 값을 가질 수 있다. 一例로 Q₁ 및 Q₂ 모두 1의 값으로 쉬프트되는 境遇를 살펴보자. 쉬프트 데이터 IN이 1이고 클락 A가 1, B가 0이면 IN이 L₂에 貯藏되고 클락 A가 0, B가 1이면 L₂에 貯藏된 IN값은 L₁에 쉬프트된다. 다시 IN이 1이고 클락 A가 1, B가 0이면 L₂는 1이 貯藏되고 L₁의 出力값이 L₁에 貯藏되며, 클락 A가 0, B가 1이면 L₂의 값이 L₁에 쉬프트되어, Q₂가 1이 되고 동시에 L₁의 값이 L₂에 쉬프트되어 Q₁이 1이 된다. 이와 같이 Q₁ 및 Q₂는 쉬프트 機能에 의하여 外部로부터 어떤 任意의 값으로도 制御할 수 있다. 이때에도 클락 A, B는 서로 겹치지 않는 클락이며, 클락 C₂는 클락 B와 같은 클락이다.

III. PLA에의 應用

이제까지 提案된 故障檢출이 容易하게 設計된 PLA의 테스트⁽⁵⁾⁽¹⁶⁾⁽¹⁷⁾는 函數 獨立인 테스트 集合을 가지므로 테스트 패턴은 PLA 入力數와 AND array內의 列의 數에만 依存하게 되어, 테스트 패턴의 數는 $3m + 2n(m: 列의 數 n: 入力數)$ 으로 減少하게 되며, 테스트 패턴 발생에 必要한 費用과 時間이 거의 無視된다. 그러나 從來에는 이 函數 獨立인 테스트 集合이 組合回路의 PLA에 對한 故障檢출에만 適用이 可能하였고 래치가 結合된 PLA에서는 適用될 수 없었다. 따라서 II절에서 提案한 래치를 使用하여 그림 4와 같이 順序論理回路의 PLA를 構成하므로써, 여기에서도 函數獨立인 테스트 集合의 使用을 可能케 하고 順序論理回路의 PLA에서도 組合論理回路의 PLA와 같은 方法으로 테스트가 可能하도록 한다.

1. 래치를 結合한 PLA의 構成 및 動作

그림 4에 래치를 結合한 PLA를 構成하였다. 여기에서는 OR array內의 一部 行들이 래치를 거쳐 AND array內의 一部 行들로 歸還한다.

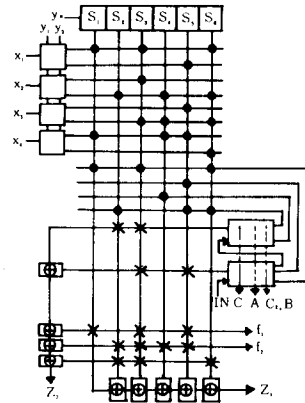


그림 4. 새로운 竝列 쉬프트 레지스터 래치를 結合한 PLA

Fig. 4. PLA with new parallel shift register latch.

即, 래치와 래치 入力を 構成하는 OR array의 一部 行, 그리고 래치의 出力들이 歸還되는 AND array의 一部 行으로 構成된 歸還閉回路가 從來의 PLA에 添加된다. 여기에 OR array上의 歸還行들 왼쪽끝에 exclusive-OR 素子들이 附加된다. 한편 AND array內에 附加된 列의 素子接續은, 각 行의 接續素子數가 奇數가 되도록 排列하고, OR array內에 附加된 行의 接續素子數도 奇數가 되도록 排列한다. 이렇게 構成된 回路는 다음의 性質을 갖는다.

- 1) 回路는 모든 信號의 變化가 定常狀態에 到達했을 때 定常動作을 遂行하는 level-sensitive한 動作을 한다.
- 2) 定常動作 時의 래치의 出力은 서로 補數인 두 값을 發生시키며 順序회路的 機能을 履行한다.
- 3) 테스트 動作時 順序회路는 組合회路로 變換되므로 組合회路에 對한 테스트 패턴 生成이 必要하게 된다.
- 4) 3)에 依하여 結局 函數 獨立인 테스트 集合을 使用할 수 있다.

定常狀態의 動作은 順序회路의 動作과 同一하다. 테스트 狀態의 動作에서는 函數 獨立인 테스트 集合에 의하여 각 入力과 각 行에 테스트 패턴을 印加한다. 歸還入力(래치의 印加값)은 클락 A, B에 의해 直列로 印加할 수 있다. 래치의 두 개의 出力이 서로 獨立인 값으로 印가가 可能하므로 函數 獨立인 테스트 패턴을 使用할 수 있다. 모든 테스트 패턴이 印加된 후 多段 exclusive-OR의 出力 Z_1, Z_2 에 의해 故障를 檢出한다.

2. 테스트 集合의 生成

順序論理회路의 PLA에 대한 函數 獨立인 테스트 集合의 生成절차는 다음과 같다.

- 1) AND array의 한 列($S_j; j=1, 2, \dots, \ell$)은 쉬프트레지스터에 의하여 그 列만 1로 두고 나머지 列은 0 값을 印加하므로써 선택되고 이 선택된 列에 대한 單一故障는 OR array의 왼쪽에 附加된 多段 exclusive-OR Z_2 에 의해 檢출된다.
- 2) AND array의 한 行($x_i; i=1, 2, \dots, m$)은 制御線 y_1, y_2 를 가진 decoder에 의하여 그 行만 0 혹은 1로 하고 나머지 行은 모두 1 값을 印加하므로써 선택되고 이 선택된 行에 대한 單一故障는 OR array의 아래에 附加된 多段 exclusive-OR Z_1 에 의해 檢출된다.
- 3) AND array의 歸還行의 한 行($x_i; i=m+1, \dots, m+n$)은 쉬프트 클락 A, B에 의해 쉬프트시킴으로써 그 行만 0로 하고 나머지 行은 1 값을 印加하여 선택되고 이 선택된 行에 대한 單一故障는 多段 exclusive-OR Z_1 에 의해 檢출된다.

上記한 절차에 의하여 函數 獨立인 테스트 集合이 얻어지며 整理하면 표 1과 같다. 여기에서 $x_i (i=1, 2, \dots, m)$ 는 入力變數, $x_i (i=m+1, \dots, m+n)$ 는 歸還入力, $S_j (j=1, 2, \dots, \ell)$ 는 쉬프트 레지스터, y_1, y_2 는 decoder의 制御線을 나타내며, Z_1, Z_2 는 多段 exclusive-OR의 出力이다. 그리고 定理 1에서는 이 테스트 集合에 의하여 PLA內的 모든 單一 stuck 形態의 故障와 cross point 形態의 故障를 檢출할 수 있음을 보여 준다.

丑 1. 函數 獨立인 테스트 集合

Table 1. Function independent test sets.

	$x_1 \dots x_i \dots x_m$	$x_{m+1} \dots x_{m+n}$	y_1, y_2	$S_1 \dots S_j \dots S_\ell$	z_1, z_2
1_o	-----	-----	--	0...0...0	0 0
$j=1, 2, \dots, \ell$					
$1_{a_i}^0$	0...0...0	1...1	1 0	0...010...0	1 1
$1_{a_i}^1$	1...1...1	1...1	0 1	0...010...0	1 1
$i=1, 2, \dots, m+n$					
1_n^0	1...101...1	1...1	0 1	1...1...1	ϵ_i --
1_n^1	0...010...0		1 0	1...1...1	ϵ_i --

단, ℓ : AND array의 列數
 m : 入力數
 n : 歸還入力の 行數
 $\epsilon_i = \begin{cases} 0; \ell \text{이 奇數} \\ 1; \ell \text{이 偶數} \end{cases}$
 --: don't care

이 테스트 集合에 對하여 다음 定理가 成立한다.
 [定理 1]

$M\ell, m, n$ 을 AND array에서 ℓ 行과 m 入力 그리고 n 歸還行을 갖는 PLA라 하자. 어떤 $M\ell, m, n$ 에 對해서도 테스트 集合 T는 AND array, OR array와 decoder들內的 모든 單一 stuck 形態의 故障를 檢出하고, AND array와 OR array內的 모든 cross point 形態의 故障를 檢出할 수 있다.

[證明]

테스트 패턴 $1_{a_i}^0$ 와 $1_{a_i}^1$ 을 印加하면 j 번째 列만 1로 되고 다른 列들은 0으로 된다. 그러므로 $1_{a_j}^0, 1_{a_j}^1 (j=1, 2, 3, \dots, \ell)$ 에 의하여 모든 列의 s-a-0(stuck at 0) 故障와 s-a-1(stuck at 1) 故障를 exclusive-OR의 出力 Z_1 을 통하여 檢出할 수 있고, Z_2 를 통하여 OR array內的 모든 行들의 s-a-0 故障 및 s-a-1 故障를 檢出할 수 있다. 그리고 decoder內的 OR 素子 入力線에 對한 s-a-0 故障와 $x_i (i=1, 2, \dots, m), y_1, y_2$ 入力線에 對한 s-a-0 故障도 檢出할 수 있다. 테스트 패턴 $1_n^0 (i=1, 2, \dots, m+n)$ 와 $1_n^1 (i=1, 2, \dots, m)$ 을 印加하면 AND array內的 한 行만이 0로 되고 나머지 行들은 1이 된다. 따라서 $1_n^0, 1_n^1$ 에 의하여 AND array內的 모든 行의 crosspoint 形態의 故障와 모든 s-a-1 故障 그리고 decoder內的 OR 素子 入力線의 s-a-1 故障와 $x_i (i=1, 2, \dots, m), y_1, y_2$ 入力線의 s-a-1 故障도 Z_2 을 통하여 檢出할 수 있다.

한편 多段 exclusive-OR 内部의 故障은 存在하지 않으며, 外部 入力線에 대하여 stuck 形態의 故障만 發生한다고 假定할 때 다음과 같은 定理가 成立한다.

[定理 2]

出力 Z_i 를 갖는 多段 exclusive-OR를 C_i 이라 하고 出力 Z_j 를 갖는 多段 exclusive-OR를 C_j 라 하자. 테스트 集合 T内的 테스트 패턴 I_a 와 $I_b^j (j=1, 2, \dots, \ell)$ 에 의해서 C_i 과 C_j 内の 모든 stuck 形態의 多重 故障을 檢出할 수 있다.

[證明]

多段 exclusive-OR를 實現한 ℓ 入力の 線型函數는 다음과 같이 나타낼 수 있다.

$$L_A(x_1, x_2, \dots, x_\ell) = a_0 \oplus a_1 x_1 \oplus a_2 x_2$$

여기서 $a_i = 0$ 혹은 $1, i=1, 2, \dots, \ell$

$$A = (a_0, a_1, \dots, a_\ell)$$

故障이 없을 때의 多段 exclusive-OR를 實現한 線型 函數는

$$L_A(x_1, x_2, \dots, x_\ell) = x_1 \oplus x_2 \oplus \dots \oplus x_\ell$$

이 되므로 $A = (0, 1, 1, 1, \dots, 1)$ 이 된다.

이 때 테스트하고자 하는 多段 exclusive-OR를 나타내는 線型函數를

$$L_B(x_1, x_2, \dots, x_\ell) = b_0 \oplus b_1 x_1 \oplus \dots \oplus b_\ell x_\ell$$

$b_i = 0$ 혹은 $1, i=1, 2, \dots, \ell$ 이라 한다. L_B 에 多重 故障이 없다고 假定하면 방정식 $L_A = (x_1, x_2, \dots, x_\ell) = L_B(x_1, x_2, \dots, x_\ell)$ 라 놓을 수 있고 이때 다음 테스트 벡터 $t_j (j=0, 1, 2, \dots, \ell)$ 를 印加하므로써 $L_A = L_B$ 를 滿足하는 條件 $a_i = b_i (i=0, 1, 2, \dots, \ell)$ 가 成立한다.

$$t_0 = (0, 0, \dots, 0)$$

$$t_1 = (1, 0, \dots, 0)$$

$$t_2 = (0, 1, \dots, 0)$$

$$\vdots$$

$$t_\ell = (0, 0, \dots, 1)$$

이 條件에 의하여 L_B 에 故障이 없으려면 모든 i 에 대하여 $a_i = b_i$ 가 滿足되어야 하므로 單一 故障 및 모든 多重 故障이 檢出될 수 있다. 위 테스트 벡터에서 t_0 는 I_a , t_j 는 $I_b^j (j=1, 2, \dots, \ell)$ 로 代置되므로 I_a, I_b^j 에 의해 C_i 内の 모든 多重 故障 檢出이 可能하다. 또한 C_j 内の 모든 多段 exclusive-OR의 外部 入力線들은 OR array 内の 서로 다른 列과 接續 素子에 의하여 連結되어 있으므로 테스트 패턴 I_a 와 I_b^j 에 의해서 C_j 内の 모든 多重 故障도 檢出할 수 있다.

Q. E. D.

한편 쉬프트 레지스터의 쉬프트 機能은 다음의 패턴 $U_j (j=1, 2, \dots, \ell-1)$ 에 의해 테스트할 수 있다.

	x_1, x_2, \dots, x_{m+n}	y_1, y_2	$s_1, s_2, \dots, s_j, s_{j+1}, \dots, s_\ell$	z_1, z_2
U_j	— — — —	1 1	1 1 — — 1 0 — —	$\delta_j -$

여기서 $\delta_j = \begin{cases} 0; i \text{가 奇數} \\ 1; i \text{가 偶數} \end{cases}$

函數 獨立인 테스트 集合과 U_j 에 의하여 테스트 시퀀스(test sequence) $\alpha_{i, m, n}$ 을 구한다.

$$\alpha_{i, m, n} = I_a, I_b^0, \dots, I_b^j, I_b^1, \dots, I_b^i, U_1, U_1, \dots, U_{j-1}, I_{r_1}^0, \dots, I_{r_m}^0, I_{r_{m+1}}^1, \dots, I_{r_{m+n}}^1, I_{r_1}^1, \dots, I_{r_m}^1$$

특히 $I_{r_{m+1}}^0$ 에서 $I_{r_{m+n}}^1$ 까지의 n 개의 테스트 패턴은 다른 테스트 패턴들과는 다르게 클락 A, B에 의한 쉬프트 動作에 의하여 간단하게 印加될 수 있다는 장점이 있다. 이 $\alpha_{i, m, n}$ 에 의하여 PLA 内の 모든 stuck 形態의 故障, crosspoint 形態의 故障 그리고 쉬프트 레지스터의 쉬프트 機能도 檢出하며 여기에 일정한 패턴을 래치에 쉬프트 시키며 래치의 쉬프트 出力을 觀察하면 래치 自體의 故障 檢出도 可能하다. 結果的으로 PLA의 크기에만 依存하는 테스트 패턴의 길이는 $3\ell + 2m + n$ 으로 그 數는 減少하게 된다. 從來의 順序 論理回路 PLA와 본 논문에서 提案한 論理設計方式을 使用하여 PLA를 테스트하는 경우에 대한 例를 들어 比較, 檢討하기로 한다. 一般的으로 順序 論理回路 PLA의 테스트는 組合論理回路 PLA의 테스트보다 복잡하며 回路가 高密度化함에 따라 이것은 더욱 어려워진다. 이를 해결하기 위하여 附加 回路를 使用한 PLA에 LSSD의 래치를 適用함으로써 順序 論理回路를 組合論理回路로 變換시킬 수 있었다. 그러나 從來의 래치로써는 函數 獨立인 테스트 集合을 使用할 수 없으므로 다음과 같이 入力變數와 出力函

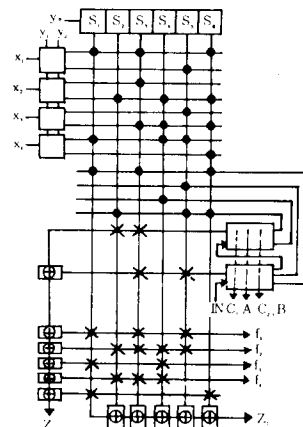


그림 5. 順序 論理 PLA의 例
Fig. 5. Example of sequential logic PLA.

數에 의하여 테스트 패턴을 구하게 된다. 例로써 그림 5의 回路에서 從來의 래치를 사용했을 경우의 테스트는 다음과 같다.

入力數는 歸還入力を 合하여 6개이고, 出力(歸還出力 포함)은 6개이다. 이 回路의 單一 故障과 多重故障을 테스트하기 위하여 필요한 테스트 패턴의 數는 2^6 개이며 이러한 테스트 패턴을 生成하기 위한 알고리즘도 필요하다. 또한 각각의 테스트 패턴에 대하여 모든 出力에서 故障 有無를 觀察해야 하므로 비능률적이다. 즉 그림 5에서 각 테스트 패턴의 印加時 출력 f_1, f_2, f_3, f_4 와 래치로 들어가는 出力들에 대하여 모두 觀察하여야 한다. 이 때 래치의 出力에서 AND array로 歸還되는 行들에 decoder가 附加되어야 한다. 그러나 同一한 회로에 대하여 본 논문에서 提案한 래치를 使用함으로써 函數獨立인 테스트 集合의 사용이 順序論理回路에서도 可能하게 되며 이에 대한 테스트는 다음과 같다. 이 回路에서는 入力數 $m=4$, 列의 數 $l=6$, 歸還行數 $n=4$ 이므로 총 테스트 패턴의 數 $T=3l+2m+4=30$ 개이다. 따라서 數가 從來의 方法보다 減少하였고, 또한 래치에 의해 印加되는 테스트 패턴(이 경우는 4개)은 단지 한 쉬프트 클락에 의해서 한개씩 印加되므로 테스트 方法이 容易해진다. 그리고 테스트 패턴 生成에 필요한 알고리즘이 필요없게 되어 時間과 努力이 감소된다. 故障 有無는 두개의 EOR의 出力 Z_1, Z_2 에 의해 觀察되므로 회로의 出力數에 無關하게 된다. 이 회로에 대한 테스트 패턴은 다음과 같이 單純하게 된다.

	$x_1, \dots, x_1, \dots, x_4$	x_5, \dots, x_6	y_1, y_2	$s_1, \dots, s_1, \dots, s_4$	1개
I_a	— — — — —	— — — — —	— —	0 — — 0 — — 0	

$j=1, 2, \dots, 6$

$I_{b_1}^0$	0 — — 0 — — 0	1 — — 1	1 0	0 — — 0 1 0 — — 0	12개
$I_{b_1}^1$	1 — — 1 — — 1	1 — — 1	0 1	0 — — 0 1 0 — — 0	

$j=1, 2, \dots, 8$

$I_{c_1}^0$	1 — — 1 0 1 — — 1	1 — — 1	0 1	1 — — 1 — — 1	12개
$I_{c_1}^1$	0 — — 0 1 0 — — 0		1 0	1 — — 1 — — 1	

$j=1, 2, \dots, 5$

	x_1, x_2, \dots, x_4	y_1, y_2	$s_1, s_2, \dots, s_1, s_{j+1}, \dots, s_4$	5개
U_j	— — — — —	1 1	1 1 — — 1 0 — — 0	

그림 5에 대한 附加回路와 外部 핀數에 따른 費用에 관

하여 比較, 檢討한다. 從來의 故障檢出이 容易하게 設計된 PLA 方式에서는 函數獨立인 테스트 集合을 갖게 하기 위하여 그림 5의 PLA의 경우 6개의 shift register, 11개의 EOR 게이트, 1개씩의 附加 行, 列과 수정된 decoder 그리고 外部핀이 증가되었다. 또 順序論理 PLA 回路를 構成하는 경우 본 논문에서 提案한 래치를 使用함으로써 K. K. Saluja가 제안한 MPSRL⁽⁴⁾ 보다는 2개의 게이트가 증가한다. 그러나 K. K. Saluja의 方式에서 테스트時에 래치의 2개의 出力값들이 서로 獨立으로 制御되지 못하는 불편을 해결하였으며, 또 이 래치를 使用함으로써 從來에는 歸還入力선들에 부가되어야 했던 decoder가 제거되어 回路量은 그만큼 감소하게 된다. 또한 본 논문에서 提案한 래치에서 外部핀 數는 종래의 래치와 同一하며 테스트時 서로 겹치지 않는 클락數는 MPSRL에서 보다 1개 감소한다.

上記한 바와 같이 附加回路에 대한 費用은 증가하나 이 부가회로를 채용함으로써 다음과 같은 점에서 보다 더욱 많은 잇점을 갖게 된다.

첫째, 順序論理回路의 테스트가 組合論理回路의 테스트로 변환되므로 테스트 패턴 發生과 印加가 용이해지며 특히 귀환입력행에 대한 테스트 패턴은 클락에 의하여 쉽게 印加된다.

둘째, 테스트 패턴 發生의 비용이 거의 무시된다. 出力函數나, 入力變數에 따라서 테스트 패턴을 發生하는 종래의 方法에 비하여 테스트 패턴이 출력함수에 무관하게 기계적으로 生成되므로 특별한 알고리즘이 필요없게 되어 그 비용이 거의 無視되며 生成時間이 감소한다.

셋째, 테스트 패턴의 數가 감소한다. 종래의 方法으로는 2^6 개의 테스트 패턴이 필요하지만 여기서는 數가 $3l+2m+n=30$ 개로 감소하므로 테스트 패턴 發生에 필요한 費用과 時間이 감소한다.

넷째, 回路의 고장유무를 관찰하는 경우 종래의 方法으로는 모든 出力 즉 f_1, f_2, f_3, f_4 와 래치로 들어가는 出力들에 대하여 모두 관찰했으나, 여기에서는 오직 2개의 EOR의 出力 Z_1, Z_2 에 의하여 관찰되므로 出力의 數에 무관하게 되며 따라서 테스트 비용이 감소한다.

IV. 任意 論理回路에의 應用

LSSD의 順序論理回路는 組合論理回路 部分과 래치 部分으로 構成된다. 이 組合論理回路 部分이 PLA와 같은 規則인 構造가 아닌 任意 論理回路인 경우, 새

로운 竝列 쉬프트 레지스터 래치를 使用하므로써 래치의 두개의 出力값을 同時에 歸還시키므로, 테스트時 從來 回路보다 다음과 같은 有利한 點을 갖게 된다.

첫째, 테스트 패턴 生成이 容易해진다. D-algorithm⁽⁹⁾이나 經路 活成化法⁽¹⁰⁾을 利用한 테스트 패턴 生成時에 consistency 動作에서 inconsistency가 많다면 消費時間이 增加한다. 그러나 이 경우에서는 래치에서 歸還되는 入力과 그 補數값이 同時에 使用될 때 NCT 素子를 거치지 않고 두 값을 直接 래치로부터 얻을 수 있으므로 다음과 같이 inconsistency가 줄어들게 된다. 그림 6의 回路에서 任意的 故障를 檢出하기 위하여 D-알고리즘을 使用한 境遇를 考慮해 보자.

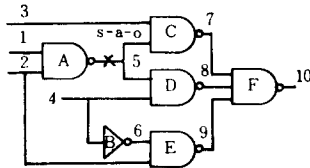


그림 6. D-알고리즘의 適用例
Fig. 6. Example of D-algorithm application.

각 素子의 入力에 固有番號를 주고 5番線에 s-a-0의 故障가 發生했을 때, 이 故障를 素子 C와 F를 통하여 出力에 傳達되도록 하는 테스트 패턴을 구한다. 여기서 1, 2, 3, 4는 래치로부터의 歸還入力이다. 먼저 이 故障에 대한 D-drive는

素子入力線의 番號	1	2	3	4	5	6	7	8	9	10
D drive	1	1	1	X	D	X	\bar{D}	1	1	D

이 되며 다음에 consistency 動作을 行한다. 표 2는 consistency 動作을 나타낸다.

표 2. 一致化 動作
Table 2. Consistency operation.

Number of gate input lines	1	2	3	4	5	6	7	8	9	10
D drive	1	1	1	X	D	X	\bar{D}	1	1	D
Step 1	1				0			1		
Step 2	1	1	1	X	D	0	\bar{D}	1	1	D
				0	X			1		
Step 3	1	1	1	0	D	0	\bar{D}	1	1	D
				1	0					

☒ : 矛盾

표 2에서 나타난 것과 같이 段階 3에서 矛盾이 發生하여 이 經路에 對해서는 테스트 패턴을 구할 수 없으므로 다른 經路를 擇하게 된다. 그러나 새로운 竝列 쉬프트 레지스터 래치에 의하여 4番線과 6番線에서 獨立的인 값을 印加한다면 段階 2에서 이미 테스트 패턴이 구해진다. 그러므로 外部에서 制御可能한 入力の 增加로서 consistency 動作에서 inconsistency가 매우 줄어들게 되며 따라서 테스트 패턴의 生成에 必要한 時間이 節約된다.

둘째, 從來에는 檢出不可하던 故障를 檢出할 수 있다.

大部分의 回路에는 redundant 回路가 存在하게 된다. 한 回路內에서 redundant 回路 部分에 存在하는 故障⁽¹¹⁾으로 인하여 該의 回路에서 檢出可能한 故障가 檢出不可하게 되는 境遇가 생기게 된다. 따라서 이 redundant 回路內의 故障도 檢出해야 한다. 그림 7(a)는 檢出不可한 故障가 存在하는 回路이고, 그림 7(b)는 이것을 可能케한 回路이다.

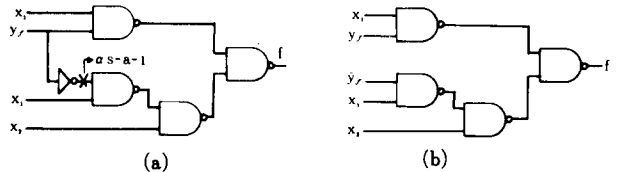


그림 7. 故障 檢出 回路
(a) 檢出이 不可한 故障 (b) 檢出이 可能한 故障
Fig. 7. Circuit of fault detection.
(a) Undetectable fault (b) Detectable fault.

그림 7(a)에서 a s-a-1 故障를 테스트 하기 위해서 y_1, \bar{y}_1 가 동시에 0가 되어야 하므로 檢出이 不可하나, 그림 7(b)와 같이 y_1, \bar{y}_1 를 모두 外部에서 獨立的으로 制御할 수 있으므로 테스트 패턴은 x_1, y_1, \bar{y}_1, x_2 가 1001이 되어 檢出이 可能하게 된다.

V. 結 論

從來의 LSSD에서 設計된 쉬프트 레지스터 래치를 改善하여 故障 檢出이 容易한 새로운 LSI 論理設計方式을 提案하였다. 즉 테스트時 래치의 出力값들이 獨立的으로 制御되지 못하는 缺點을 解決하여 테스트 패턴 生成을 容易하게 하였다. 또한 이 設計方式을 PLA와 任意 論理回路에 適用하는 방식에 關하여 論하였다. PLA에 適用時는 故障 檢出에 必要한 테스트 集合이 PLA函數에는 相關없이 오직 PLA크기에만 依存하게 된다. 따라서 테스트 패턴 生成時에 必要하였던 알고리즘이 除去되어, 入力變數와 出力函數에 의하여 테스트 패턴을 生成하는 從來의 方法에 비하여 테스트 패

턴 생성에 必要한 時間과 費用이 거의 無視된다. 또 테스트 패턴의 數는 $3l + 2m + n$ 個로 되어 從來의 方法보다 減少하며 AND array 內로 歸還되는 行들에 附加되어야 할 decoder도 필요없게 되었다. 또한 任意 論理回路에서 回路의 래치로부터 들어오는 歸還入力들中 그 값과 補數값이 同時에 要求되는 境遇에 이 값들을 서로 獨立의으로 制御할 수 있으므로 테스트 패턴 生成의 努力과 時間이 減少되고 故障檢出率이 向上되었다.

參 考 文 獻

- [1] M.J.Y Williams and J.B Angell, "Enhancing testability of large scale integrated circuits via test points and additional logic," *IEEE Trans. Comput.*, vol. EC-22, pp. 46-60, Jan. 1973.
- [2] E.B Eichelberger and T.W Williams, "A logic design structure for LSI testability," *J. Design Automat. Fault-Tolerant Comput.*, vol. 2, pp.165-178, May 1978.
- [3] H.E Jones and R.F Schauer, "An approach to a testing system for LSI," *CAD of Digital Electronic Circuits and Systems*, North Holland, pp.187-204, 1979.
- [4] K.K Saluja, "An enhancement of LSSD to reduce test pattern generation effort and increase fault coverage," in *Proc. 19th Des. Automat Conf.*, pp.489-494, June 1982.
- [5] H. Fujiwara, K. Kinoshita and H. Ozaki, "Universal test sets for programmable logic arrays," in *Dig. 10th Int. Symp. Fault-Tolerant Comput.*, pp.137-142, June 1980.
- [6] S.J Hong and D.L Ostapko, "FITPLA: A programmable logic array for function independent testing," in *Dig. 10th Int. Symp. Fault-Tolerant Comput.*, pp.131-136, June 1980.
- [7] H. Fujiwara and K. Kinoshita, "A design of programmable logic arrays with universal tests," *IEEE Trans. Comput.*, vol. EC-30, no.11, pp.823-828, Nov. 1981.
- [8] J.P Roth, "Diagnosis of automata failures; A calculus and a method," *IBM J Research Develop.*, vol.10, pp.278-291, July 1966.
- [9] J.P Roth, W.G Bouricius and P.R Schneider, "Programmed algorithms to compute tests to detect and distinguish between failures in logic circuits," *IEEE Trans. Comput.*, vol. EC-16, pp.567-580, Oct. 1967.
- [10] A.C.L Chiang, I.S Reed and A.V Banes, "Path sensitization, partial boolean difference and automated fault diagnosis," *IEEE Trans. Comput.*, vol. EC-21, pp. 189-194, Feb. 1972.
- [11] A.D Friedman, "Fault detection in redundant circuits," *IEEE Trans. Comput.*, vol. EC-16, pp.99-100, Feb. 1967.
- [12] N.N Tendolkar, R.L Swann, "Automated diagnostic methodology for the IBM 3081 processor complex," *IBM J. Res. Develop.*, vol.26, no.1, pp.78-88, Jan. 1982.
- [13] D. Komonytsky, "Synthesis of techniques creates complete system self-test," *Electronics*, pp.110-115, March 10, 1983.