

마스크 오정렬 및 결정 결함이 PN 접합 아이솔레이션의 항복 특성에 미치는 영향

(Effects of Mask Misalignment and Crystal Defects on the Breakdown Characteristics in the PN Junction Isolation)

趙 庚 翼*, 白 文 哲*, 宋 成 海*

(Kyoung Ik Cho, Moon Cheol Paek and Sung Hae Song)

要 約

PN 접합 아이솔레이션의 항복 특성, 특히 소프트 항복 현상에 대해, 아이솔레이션 마스크를 오정렬시킨 정도와 공정중 생성된 결함들의 영향을 고찰하였다. 그 결과, 아이솔레이션 마스크를 인위적으로 오정렬 시킴으로써, 매입층과 아이솔레이션 사이의 간격을 변화시켰을 때, 이것은 항복 전압에만 영향을 줄 뿐 소프트 항복 현상과는 무관하였다. 소프트 항복 현상, 즉 항복 전압 이하에서 역방향 누설 전류가 크게 증가하는 것은 소자 제조 공정중 생성된 산화 적층 결함(OSF)에 의한 것으로 나타났다.

Abstract

Breakdown characteristics, specifically, soft breakdown phenomena of the PN junction isolation were studied in terms of their dependence on the mask misalignment and the amount of process-related defects. Varying the distance between the buried layer and the isolation by intentional misalignment of the isolation mask had no effects on the soft breakdown phenomena except for the change of the breakdown voltage. The soft breakdown phenomena, as characterized as a state of excessive reverse current below the breakdown voltage, were found out to result mainly from the oxidation-induced stacking faults (OSF) introduced during the fabrication process.

I. 序 論

바이폴라 집적 회로의 제조에서 소자와 소자 사이를 전기적으로 고립시키기 위한 PN 접합 아이솔레이션(PN junction isolation) 공정은 중요한 공정중의 하나이다. 이러한 접합 아이솔레이션이 그 역할을 다하기 위해서는 소자에서 요구하는 전압 이상의 항복 전

압(breakdown voltage)을 가져야 한다.

그러나, 소자의 제조에서 문제가 되는 것은 아이솔레이션 마스크(mask)를 정렬(align)하는데 기준이 되는 본래의 매입층 패턴(buried layer pattern)이 에피택셜 층(epitaxial layer)을 성장한 후에 그 크기 및 모양이 변하거나 측면으로 이동[이것을 패턴 이동(pattern shift)이라고 한다]됨으로써, 이것을 기준으로 아이솔레이션 마스크를 정렬하였을 때 실제의 매입층이 아이솔레이션에 너무 가깝게 되거나 붙어버리게 되어 항복 전압이 매우 낮아지거나 전기적인 쇼트(short)가 일어나게 된다는 것이다.^[1]

또한, 소자 제조 공정중 PN 접합 부근에 생성된 여러 가지 결함(defect)들이나 불순물의 석출물(preci-

*正會員, 韓國電子技術研究所

(The Korean Institute of Electronics Technology)

接受日字: 1984年 2月 1日

(※ 本研究은 科學技術處 '82年度 國策과제 SN 8216
으로 이루어졌음.)

pitte)들은 PN 접합의 항복 전압을 벌크(bulk) 항복 전압 이하로 낮추게 되며, 이러한 불균질한(nonuniform) 항복 현상때문에 애벌런치(avalanche) 항복 전압 이하에서 상당히 큰 역방향 누설 전류(reverse leakage current)가 흐르게 되는, 소프트(soft) 항복 현상이 일어나게 된다고 알려져 있다.¹²⁾

지금까지, 여러 가지 결함들이 PN 접합 소자의 전기적 특성에 미치는 영향에 대해서는 많은 사람들에게 의해 연구된 바 있지만,¹³⁻¹⁵⁾ 접합 아이솔레이션에서의 항복 현상에 대한 연구는 아주 미흡한 실정이다.

본 논문에서는, 아이솔레이션 영역 양쪽의 두 매입층 아일랜드(island) 사이에 전압을 걸어 주었을 때의 역방향 I-V 특성을 측정하여, 접합 아이솔레이션의 항복 현상, 즉 아이솔레이션 항복 전압과 역방향 누설 전류에 대한 마스크 오정렬(misalignment) 및 결정 결함들의 영향을 조사하였다.

II. 實驗 方法

사용한 웨이퍼는 비저항 값이 8~15Ω·cm인 P형(boron doping) 웨이퍼로서, 결정 배향(crystal orientation)은 (111)면으로부터 <110>방향으로 3~5° 편향된 것이다.

여기에, 전형적인 바이폴라 집적 회로 제조 방법에 따라, 산화 공정 및 사진 식각 작업(photolithography)을 거쳐, 매입층 확산 및 에피택셜 층의 성장, 그리고 아이솔레이션 확산 공정을 행하였다.

산화 공정은 스팀 산화(pyrogenic steam oxidation) 방법(1, 100°C, 2 시간)과 T.C.E. 산화 방법(1, 000°C, 8 시간)을 병용하여 10KÅ의 산화막을 형성하였다. 매입층의 확산은 As-도포(spin-on source coating) 방법으로 1, 100°C에서 행하였으며, 결과적으로 접합 깊이(junction depth: X_j)가 4 μm이고, 시트 저항(sheet resistance: R_s) 값이 14Ω/□가 되도록 하였다. 에피택셜 층은 감압(80 torr)에서, SiH₄, Cl₂ 가스와 PH₃ 가스를 사용하여, CVD(Chemical Vapor Deposition) 방법으로 성장시켰다. N형 에피택셜 층의 비저항 값은 1 Ω·cm이고 두께는 10 μm이었다. 아이솔레이션 마스크는 한 방향, 즉 웨이퍼의 플랫 사이드(flat side)와 평행한 방향으로만 인위적으로 오정렬시켰다. 이것은 (111) 웨이퍼를 사용하여 에피택셜 층을 성장했을 때, 매입층 패턴의 이동(pattern shift)은 플랫 사이드와 평행한 방향으로만 일어나기 때문이다.¹¹⁾ 아이솔레이션 확산 공정은 boron nitride(BN-975) 웨이퍼를 사용하여, 접합 깊이가 12 μm가 되도록 하였다.

이와 같이 하여 제작된 시료의 단면 구조는 그림 1과 같다.

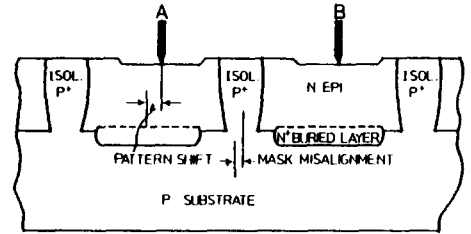


그림 1. 제작된 시료의 단면 구조
Fig. 1. Cross-sectional view of the specimen.

마스크 오정렬의 크기는 아이솔레이션 공정이 끝난 웨이퍼에 홈을 내어(grooving) 부식액(HF : DI water : CrO₃ = 1ℓ : 1ℓ : 10g)으로 실제 매입층을 부식(staining)시킨 다음,¹⁶⁾ 매입층과 아이솔레이션 영역의 상대적인 위치를 마스크 콤파레이터(comparator)라는 장비를 사용하여 측정하는 과정을 여러번 반복함으로써 구하였다. 마스크 콤파레이터는 광학 현미경에 십자선 눈금(reticle)이 부착된 것으로서, 두 지점 X, Y 사이의 간격은 X 지점에 십자선을 맞추었을 때의 좌표(눈금)와 Y 지점에 십자선을 맞추었을 때의 좌표와의 차이로부터 얻어진다. 이렇게 구한 마스크 오정렬의 크기는 아이솔레이션 영역의 중심이 실제 매입층들 사이의 정 중앙으로부터 이동된 거리(그림 1 참조)로서 나타내었다.

항복 현상은 제작된 시료의 테스트 패턴(test pattern)에서, 커브 트레이서(curve tracer)를 사용하여 아이솔레이션 영역 양쪽의 두 매입층 아일랜드 사이(그림 1에서 A, B)에 전압을 걸어 줌으로써 측정하였다. 이것은 아이솔레이션 영역을 중심으로하여 백-투-백(back-to-back)으로 연결된 두 개의 다이오드(A ←→ B)의 양단에 전압을 걸어준 셈이 된다.

그리고, 결정 결함은 서틀 에칭(sirtl etching) 용액(HF : DI water : CrO₃ = 100ml : 100ml : 50g)을 사용하여 조사하였다.¹⁶⁾

III. 結果 및 考察

아이솔레이션 영역 양쪽의 두 매입층 아일랜드 사이에 전압을 걸어 주었을 때 관찰되는 I-V 곡선을 그림 2에 나타내었다. 왼쪽 그림들은 커브 트레이서로부터 관찰된 I-V 곡선이며, 오른쪽 그림들은 표 1을 설명하기 위한 것이다. 그림에서 (a)는 전형적인 I-V 곡선이며, (b)는 소프트 항복 현상을 보여주는 것이다. 표 1은 아이솔레이션 마스크의 오정렬(Δ)에 따른 아이솔레이션 항복 전압(BV_{iso})의 변화를 나타낸 것

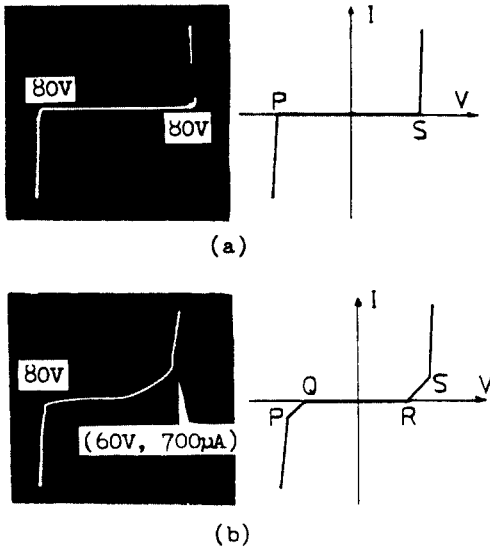


그림 2. PN 접합 아이솔레이션의 항복 특성을 보여주는 I-V 곡선; (좌) 커브 트레이서로부터 관찰된 것과, (우) 도식도
 (a) 전형적인 I-V 곡선
 (b) 소프트 항복을 보여주는 I-V 곡선

Fig. 2. I-V curves showing the breakdown characteristics of PN junction isolation; (left) observed from the curve tracer and (right) schematic.
 (a) Typical I-V curve.
 (b) I-V curve showing the soft breakdown.

으로, 항복 특성은 그림 2의 점 P, Q, R, S에 대응하는 전류(I) 및 전압(V)으로 표시하였다. 여기에서, T, C, B, L, R은 한 웨이퍼에서 5개의 테스트 패턴의 위치를 나타낸다. 표 1에서, ΔA 가 1 μm 에서 4 μm 까지 변화하여도 본 실험에서 사용한 테스트 패턴에서의 BViso 값에는 거의 변화가 없으며, ΔA 가 9 μm 일 때에는 BViso 값이 훨씬 감소하는 것으로 나타났다.

본 실험에서 사용한 테스트 패턴에서, 아이솔레이션 영역의 마스크 상의 폭은 10 μm 이었으며, 아이솔레이션 영역과 매입층 사이의 마스크 상의 간격은 24 μm 이었다. 따라서, 매입층($X_1 = 4\mu\text{m}$) 및 아이솔레이션 영역($X_2 = 12\mu\text{m}$)의 확산 공정시, 측면으로 확산된 거리(lateral diffusion length)는 수직으로 확산된 거리(X_1)의 약 80%이므로,¹⁷⁾ 아이솔레이션 영역이 두 매입층들 사이의 정중앙에 놓여 있을 경우(즉, $\Delta A = 0$ 인 경우)에, 아이솔레이션 영역과 매입층 사이의 간격은 대략 $24 - (4 + 12) \times 0.8 = 11\mu\text{m}$ 가 된다. 따라서, 이러한 측면 확산을 고려하면, 표 1의 결과로부터, 매입층과 아이솔레이션 사이의 간격이 11 μm 에서 11-4 =

표 1. 항복전압에 대한 마스크 오정렬의 영향
 Table 1. Effects of mask misalignment on the breakdown voltage (BViso).

Wafer I. D.	Mask misalignment (ΔA)	Position of test pattern	Isolation breakdown voltage (BViso)					
			Point P (Fig. 2)		Q	R	Point S	
			V (V)	I (μA)	V (V)	V (V)	V (V)	I (μA)
A-1 (195-2)	1 μm	T	100	~0	-	-	100	~0
		C	100	~0	-	-	100	~0
		B	110	~0	-	-	110	~0
		L	100	~0	-	-	100	~0
		R	100	~0	-	-	100	~0
A-2 (195-3)	2 μm	T	100	~0	-	-	100	~0
		C	100	~0	-	-	110	~0
		B	100	~0	-	-	110	~0
		L	100	~0	-	-	100	~0
		R	100	~0	-	-	100	~0
A-3 (195-1)	3 μm	T	100	~0	-	-	100	~0
		C	100	~0	-	-	100	~0
		B	100	~0	-	-	110	~0
		L	110	~0	-	60	120	50
		R	100	~0	-	-	100	~0
A-4 (196-3)	4 μm	T	100	~0	-	-	100	~0
		C	150	50	60	60	120	50
		B	100	~0	-	-	90	~0
		L	100	~0	-	-	100	~0
		R	100	~0	-	-	100	~0
K-4 (181)	9 μm	T	30	~0	-	-	60	~0
		C	30	~0	-	-	50	~0
		B	30	~0	-	-	50	~0
		L	30	~0	-	-	60	~0
		R	25	~0	-	-	50	~0

7 μm 일 때(시료 A-4)까지 변화하여도 BViso 값에는 변화가 없으며, 11-9=2 μm 일 경우(시료 K-4)에 BViso 값이 크게 감소한다는 것을 알 수 있다.

이것은 매입층과 아이솔레이션 영역 사이에서 공핍층(depletion layer)이 생기는 것과 관련지어 다음과 같이 설명될 수 있다. 즉, 매입층과 아이솔레이션 영역 사이의 간격이 어떤 두께[항복이 일어날 때의 공핍층 두께] 이상일 경우에 항복은 아이솔레이션 영역(P*)과 에피택셜 층(N) 사이의 P*N 접합에서 일어난다. 이 때의 항복 전압은 P*N 접합에서의 에벌런치(avalanche) 항복 전압에 의해 결정된다. 그런데, 에벌런치 항복 전압은 에피택셜 층(N) 내의 불순물(dopant) 농도에만 의존하므로¹⁸⁾ 매입층과 아이솔레

이선 사이의 간격에 관계없이 일정하다. 반면, 매입층과 아이솔레이션 사이의 간격이 매우 작을 경우에는, 애벌런치 항복이 일어나기 전에 공핍층이 항복 전압은 이 간격이 작아짐에 따라 감소하게 된다.

표 1에서, 시료 A-3의 L패턴과 시료 A-4의 C패턴은 소프트 항복 현상을 나타내는 것들이다. 사실, 시료 A-3와 A-4의 마스크 오정렬의 크기(ΔA)는 각각 $3\mu\text{m}$, $4\mu\text{m}$ 로서 테스트 패턴의 위치(T, C, B, L, R)에 관계없이 서로 같다. 뿐만 아니라 시료 K-4의 경우, 마스크 오정렬의 크기가 훨씬 큰 데도 불구하고 소프트 항복 현상이 일어나지 않았다. 이로써, 소프트 항복 현상은 마스크 오정렬과는 무관함을 알 수 있다.

이러한 소프트 항복 현상의 원인을 살펴보기 위해 모든 시료들을 서틀 에칭하였다. 그 한 예를 그림 3에 나타내었다. (a)는 아이솔레이션 확산 공정 후 I-V 측정이 끝난 시료에 대해 서틀 에칭한 테스트 패턴의 사진이며, (b)는 (a)와 같은 시료의 다른 부분을 고배율로 관찰한 것이다. (c)는 에피택셜 층을 성장한 후, 아이솔레이션 확산 공정을 하지 않은 시료를 서틀 에칭한 것이다.

I-V 측정은 그림(a)의 중앙에 있는 두 매입층 아일랜드["O" 표시 부분] 사이에서 이루어졌다. (a)에서 보면, 측정이 이루어지는 두 매입층 아일랜드 사이에서 산화 적층 결함(OSF: oxidation-induced stacking fault)과²¹ "미세 결함(microdefect)"이 관찰된다. 그림(a), (b)와 그림(c)를 비교해 볼 때, 이러한 산화 적층 결함과 미세 결함은 아이솔레이션 공정중에 생성되었음을 알 수 있다. 미세 결함은 소프트 항복 현상이 일어난 시료나 그렇지 않은 시료에 관계없이, 모든 시료의 아이솔레이션 영역에서만 관찰되었다. 뿐만 아니라, 미세 결함의 밀도가 크고 작음에 관계없이 소프트 항복 현상이 관찰되었다. 이로써, 미세 결함이 PN 접합 소자의 전기적 특성에 영향을 주기도 한다고 보고된 바 있지만,²¹ 본 실험에서는 소프트 항복 현상과 미세 결함과의 사이에 어떤 상관관계를 얻을 수는 없었다.

그리고, 에피택셜 층을 성장한 후에 많이 관찰된 전위(dislocation)들은 아이솔레이션 확산 공정 후 그 밀도가 현저하게 감소하였으며, 2개씩 쌍(pair)을 이루어 매입층 아일랜드에서만 존재하는 경향을 보였다. 또한, 에피택셜 층의 성장시에 에피택셜 적층 결함(epitaxial stacking fault)이 생성되긴 하였지만, 그 밀도는 아주 작았다. 이러한 전위나 에피택셜 적층 결함은 아이솔레이션 공정 후 그 밀도가 작아서, 이것들이 소프트 항복 현상에 영향을 주는지는 본 실험에서는 확인할 수

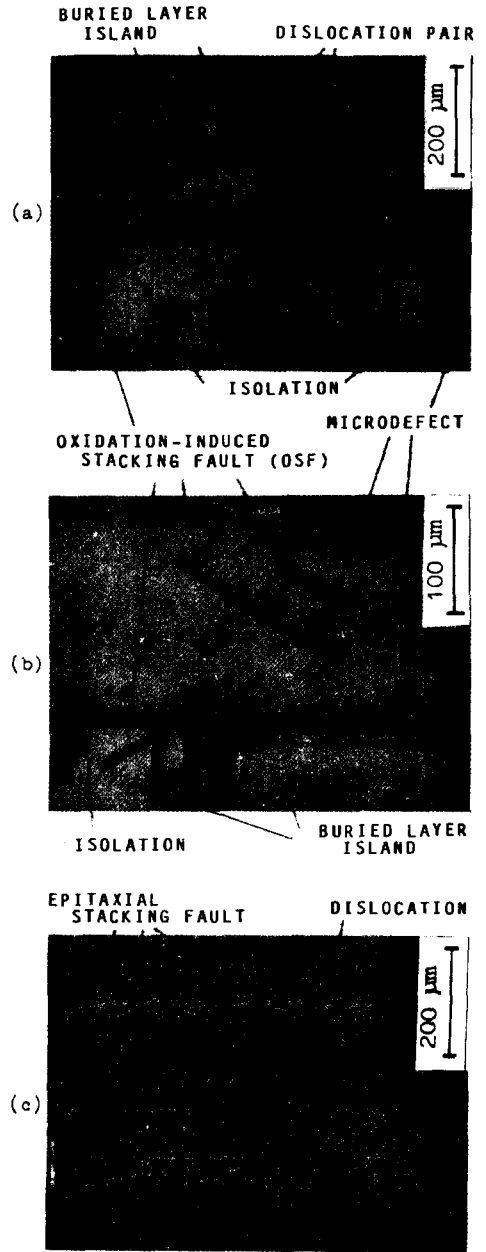


그림 3. 아이솔레이션 확산 공정 전후의 시료에 대한 사진들(서틀 에칭)

- (a) 아이솔레이션 확산 공정 후
- (b) 아이솔레이션 확산 공정 후(고배율)
- (c) 에피택셜 층의 성장 후(아이솔레이션 확산 공정 전)

Fig. 3. Photographs of the specimens after and before isolation diffusion process(sirtl etched).

- (a) After isolation.
- (b) After isolation (higher magnification).
- (c) After epitaxial layer growing (before isolation).

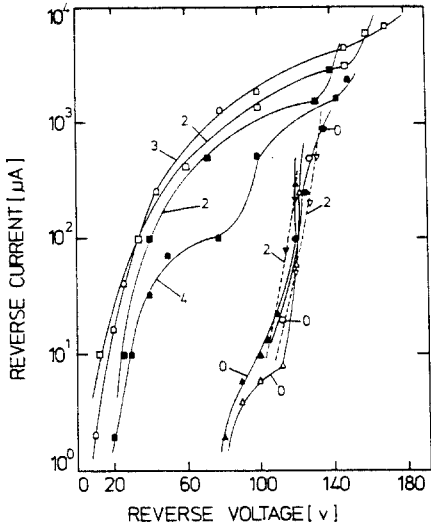


그림 4. 역방향 누설전류에 대한 산화 적층 결함들의 영향을 나타내는 10개 다이오드들의 I-V 특성
 Fig. 4. I-V characteristics of ten diodes illustrating the effects of OSF's on reverse leakage currents.

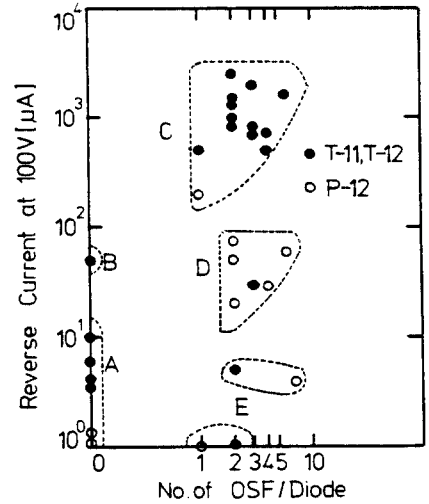


그림 5. 역방향 누설 전류와 산화 적층 결함들의 갯수와의 관계
 Fig. 5. Relationship between the reverse leakage currents and the number of OSF's per diode.

없었다.

그림 4는 아이솔레이션 영역(P⁺)과 매입층 아일랜드(N) 사이(일종의 P⁺N 다이오드)에서 측정된 역방향 I-V 곡선에 대한 산화 적층 결함(OSF)들의 영향을 나타낸 것의 예이다. 그림의 곡선에 표시되어 있는 숫자는 I-V 측정이 이루어진 매입층 아일랜드와 아이솔레이션 영역사이에 걸쳐있는 산화 적층 결함(OSF)의 갯수이다. 여기에서 보면, 10개의 다이오드에 대해 역방향 I-V 특성이 크게 다른 것을 알 수 있으며, 측정이 이루어지는 부분에 산화 적층 결함들이 존재함으로써 역방향 누설 전류가 크게 증가한 것으로 나타나 있다.

그림 5는 역방향 누설 전류와 산화 적층 결함(OSF)들의 갯수와의 관계를 나타낸 것으로, 역방향 전류는 그림 4와 같은 I-V 곡선으로부터 역방향 전압이 100 V일 때의 값을 구한 것이다. 여기에서, 시료 T-11과 T-12는 매입층 확산 공정을 위한 마스크 산화막을 T.C.E. 산화 방법으로 형성하였고, 시료 P-12는 스텝 산화 방법으로 한 것만 다를 뿐, 그 이후의 공정 [즉, 매입층 확산, 에피택셜 층의 성장, 아이솔레이션 공정을 위한 마스크 산화막의 형성 및 아이솔레이션 확산 공정]은 모두 한꺼번에 한 것들이다. 아이솔레이션 확산 공정시 마스크 오정렬의 크기는 약 3μm 정도로서 모든 시료에 대해 일정하게 하였다. 그리고, 테

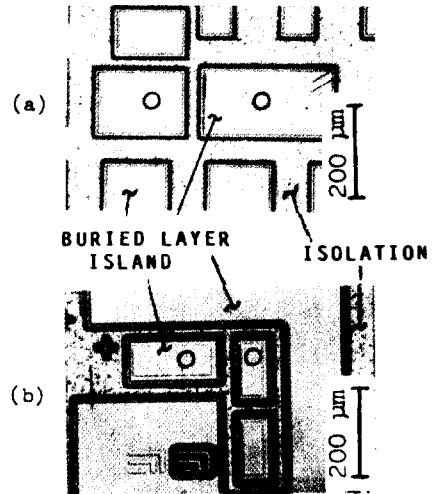


그림 6. 서틀 에칭한 테스트 패턴의 사진들
 (a) 테스트 패턴 A(예; 시료 T-11과 T-12)
 (b) 테스트 패턴 B(예; 시료 P-12)
 Fig. 6. Photographs of Sirtl etched test pattern.
 (a) Test pattern A(Ex. ;T-11 and T-12).
 (b) Test pattern B(Ex. ;P-12).

스트 패턴의 크기와 모양은 그림 6에 나타난['O' 표시 부분] 바와 같이 시료 T-11, T-12[그림 6 (a)]와 시료 P-12[그림 6 (b)]가 서로 다르다.

그림 5에서 그룹(group) A를 보면, 산화 적층 결합(OSF)이 없을 때, 100V에서 측정된 역방향 전류는 $10\mu\text{A}$ 이하이다. 그러나, 한 다이오드(그룹 B)에 대해서는 OSF가 생성되어 있지 않은데도 불구하고 역방향 전류가 상당히 크다. 이것은 OSF가 아닌 다른 요인에 의한 것으로 생각되지만 아직 그 원인을 알 수는 없었다. 그룹 C와 D를 보면, 1개 이상의 OSF가 존재함으로써 역방향 전류가 OSF가 없을 때(그룹 A)에 비해 100배~10배 이상 증가하였다. 여기에서, 그룹 C에 속하는 점들은 대부분 시료 T-11 및 T-12에서 측정된 것들이며, 그룹 D에 속하는 점들은 대부분 시료 P-12에서 측정된 것들이다. 이로부터, 그룹 C와 그룹 D에서 전류 범위가 다른것은 최초 산화 공정 및 테스트 패턴의 크기, 또는 OSF의 전기적 활성화도(electrical activity)가 다르기 때문으로 일단 생각할 수 있다.

먼저, 최초 산화공정의 차이를 고려한다면, 그림 3에서 알 수 있듯이 OSF들은 아이솔레이션 공정 전에는 관찰되지 않고, 아이솔레이션 공정 후에만 관찰되었으므로 최초 산화 공정과 본 실험에서의 OSF의 생성과는 무관하다고 할 수 있다. 물론 T.C.E. 산화 방법으로 산화막을 형성할 경우, 웨이퍼 표면에서의 금속 이온들을 게터링(gettering)하는 효과가 있지만,¹⁾ 이와 같은 효과를 고려한다면 T.C.E. 산화 공정을 거친 시료 T-11 및 T-12의 역방향 누설 전류는 P-12에 비해 작아야 할 것이다. 이것은 그림 5에서의 실험결과와 상반된다. 그리고, 테스트 패턴의 크기를 고려한다면(그림 6 참조), 측정이 이루어지는 매입층 아일랜드의 둘레[이것이 매입층 아일랜드와 아이솔레이션 사이에 형성된 P+N 접합의 접합 면적에 비례한다]는 시료 T-11 및 T-12에서가 P-12의 약 1.6배가 되므로, 일정 전압에서 전류 밀도가 같다고 하더라도 시료 T-11 및 T-12의 전류는 P-12의 1.6배가 될 것이다. 따라서, 테스트 패턴의 크기 차이만으로는 그룹 C와 그룹 D에서 전류범위가 10배 이상 차이가 나는 것을 설명할 수는 없다. 결국, 이와 같이 전류 범위가 10배 이상 차이가 나는 것은, PN 접합 소자의 전기적 특성에 대한 OSF의 영향을 연구한 Parrillo 등의²⁾ 보고에서도 관찰된 것으로, 아직 정확한 것을 확인할 수는 없지만, OSF의 전기적 활성화도가 다르기 때문에 기인하는 것으로 생각된다. Ravi 등에³⁾ 의하면, OSF의 전기적 활성화도는 OSF의 크기 및 위치, 그리고 OSF에 어떤 종류의 불순물이 어느정도 모여있는가에 따라 달라진다. 본 실험에서, 시료 T-11, T-12와 P-12는 한꺼번에 아이솔레이션 확산 공정을 행한 것

으로서, 아이솔레이션 공정후에 생성된 OSF의 크기는 시료 T-11, T-12와 P-12에서 별차이가 없었다.

다시, 그림 5로 돌아가서 그룹 E를 보면, OSF의 개수가 1개 이상 존재함에도 불구하고 그룹 A와 같이 $10\mu\text{A}$ 이하이다. 이것은 Ravi 등의 보고에 의하면, 화학 에칭을 한 후 관찰된 OSF들 모두가 전기적으로 활성화된 OSF는 아니기^{2,3)} 때문으로 생각된다.

IV. 結 論

PN 접합 아이솔레이션의 항복 특성에 대한 마스크 오정렬의 크기 및 결합들의 영향을 관찰하였다. 아이솔레이션 마스크를 인위적으로 오정렬 시킴으로써, 매입층과 아이솔레이션 사이의 간격을 변화시켰을 때, 이 간격이 약 $7\mu\text{m}$ 이상일 때 까지는 항복 전압은 일정하였지만, 이 간격이 약 $2\mu\text{m}$ 이하일 때에는 항복전압은 크게 감소하였다. 이러한 현상은 매입층과 아이솔레이션 영역 사이에서 생기는 공핍층과 관련지어 설명될 수 있었다. 그러나, 이러한 마스크 오정렬(또는 매입층과 아이솔레이션 사이의 간격)과 소프트 항복 현상과는 아무런 관련이 없었다. 소프트 항복 현상, 즉 항복 전압 이하에서 역방향 누설 전류가 크게 증가하는 것은, 소자 제조 공정중 생성된 산화 적층 결합(OSF)에 의한 것으로 나타났다. 그러나, 화학 에칭으로 관찰된 OSF들 모두가 전기적으로 활성화된 것은 아니기 때문에, OSF가 존재한다고 해서 반드시 소프트 항복 현상이 일어나지는 않았다. 만일, OSF의 전기적 활성화도를 측정할 수 있다면, 보다 정량적인 분석이 가능하리라고 생각된다. 아울러, 이러한 OSF의 생성이 억제된다면, PN 접합 아이솔레이션은 물론 PN 접합 소자의 전기적 특성은 훨씬 개선될 수 있을 것이다.

參 考 文 獻

- [1] C.M. Drum and C.A. Clark, "Geometrical stability of shallow surface depressions during growth of (111) and (100) epitaxial silicon," *J. Electrochem. Soc., Solid State Science*, vol. 115, no. 6, pp. 664-669, June 1968.
- [2] K.V. Ravi, *Imperfections and Impurities in Semiconductor Silicon*. John Wiley & Sons, New York, pp. 232-278, 1981.
- [3] K.V. Ravi, C.J. Varker, and C.E. Volk, "Electrically active stacking faults in silicon," *J. Electrochem. Soc., Solid State Science*, vol. 120, no. 4, pp. 533-541, Apr. 1973.

- [4] C.J. Varker and K.V. Ravi, "Oxidation-induced stacking faults in silicon. II. Electrical effects in PN diodes", *J. Appl. Phys.*, vol. 45, no. 1, pp. 272-287, Jan. 1974.
 - [5] L.C. Parrillo, et al, "The reduction of emitter-collector shorts in a high-speed all-implanted bipolar technology," *IEEE Trans. Electron Devices*, vol. ED-28, no. 12, pp. 1508-1514, Dec. 1981.
 - [6] Silicon Evaluation Standards, Monsanto, Missouri.
 - [7] A.B. Glaser and G.E. Subak-Sharpe, *Integrated Circuit Engineering*. Addison-Wesley, California, pp. 212-213, 1977.
 - [8] S.M. Sze, *Physics of Semi-conductor Devices*. 2nd edition, John Wiley & Sons, New York, pp. 193-196, 1981.
 - [9] S.M. Sze, *VLSI Technology*. McGraw-Hill, New York, pp. 147-148, 1983.
-