

GaAs FET 마이크로파 増幅器

(分配増幅器에서 帶域幅을 증가시키는 方法을 中心으로)

(Wide Bandwidth GaAs FET Distributed Amplifier in Microwave Frequencies)

張 益 洙*

(Ik Soo Chang)

要 約

마이크로파 分配増幅器에서 게이트線路에서 減衰定數를 줄여서 帶域幅을 넓히기 위하여 FET 칩에 直列 케페시터를 삽입할 때 帶域幅이 증가되는 關係를 유도하고 이때 分配増幅器의 設計方法을 제시한다. 실제 예로서 300 μ 게이트 FET로서 4개 素子를 썼을 때 2-12GHz의 帶域幅을 直列 케페시터를 삽입 하여서 2-20GHz까지의 均일한 電力利得을 얻었다.

Abstract

This paper describes the analysis and design of a GaAs FET distributed amplifier connecting a series capacitor to get a super wide bandwidth by reducing the gate line attenuation constant. In this approach a design example with a 300 μ gate length FET devices is presented, and the obtained results are; that without series capacitors the bandwidth is 2 - 12 GHz, but with capacitors 2 - 20 GHz in flat gain.

I. 序 論

分配増幅器(distributed amplifier)는 주파수 특성이 廣帶域이기 때문에 VHF, UHF에서 대단히 많이 이용되고 있다.^{1),2)} 최근에는 GaAs FET의 발달로 마이크로파 回路를 monolithic MIC화하는 문제가 집중적으로 연구되고 있으며, 특히 分配増幅器의 MIC化는 종래의 마이크로파 廣帶域 TWT를 半導體로 대체시키기 위하여 한창 연구가 진행되고 있다.^{3),4)}

일반적으로 FET에서 주파수 한계는 게이트, 드레인의 時定數에 따라서 결정된다. FET로서 分配増幅器를 구성할 때 게이트 入力線路의 減衰定數(attenu-

tion constant of input gate line)는 게이트 저항을 r_g , 용량을 C_{gs} 라 할 때 개략적으로 $r_g C_{gs}^2 \omega^2$ 에 비례하고 드레인 出力線路의 減衰定數는 게이트 선로와는 다르게 ω 에 대하여 심각한 영향을 받지 않는다.⁵⁾

따라서 n개 FET 素子를 이용한 分配増幅器에서, 게이트 선로에 인가된 入力信號는 낮은 주파수에서는 n개 素子에 같은 양이 인가되지만 주파수가 증가함에 따라서 ω^2 에 비례하는 減衰定數때문에 첫째, 둘째등의 앞부분 FET에는 신호가 인가되지만 뒷부분 FET에는 거의 인가되지 못한다. 이와 같은 현상은 주파수가 증가함에 따라서 더욱 심하게 나타난다.

만일 게이트 線路의 減衰定數가 ω 에 대하여 무관하거나 대단히 작을 경우 入力信號는 廣帶域에서 n개 素子에 均일하게 인가될 수 있기 때문에 廣帶域 増幅器로 동작할 수 있다.

실제 주어진 FET 칩에서 게이트 등가회로의 直列 r_g, C_{gs} 의 값이 일정하기 때문에 n-素子 分配増幅器의 利得·帶域幅은 일정하다.⁷⁾

*正會員, 西江大學校 工科學 電子工學科
(Dept. of Eletronics Eng., So Gang Univ.)

接受日字: 1983年 11月 1日

(※ 이 論文은 1982年度 文敎部 IBRD 海外派遣研究 計劃에 의하여 遂行된 것임.)

本 論文에서는 주어진 FET 칩에서 入力게이트 線路의 減衰定數를 외부회로에 의하여 감소시켜 줌으로써 利得은 감소하지만 대단히 큰 帶域幅을 구하는 방법을 제시하며, 또한 periodic structure 理論을 근거로 하여 이 增幅器를 해석하고 그것을 기초로 設計方法을 논하였다.

II. 分配增幅器의 Periodical Structure 解析

그림 1 (a) 와 같은 FET 칩의 특성이 주어졌을때 게이트 時定數 $r_g C_{gs}$ 를 외부회로에 의하여 낮추기 위하여 入力 게이트에 直列 C_g 를 삽입하자 이때 RF 실제 회로는 그림 1 (b)와 같으며 그 등가회로는 그림(c)가 된다.

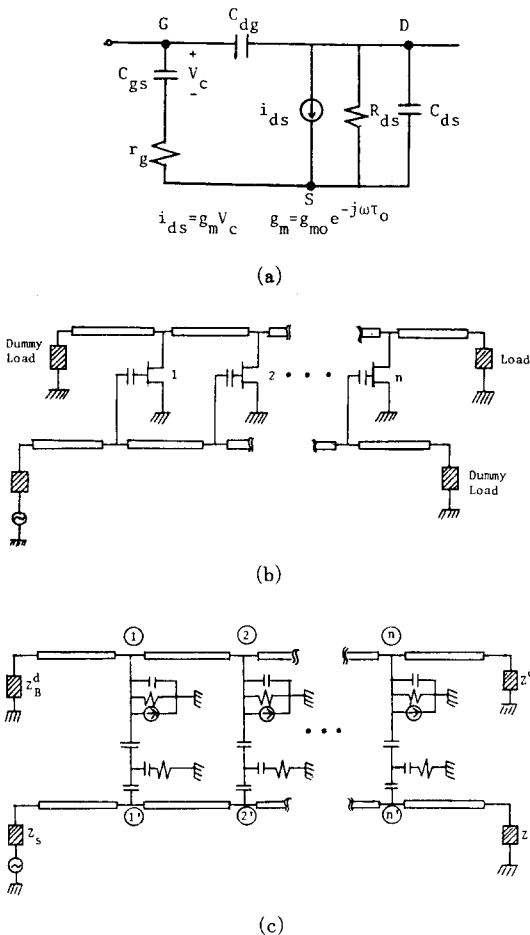


그림 1. FET 칩의 等價回路와 게이트 직렬 케페시터를 삽입할 때 分配增幅器 회로
Fig. 1. RF equivalent circuit of FET chip and a distributed amplifier with gate series capacitors.

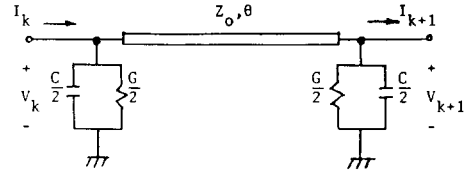


그림 2. 드레인 및 게이트 線路의 pi-unit cell
Fig. 2. pi-unit cell of drain and gate line.

그림에서 이 회로는 periodical structure가 되며 이것의 단일부분(unit cell)은 그림 2와 같이 된다.

入力게이트 線路和 出力드레인 線路사이에서 게이트-드레인 용량 C_{gd} 에 의하여 結合되고 있으나 이 용량은 다른 等價素子값에 비하여 대단히 작다. 따라서 入-出力線路를 獨立的으로 해석할 수 있으며, 두 선로의 unit cell은 다같이 그림 2와 같이 된다 (게이트 선로에서는 직렬을 등가병렬로 한 것). 이때 出力線路에서는 電流源 $g_m v_c$ 가 이 회로에 첨가된다.

1. Periodic Structure의 파라미터

n개 FET를 갖는 分配增幅器의 pi-等價 unit cell 그림 2에서 파라미터 A, B, C, D는

$$\begin{pmatrix} V_k \\ I_k \end{pmatrix} = \begin{pmatrix} A & B \\ C & D \end{pmatrix} \begin{pmatrix} V_{k+1} \\ I_{k+1} \end{pmatrix} = e^{\gamma} \begin{pmatrix} V_{k+1} \\ I_{k+1} \end{pmatrix} \quad (1)$$

여기서 $\gamma = \alpha + j\beta$ 이며 $\cos \gamma = (A+B)/2$

$$\begin{aligned} A=D &= (\cos \theta - \frac{1}{2} z_o \omega c \sin \theta) + j \frac{1}{2} z_o G \sin \theta \\ B &= j \sin \theta \\ C &= G z_o / (\cos \theta - \frac{1}{2} z_o \omega c \sin \theta) \\ &+ j (\sin \theta + z_o \omega c \cos \theta - \frac{1}{4} \sin \theta (z_o^2 \omega^2 c^2 - G^2 z_o^2)) \end{aligned}$$

이다.^(*) 여기서 θ 는 FET사이의 전기적 길이이다. 식 (1)에서 periodical structure의 特性 임피던스 Z_B 와 傳波定數 $\alpha + j\beta$ 는

$$\begin{aligned} Z_B &= Z_o (\sin \theta / (\sin \theta + Z_o \omega c \cos \theta - \frac{1}{4} (Z_o^2 \omega^2 c^2 - G^2 Z_o^2) \sin \theta - j G Z_o (\cos \theta - \frac{1}{2} Z_o \omega c \sin \theta)))^{1/2} \quad (2) \end{aligned}$$

이며 $\alpha < 1$ 인 경우 (실제 GaAs FET에서)

$$\left. \begin{aligned} \beta &\approx \cos^{-1} (\cos \theta - \frac{1}{2} Z_o \omega c \sin \theta) \\ \alpha &\approx \sin h^{-1} (\frac{1}{2} Z_o G \sin \theta / \sin \beta) \end{aligned} \right\} \quad (3)$$

이다.

일반적으로 FET 자체의 RF 등가회로에서 드레인 회로는 C_d, G_d 병렬이며, 게이트는 r_g, C_g 직렬로 구성된다. 따라서 게이트에 직렬로 C_s 를 삽입할 때 입력 게이트 선로의 unit cell 그림 2의 등가 C, C_g 는

$$\left. \begin{aligned} C &= \frac{C_g/(1+k)}{1+W^2/(1+k)^2} \\ C_g &= \frac{W^2/r_g(1+k)^2}{1+W^2/(1+k)^2} \end{aligned} \right\} \quad (4)$$

여기서 $W = \omega/\omega_c$, $\omega_c = 1/r_g C_g$ 이며 $k = C_d/C_g$ 로서 결합계수(coupling coefficient)라 한다 하자.

일반적으로 FET에서 $f_c = (\omega_c/2\pi)$ 는 대단히 크며 분배 증폭기의 동작주파수가 이보다 낮다고 가정하면 $C = C_g/(1+k)$, $G_g = W^2/r_g(1+k)^2$ 으로 감소된다. 만일 $k=1$ 로 동작시키면 $C < 1/2 C_g$ 되고 게이트 등가 컨덕턴스도 $1/4$ 로 감소된다.

드레인 선로와 게이트선로에서 같은 값의 Z_o, θ 및 $C (= C_g/(1+k))$ 를 택하고 다만 G 만 다른 값으로 가정할 수 있다. G 는 FET 칩의 r_g, r_d 에 기인된 값이므로 G_g, G_d 는 다른 값을 갖는다. 이때 periodical structure의 특성 임피던스, 위상정수 및 감쇠정수는 식(2), (3)에서 부터

$$Z_B^{\alpha} = \frac{Z_o}{\sqrt{1 + \frac{Z_o W}{r_g(1+k)} \cot \theta - \frac{1}{4} \left(\frac{Z_o^2 W^2}{r_g^2(1+k)^2} - G_{g,d} Z_o^2 \right) + j G_{g,d} Z_o}} \quad (5)$$

$$\left. \begin{aligned} \beta &= \cos^{-1} \left(\cos \theta - \frac{Z_o W}{2r_g(1+k)} \sin \theta \right) \\ \alpha_{g,d} &= \sinh^{-1} \left(\frac{1}{2} Z_o G_{g,d} \sin \theta / \sin \beta \right) \end{aligned} \right\} \quad (6)$$

여기서 첨자 g, d 는 게이트, 드레인 선도를 각각 의미한다.

2. 분배 증폭기의 이득

n 개 FET를 사용한 분배 증폭기의 RF 등가회로는 그림 3과 같이 된다. 이 회로에서 FET사이의 마이크로스트립의 임피던스와 길이를 게이트와 드레인 선로에 같은 값들이 되게 할 때 $\beta_g = \beta_d = \beta$ 가 되며 Z_B 와 α 만 서로 다르게 된다.

또한 게이트선로에 Z_B^g 로, 드레인선로의 양단에 Z_B^d 로 loading한다면 port ①에서 출력전압 V_o 는

$$\left. \begin{aligned} V_o &= -\frac{g_m Z_B^d V_1}{2(1+k)} e^{-j(n-1)\beta} e^{-(n-1)(\alpha_g + \alpha_d)/2} \\ &\quad \frac{\sinh n(\alpha_g - \alpha_d)/2}{\sinh(\alpha_g - \alpha_d)/2} \end{aligned} \right\} \quad (7)$$

이다.

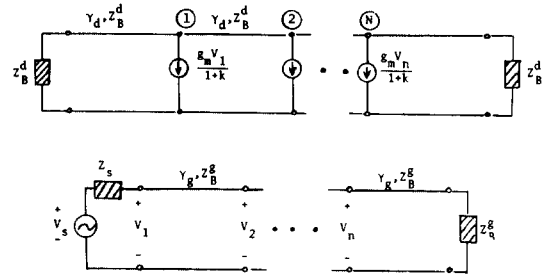


그림 3. 분배 증폭기를 전송선로로 변환시킨 회로
Fig. 3. Transmission line equivalent circuit of distributed amplifier.

신호전압원 V_s 에 대한 출력전압 V_o 의 전압이득

$$\left. \begin{aligned} A_{v,s} \left(\equiv \frac{V_o}{V_s} \right) &= \\ A_{v,s} &= -\frac{g_m Z_B^d Z_B^g}{2(1+k)(Z_B^g + Z_s)} e^{-j(n-1)\beta} e^{-(n-1)\alpha_g} \\ &\quad e^{-(n-1)\alpha_d/2} \frac{\sinh(n\Gamma/2)}{\sinh(\Gamma/2)} \end{aligned} \right\} \quad (8)$$

여기서 $\Gamma = \alpha_g - \alpha_d$ 이다.

최대전달전력에 대한 전력이득(transducer power gain)은

$$\left. \begin{aligned} G &= |V_o|^2 R_e \left(\frac{1}{Z_B^d} \right) / (|V_s|^2 / (4 R_e Z_s)) \\ &= \frac{g_m^2 |Z_B^d Z_B^g|^2 R_e Z_B^g R_e \left(\frac{1}{Z_B^d} \right)}{4 (R_e Z_B^g)^2} \\ &\quad \left(\frac{e^{-(n-1)\alpha_g}}{k+1} e^{-(n-1)\Gamma/2} \frac{\sinh(n\Gamma/2)}{\sinh(\Gamma/2)} \right)^2 \end{aligned} \right\} \quad (9)$$

이다.

식(9)에서 $G = F_1 F_2$ 로 두면

$$\left. \begin{aligned} F_1 &= \frac{g_m^2}{4(1+k)} \frac{|Z_B^d Z_B^g|^2 R_e(Z_B^g) R_e \left(\frac{1}{Z_B^d} \right)}{4 (R_e Z_B^g)^2} \\ F_2 &= e^{-(n-1)\alpha_g/2} e^{-(n-1)\Gamma/2} \frac{\sinh(n\Gamma/2)}{\sinh(\Gamma/2)} \end{aligned} \right\} \quad (10)$$

이 되고, F_1 은 periodical structure의 수·출력선로의 특성임피던스 함수이고 F_2 는 그 두선로의 감쇠정수의 함수가 된다. 만일 unit cell을 그림 2와 같이 π -section이 되게 하면 특성 임피던스는 주파수에 따라서 증가하고, T-section이 되게 할 때 감소된다.¹⁰⁾ 따라서 식(10)에서 F_1 은 주파수에 따라서 증가하는 특성을 갖게 되며, F_2 는 감소하는 특성을 갖는다. 이 두개 함수의 특성을 이용하여 동작주파수 영역에서 균일한 전력이득을 얻을 수 있다.

게이트에 직렬 C_s 를 삽입시킴으로써 게이트 선로의 등가 컨덕턴스 G_g 는 식(4)에 의하여 $1/(1+k)^2$ 으로 감소하며, 그 결과로 입력게이트 선로의 α_g 가 C_g 가

없을 때보다 훨씬 감소된다는 것을 식(6)에 의하면 알 수 있다. 즉 F_2 의 주파수 특성이 C_g 에 의하여 개선 될 수 있다.

III. 設計 方法

1. 마이크로스트립의 Z_o , θ 의 결정

分配增幅器의 대역폭이 주어졌을 때 그 내에서 식 (5)에 의하여 periodical structure의 특성 임피던스가 주파수에 따라서 변한다. 중심주파수에서 Z_B 를 줄 때 Z_o , θ , k 값을 구하여야 한다. 일반적 GaAs FET chip에서 $G_{gs}, a Z_o \ll 1$ (중심 주파수에서)가 되므로 식 (5)의 분모의 實數部만 택하여 Z_o , θ , k 에 따른 Z_B 의 변화를 구할 수 있다.

예를 보면 주어진 GaAs FET(300 μ TI社 제품) chip의 특성이 다음과 같은 파라미터로 주어진다고 하자.

$$C_g = 0.48 \text{ PF}, r_g = 7.4 \Omega, C_d = 0.12 \text{ PF}, r_d = 260 \Omega, C_{gsd} = 0.08 \text{ PF}, g_m = 50 \Omega$$

동작 중심주파수가 10GHz이고 이 주파수에서 $Z_B = 50 \Omega$ 이 되게 하자. 이때 Z_o , θ , k 의 관계는 그림 4와 같이 된다. 여기서 k 가 일정할 때 Z_o 가 클수록 θ 는 작아지기 때문에 monolithic MIC를 만들 때 크기가 줄어들며 식(5)에서 임피던스 Z_B 의 변화도 줄어진다. 그러나 GaAs monolithic 회로의 마이크로스트립의 임피던스 한계는 100 Ω 정도이다.¹¹⁾ 따라서 한계값

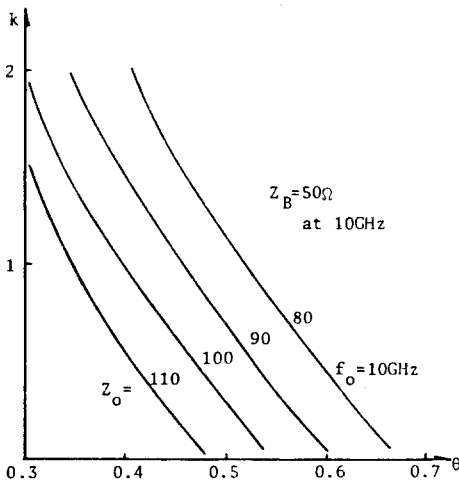


그림 4. $Z_B = 50 \Omega$ 일 때 마이크로스트립 전기적 길 θ , 임피던스 Z_o 와 결합계수 k 와 관계

Fig. 4. The relation of microstrip length θ , impedance Z_o and coupling coefficient k when $Z_B = 50 \Omega$.

이하의 Z_o 가 주어지고 FET chip 素子가 결정되면 구하고자 하는 Z_B 를 k , θ 의 관계를 이용하여 그림 4에서 얻을 수 있다.

2. n , k 에 따른 帶域

주어진 Z_o , Z_B 에 대하여 k , n 에 따른 전력이득 식(10)에서, 중간대역 이득보다 1dB 떨어지는 점을 차단주파수로 정의하자. F_1 은 증가 함수이고 F_2 는 감소함수이기 때문에 그 차이가 1dB되는 점을 구하여야 한다. 이 차를 구하기 위하여 다음과 같은 식을 정의하자.

$$f = |10 \log(F_1/F_{1,fo})| - |10 \log(F_2/F_{2,fo})| \quad (11)$$

f 가 1dB되는 주파수를 구하면 그 값으로 帶域幅으로 定義할 수 있다. 여기서 $F_{1,fo}$, $F_{2,fo}$ 는 中心周波數에서 F_1 , F_2 값이다.

식(11)에서 n , k 에 따른 차단주파수는 그림5와 같다.

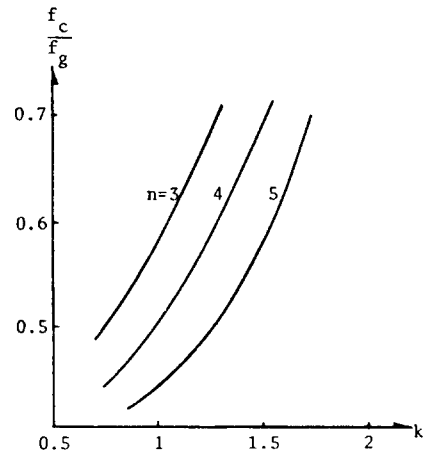


그림 5. 結合係數 k 에 따른 帶域幅

Fig. 5. Bandwidth characteristics vs the coupling coefficient k .

예를 들면 gate width 300 μ (TI device)에서 $k=1.2$, $n=4$ 를 택하면 1dB-down 대역폭은 $f_c/f_g = 0.55$ 이고, 이때 그림 4에서 $Z_B = 50 \Omega$ 으로 택하면, 마이크로스트립의 임피던스를 100 Ω 으로 택하면 길이는 10GHz에서 $\theta = 0.375$ 의 값을 구할 수 있다. 즉 주어진 素子에서 그림4, 5의 chart를 만들면 그 도표에서 요구되는 대역폭에 대한 각 파라미터값을 구할 수 있다.

IV. 結 論

앞에서 예로 들은 게이트폭 300 μ GaAs FET chip

(Texas Instrument Device)에 의하여 2~20GHz 까지 증폭할 수 있는 廣帶域 分配增幅器를 $n=4$, $k=1.2$ 로 설계하였다. 이때 中心周波數를 10GHz로 택하고 이 주파수에서 Z_{in}^d 를 50Ω 이 되게 할 때 실제 특성 임피던스는 그림 6과 같다.

이 임피던스를 50Ω 負荷에 正合시키기 위하여 $\lambda/4-$

π section impedance transformer를 이용하였다. 주파수에 따라서 Z_{in}^d 가 증가하기 때문에 15GHz 에서 $\lambda/4 - \pi$ section으로 정합시킬 때 게이트線路 및 드레인線路의 특성 임피던스에 잘 일치됨을 그림 6에서 알 수 있다. 그러나 비교적 낮은 주파수에서 Z_{in}^d 와 負荷와 차이가 생기는 것은 식(5)의 분모값의 허수부분이 이 영역에서 크기 때문이다. 이것은 드레인線路에서 $WC_d < 1/r_d$ 이기 때문이다.

n 에 따라서 電力利得特性은 그림 7과 같으며 $n=4$ 일 때 실제특성과 잘 일치됨을 확인하였다. 만일 $k=0$ 일 때 (C_g 를 삽입하지 않을 때) 電力利得은 크지만 주파수에 대한 利得의 減小率이 대단히 큰 것을 알 수 있다. 게이트에 直列 케패시터를 삽입함으로써 利得이 균일하고 帶域幅이 대단히 큰 分配增幅器를 얻을 수 있다.

본 연구는 문교부 IBRD 해외파견 연구계획에 의하여 University of Wisconsin-Madison의 microwave activities에서 본인이 독자적으로 연구한 부분을 개제 한 것이며, 컴퓨터 프로그래밍에 협조를 해준 Dr. S. N. Prasad에 깊은 감사를 드린다.

參 考 文 獻

- [1] E.L. Ginzton, W.R. Hewlett, J.W. Jasberg and J.D. Noe, "Distributed amplification," *Proc. I.R.E.*, vol. 36, pp. 956-969, Aug. 1948.
- [2] W.W. Horton, J.W. Jasberg and J.D. Noe, "Distributed amplifiers: practical considerations and experimental results," *Proc. I.R.E.*, vol. 38, pp. 748-753, July 1950.
- [3] D.V. Payne, "Distributed amplifier theory," *Proc. I.R.E.*, vol. 41, pp.759-762, June 1953.
- [4] J.A. Archer, F.A. Petz and H.P. Weidlich, "GaAs FET distributed amplifier," *Electronics Letters*, vol. 17, no.13, 25th June 1981.
- [5] Y. Ayashi, L.D. Reynelds, J.L. Vorhaus, and L. Hones, "Monolithic 2-20 GHz GaAs traveling-wave amplifier," *Electronics Letters*, vol. 18, no. 14, 8th July.
- [6] Y. Ayashi, R.L. Mozzi, J.L. Vorhaus, L.D. Reyneld and R.A. Pucel, "A monolithic GaAs 1-13 GHz traveling-wave amplifier," *IEEE Trans. on MTT*, vol. MTT-30, no.7, July 1982.
- [7] J.B. Beyer, S.N. Prasad, J.E. Nordman,

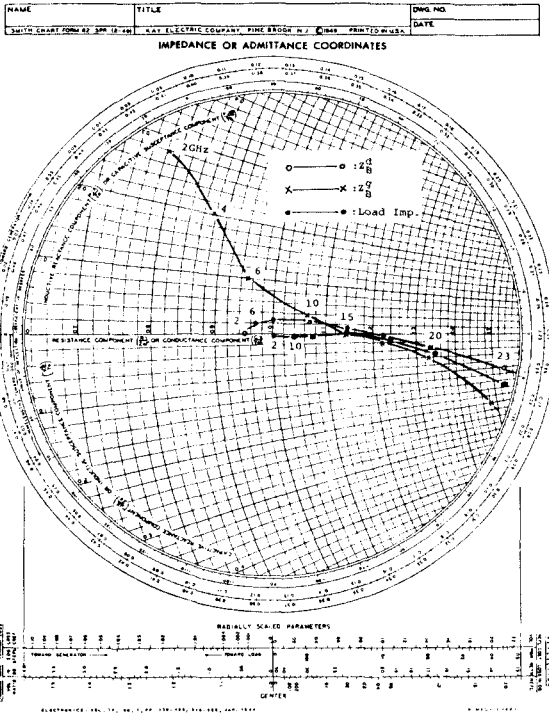


그림 6. 주파수에 따른 Z_{in}^d , Z_{out}^d 및 dummy load 특성
Fig. 6. Z_{in}^d , Z_{out}^d and dummy load characteristics vs frequency.

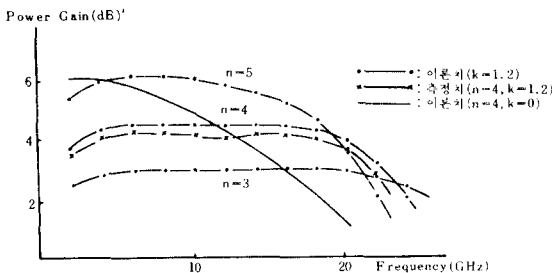


그림 7. FET 素子數 n 에 따른 전력이득 특성
Fig. 7. Power gain characteristics vs devices number n .

- R.C. Becker and G.K. Hohenwarter, *Wideband Monolithic Microwave Amplifier Study* Univ. of Wisconsin-Madison, WI, Contract No VI 4-80-0923, Ann. Rep., Oct. 1981.
- [8] R.E. Collin, *Field Theory of Guided Waves*. McGraw Hill, New York, 1960.
- [9] G.L. Matthaei, L. Young and E.M.T. Jones, *Microwave Filter, Impedance Matching Networks and Coupling Structures*." McGraw Hill Book Co., New York, 1964.
- [10] R.A. Puced, "Design considerations for monolithic microwave circuits," *IEEE Trans. on MTT*, vol. MTT-29, pp.513-534, June 1981.
-