

高密度 CMOS 게이트 어레이와 그 特性

低消費電力의 하나인 LSI化에 따라 高速動作이 기대되는 CMOS LSI를 個個의 시스템에 最適한 LSI로서 實現한 게이트 어레이는 설계자에게는 매력적인 디바이스가 되었다. 그래서 이미 모든 電子機器의 분야에서 CMOS 게이트 어레이를 쓴 장치의 개발 경쟁이 벌써 시작되었으며 어떻게 교묘하게 게이트 어레이를 도입하느냐가 승부의 중요한 관건이 되고 있다. 그런데 日本電氣에서는 종래의 400게이트로부터 2,100 게이트까지의 4 마스터에 덧붙여 다시 高速化, 大規模化의 요구에 따라 4,000게이트, 6,000 게이트, 1万 1,000게이트의 3 마스터를 開發하여 발매하고 있다. 1万 1,000 게이트는 현재 팔리고 있는 게이트 어레이로서는 세계 최대 규모의 것으로 高速性, CAD 써포트의 點에

서도 最先端技術이 구사된 것이다. 이하 이러한 高密度 게이트 어레이의 구성, 製造프로세스 특성, 설계방법에 관하여 소개한다.

1. 開發의 背景

LSI의 채용에 따라 高速, 低消費電力 등 시스템의 高性能化에 덧붙인 高信賴性化, 低價格化가 달성되었다는 것은 많은 사람이 알고 있는 바와 같으나 마이콘, 메모리 등의 標準品 이외의 부분을 專用 LSI로 하는 것은 設計工數, 開發期間과 그 費用의 點에서는 반드시 현실적이지 못하다는 생각을 하게 되었다. 특히 이 2~3年前부터 게이트 어레이라 불리는 開發手法에 따라 LSI가 일반시장을 휩쓸게 되었다. 게

表 1 CMOS 게이트 어레이 팩시밀리的主要諸元

項 目	品 番	μPD65003	μPD65002	μPD65010	μPD65020	μPD65040	μPD65060	μPD65100
搭載 게이트數		427	858	1368	2112	4104	6528	11250
伝播 遲延 時間(内部게이트) (ns)		3	3	3	3	2	2	2
伝播 遲延 時間(出力배브어) (ns)		12	12	12	12	12	12	12
伝播 遲延 時間(入力배브어) (ns)		5	5	5	5	4	4	4
出力 배브어數		36	50	64	80	116	138	176
入力 배브어數		36	50	64	80	120	148	196
消費 電力		30μW/Gate, 1.5mW/Out Put			20μW/Gate, 1.5mW/Out Put			
周圍 溫度(℃)		0~70(TTL 레벨), -40~+85(CMOS 레벨)						
電源 電 壓(V)		5±5%(TTL 레벨), 5±10%(CMOS 레벨)						
入·出力 인터페이스		TTL, CMOS 콘버터블						
製 造 技 術		실리콘 게이트, Al 2層配線						
패 케 이 지	DIP	16~40	24~48	24~64	28~64	40~64		
	Flat	44	44, 52	44~80	44~100	64~100		
	PGA					72, 182	72~208	72~208



圖 1 칩 內의 프로그램 構成

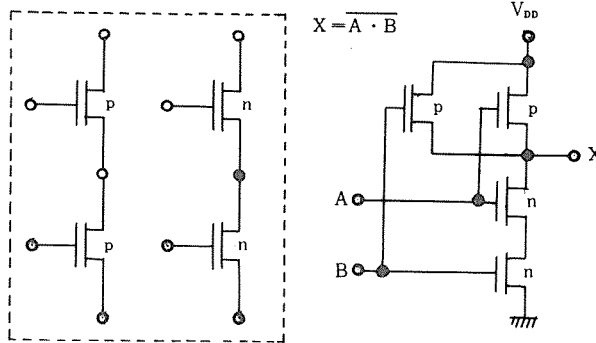


圖 2 内部셀과 기본 게이트

이트 어레이는 미리 메이커側이 준비한 擴散된 웨이퍼에 個個의 LSI마다 설계된 配線 工程用의 마스크 패턴을 겹치게 하는 것으로 個個의 시스템專用的 LSI를 실현하는 것이기 때문에 LSI의 製造技術 진보로 CAD에 따른 설계가 충분히 실용화 되므로서 처음으로 開花되었다.

CMOS 회로는 비교적 그 구조가 간단하며 消費電力이 극히 적으며 雜音餘裕가 커지므로 高集積化에 유리하며 또한 高集積化 하는 것에 따라 回路全体가 칩內에 놓여지게 되며 負荷容量이 감소하기 때문에 LSI化에 의한 동작시간의 高速化가 현저하게 된다. 이와 같은 이유로 폭 넓은 분야에서 CMOS 게이트 어레이에 대한 요구가 높아지고 있으며 궁극에 가서는 시스템의 1 칩化를 목표로 하는 장치설계자로부터 다시 高密度化, 高集積化를 요구하는 소리가 끊이지 않고 들려오고 있다.

2. CMOS 게이트 어레이의 구성

1) 시리즈 구성

日本電氣의 CMOS 게이트 어레이로서는 搭

載 게이트數가 各各 400, 800, 1,300, 2,100의 μ PD 65003, 65002, 65010, 65020의 4 마스터가 이미 製品化 되었다. 이번에 이 4 마스터에 덧붙여 搭載게이트數가 各各 4,000, 6,000, 1萬, 1,000의 高密度게이트 어레이 μ PD 65040, 65060, 65100의 3 마스터를 개발하여 μ PD 65000 시리즈의 대규모 영역을 충실히 하였다. 그 주요 제원을 表 1에 나타 내었다. 이 高密度게이트 어레이는 헨아우트3 配線長 3 mm라는 實使用을 想定한 負荷狀態로서 2ns/게이트의 傳播遲延時間을 실현해 먼저 제품화한 4 마스터의 3ns/게이트에 비하여 1.5배의 高速화를 도모하였다. 또한 새로이 3 마스터 위의 内部셀, 入力배브어, 出力배브어, 기능블록 등은 동일 설계의 것이 사용되므로 마스터間에는 다르나 搭載된 各各의 數는 같다. 그러나 실현될 회로규모에 적합한 마스터를 선택한다면 어떤 마스터를 쓰느냐는 것도 같은 수법에 따라 설계가 가능하다.

2) 칩 構成

圖 1에 本게이트 어레이의 블록 구성을 나타 내었다. LSI 칩은 내부에 論理回路를 구성하는 셀群, 周邊部에 외부와의 신호접속을 위한 배브어群이 배열된다. 이 배브어에는 외부로부터

의 신호레벨을 내부에 끌어 들이기 위한 入力배브어와 内部信號를 받아 외부의 큰 負荷를 驅動하기 위한 出力배브어가 있으며 어떠한 것도 외부의 高에너지 信號로부터 내부셀을 분리하는 역할을 갖게 된다.

이 결과 内部素子を 보다 微細構造로 하는 것이 가능하며 高集積, 高速動作이 달성된다. 入力배브어와 出力배브어는 各 1個를 1組로서 内部셀 性能을 돌리 쉰는 것과 같이 4邊을 나란하게 하며 어떤 端子에도 入力 혹은 出力, 雙方間端子로 하는 것이 가능하다. 다만 칩 모서리의 한 부분은 配線이 혼합될 수 있어 全端子를 出力하여도 얻어지지 않으므로 入力배브어로서 CAD의 自動配線率 향상을 도모하였다.

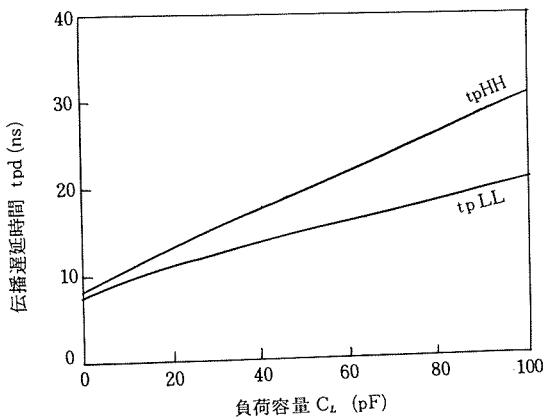


圖 3 出力배브어의 遲延時間

또한 内部셀領域은 圖 2에 나타난 2組의 P 채널, n 채널 트랜지스터로서 구성된 셀이 行列配置되어 그 셀間에 信號配線을 위한 영역이 준비되었다. 이셀 하나가 2入力 NAND의 1게이트에 상당하기 때문에 셀의 數를 가진 搭載 게이트數로 되어 있다. 또한 큰 규모의 기능블록으로는 複數의 셀을 쓰기 위하여 셀內的 트랜지스터는 連續性的의 높은 配列을 가져 어떤 機能블록에도 셀영역의 임의의 위치에 배치할 수 있게 된다. 셀위에 橫方向配線 채널은 주로 기능블록을 구성하기 위한 配線에 셀間的 橫方向과 上層 縱方向의 配線채널은 주로 機能블록間的 信號配線에 쓰여진다. 셀과 配線채널의 배열과 규모는 CAD 프로그램처리방법에 합쳐져 완전한 自動設計가 가능하도록 設定되어진다.

3. 製造 프로세스

이 高密度 게이트 어레이에는 특히 高速, 大規模 LSI를 실현하기 위하여 최신의 高精度 微細加工技術과 알루미늄 2層 配線技術을 채용하고 있다. 즉, 平面上的의 規格과 함께 깊은 방향의 規格도 微細化하기 위하여 이온注入과 드라이 에칭의 全面的 導入에 덧붙여 실리콘 게이트 구조등에 따른 位置, 規格精度를 향상시켜 微細加工프로세스를 실현하였다.

또한 微細化에 따라 생기는 短채널효과와 라치 업에 대하여는 게이트酸化膜의 두께, 不純物濃度, 채널길이, 윗構造등에 검토를 가하여 最適化를 도모하였다.

이 결과 P 채널, n 채널 트랜지스터와 함께 채널길이 $2\mu\text{m}$ 를 실현함과 함께 拡散層의 接合容量을 감소시킬 수 있으며 高速化, 高集積化가 가능하게 되었다. 其他 低温平坦化 기술에 의한 알루미늄 2層配線의 채용에 따라 微細素子間을 접속할 配線채널을 확보해 高密度集積化를 가능하게 하였다.

4. 回路 構成

1) 배브어

(1) 入力배브어

各 入力배브어는 P 채널과 n 채널의 形狀 規格이 다른 트랜지스터를 組合한 것에 따라 各배브어 마다 CMOS 레벨과 TTL 레벨의 어떤 것이나 閾值를 선택할 수 있도록 설계되었다. 그러나 同一 칩위에 兩方의 閾值를 가진 入力端子를 混在시킬 수 있으며 LSI 外部에 쓰여지는 IC 종류의 폭넓은 선택이 가능하다. 또한 雜音餘裕를 커지게 하는 경우에 有效한 슈미트 트리거 入力回路도 대비하게 되며 자유로운 선택이 가능하게 된다.

(2) 出力 배브어

出力배브어는 驅動能力을 높이기 위하여 規格이 큰 트랜지스터를 채용하고 있으므로 미리 配線패턴이 등록된 通常의 出力形式, 오픈트레인, 3스테트의 3종류를 실현할 수 있다. 어떠한 것도 CMOS는 물론 TTL과 메모리, 마이콘등

의 디바이스를 직결할 수 있는 크나 큰 駆動能力이 있어 容量性負荷에 대한 遲延時間의 特性變化도 圖3에 표시한 정도이다.

또한 同一 배브어内に 있는 오픈 트레인으로는 3스태트 形式의 出力배브어와 入力 배브어와 同一端子에 접속하는 것에 의하여 雙方向 端子로 될 수 있기 때문에 버스形式을 채용하는 것과 적지 않은 端子數로서 보다 많은 信號를 供給하는 것이 가능하다.

2) 機能블록

LSI로서의 論理機能은 内部셀 영역으로 구성되는 回路에 의하여 실현된다. 全體의 機能을 1셀로서 구성할 수 있는 2入力 NAND 게이트에 分解하여 구성하는 것은 설계의 능률이 나빠지고 또한 素子の 사용효율도 향상되지 않아 SSI, MSI 규모의 논리기능을 기능 블록으로서 미리 設計, 登錄시켜 놓고 개개의 LSI 設計에는 다만 이러한 연결로서 全體의 回路를 구성할 수 있게 된다.

各 機能 블록기능이 실제의 칩위에 배치되는 위치는 개개의 LSI 배치, 배선설계단계에서 결정되든가 機能블록 内部의 相對的인 配線 패턴은 미리 定하여 지는 것이기 때문에 그 特性을 컴퓨터 시뮬레이션에 따라 予測하기 때문에 셀 使用數, 配線채널, 動作速度的 最適化를 도모한 설계이다. 이 機能 블록은 1셀로부터 큰 것은 수십셀로서 구성되어 현재 140種 이상이 등

록되었다. CMOS의 동작속도는 기본 회로의 예를 圖4에 나타낸 것과 같이 負荷依存性이 크기 때문에 電 아웃트가 차지 않는 경우에도 간단히 적절한 블록配分을 할 수 있으며 機能 블록 内部의 出力段에 駆動能力을 높인 배브어付의 기능블록도 준비할 수 있다. 이와 같은 기능블록은 다만 電 아웃트 뿐만 아니라 配線의 길이에 따라 영향도 적기 때문에 高速動作을 기대하는 부분에 사용하는 것도 有効한 방법이다. 또한 셀을 유효하게 사용하기 위하여 예를 들면 프리브 프로프로서 셋트, 리셋트, 크로그 位相의 正逆, 혹은 셋트로는 리셋트 만으로 여러종류에 쓰이는 방법이 있는 論理機能에는 各各에 對應한 機能프로그램을 준비하여 餘分의 기능을 위한 셀을 削減할 수 있게 된다. 또한 大規模化한 경우에 回路構成과 테스트를 용이하게 하기 위하여 LSI 内部에 버스形式이 실현될 수 있는 3스태트 배브어, 스킨버스테스트를 가능하게 하는 프리프로프등도 登錄되어 있다.

5. CMOS 게이트 어레이의 特性

動作速度는 前述한 바와 같이 2ns/ 게이트와 高速으로 되어 있으며 其他의 主된 特性은 表2에서 보는 바와 같이 LSI 外部와의 인터페이스 論理레벨로서 TTL, CMOS의 兩레벨이 선택할

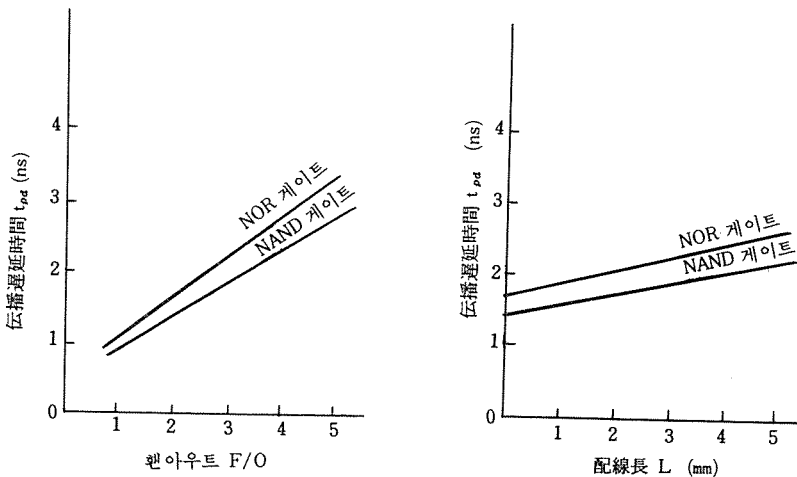


圖 4 基本게이트의 遲延時間

表 2 CMOS 게이트 어레이의 特性

(a) 推裝動作條件

($T_a = -40 \sim +85^\circ\text{C}$)

項 目	條 件	min	typ	max
電 源 電 壓 V_{DD} (V)		4.5	5	5.5
入 力 電 壓 V_i (V)		0		V_{DD}
로 레 벨 入 力 電 壓 V_{iL} (V)	CMOS 레 벨	0		$0.3 V_{DD}$
하이레벨 入 力 電 壓 V_{iH} (V)	CMOS 레 벨	$0.7 V_{DD}$		V_{DD}
로 레 벨 入 力 電 壓 V_{iL} (V)	TTL 레 벨	0		0.8
하이레벨 入 力 電 壓 V_{iH} (V)	TTL 레 벨	2.0		V_{DD}
入 力 오 르 고 내 리 는 時 間 t_r, t_f (μs)		0		10

(註) * $T_a = 0 \sim 70^\circ\text{C}$, $V_{DD} = 5V \pm 5\%$

(b) 電氣的 特性(標準)

($V_{DD} = 5V \pm 10\%$, $T_a = -40 \sim +85^\circ\text{C}$)

項 目	條 件	min	typ	max
靜 消 費 電 流 I_L (μA)	$V_i = V_{DD}$ or GND		0.1	200
動 作 電 流 I_{DD} (μA)	1MHy cell 當		4	
入 力 電 流 I_L (μA)	$V_i = V_{DD}$ or GND		10^{-6}	10
로 레 벨 出 力 電 流 I_{OL} (mA)	$V_{OL} = 0.4V$	3.2	6	
하이레벨 出 力 電 流 I_{OH} (mA)	$V_{OH} = V_{DD} - 0.4V$	1	2	
로 레 벨 出 力 電 壓 V_{OL} (V)	$I_o = 0$			0.1
하이레벨 出 力 電 壓 V_{OH} (V)	$I_o = 0$	$V_{DD} - 0.1$		

수 있으며 入力電流는 CMOS 回路로서 가지고 있는 利가 극히 적고 크나 큰 入力 임피던스가 달성될 수 있는 것, 出力電流는 高레벨로서 1mA 이상, 低레벨로서 3.2mA 이상의 高驅動力을 가진 것을 들 수 있다. 그것도 CMOS 레 벨의 경우에 동작조건으로서는 電源電壓 V_{DD} 의 허용변동폭 10%, 周圍溫度 $-40 \sim 85^\circ\text{C}$ 의 넓은 범위로서 또한 TTL 레벨의 경우에도 標準 TTL과 같은 조건범위에서 동작하며 특히 배 브어部分의 트랜지스터에 留意하여 설계되었다. CMOS 回路는 그 論理狀態가 변화하는 것만으로 電流가 흘러 定常狀態에는 出力배브어를 除外하고는 Pn接合部分의 微小漏洩電流가 흐르지 않기 때문에 동작주파수가 높으며 칩全體의 消費電力은 셀마다의 動作 周波數와 負荷 容量을 고려하여 산출할 필요가 있으나 本 게이트 어레이는 素子와 配線이 微細하므로 높은 周波數에 동작할 入力에 가까운 부분에도 負荷容量이 적어지기 때문에 짧은 사이클 타임을 적은 消費電力으로 實現하게 되었다.

6. 패키지

論理回路의 信號端子數(P)와 게이트數(G)의

사이에 경험적으로 求하여진 렌트의 法則이라 불리는 다음식

$$P = \alpha G^\beta (\alpha, \beta \text{는 經驗的인 定數})$$

의 관계가 성립되므로 搭載게이트數의 증가에 따라 信號端子數가 증대하는 경향에 있다. 本 게이트 어레이에는 增大하는 端子數를 적은 면적에 얻게 하며 다시 가장 일반적인 DIP(듀알인 라인 패키지)와 같은 납땀槽로서 조립방식이 채용되는 PGA(픽리드 어레이)라 불리는 패키지도 준비된다. 이러한 가운데 최대의 端子數 208을 가진 PGA는 4重의 端子가 配列되었으며 1万 1,000게이트의 마스터를 搭載한 경우 600게이트/cm², 11端子/cm²의 高密度實裝이 가능하다. 各마스터에 있어서 現在 사용 가능한 패키지를 表 1에 나타내었다.

7. 品種設計와 CAD 서포트

日本電氣의 게이트 어레이는 정확한 성능예측, 개발기간의 단축, 미스없는 설계를 실현하기 위하여 圖 5에 나타난 CAD 서포트 시스템이 준비되었다. 기능프로그램의 접속을 보인 回路圖(回路接續 情報)와 LSI로서의 機能動作을 보인 테스트 패턴 및 사용 패키지, 希望端子 위치

등에 따라 작성된 데이터 베이스를 回路檢証, 遲延時間을 포함한 動作確認 마스크 패턴의 설계, 테스트 프로그램의 작성을 行하고 품종이 개발된다. 品種設計의 各課程에 있어서 CAD 프로그램 기능은 다음과 같다.

(1) 回路의 檢証

LSI로된 回路를 入力배브어를 包含한 機能 프로그램의 接續情報로서 나타난 回路 接續情報에 관하여 回路設計 룰의 체크를 行하고 다음으로 이 回路接續 情報과 기능동작을 보인 테스트 패턴 데이터에 따라 論理시뮬레이션을 실행해 回路仕樣의 정당성을 확인한다. 또한 回路圖로부터 수많은 팬 아웃과 想定한 平均配線長을 함께 遲延시뮬레이션을 實行해 타이밍의 체크와 레이아웃前的 성능예측에 제공된다.

(2) 레이 아웃

回路接續 정보 및 希望端子 위치등 데이터로부터 자동 레이 아웃 프로그램에 따라 칩全領域의 배치 및 기능프로그램간의 配線이 同時 그리고 자동적으로 行하여진다. 이때 미리 指定한 크리티컬 버스는 關聯된 프로그램을 隣接하여 배치하며 우선적으로 結線할 처리가 行하여진다. 이 자동 레이아웃 프로그램에 따라 配線率은 舍使用率 90%에 있어서도 100%가 달성된다. 레이아웃이 完了하면 데이터베이스내에 各機能 프로그램의 出力에 접속한 배선의 용량에 따라 遲延時間이 추가되며 보다 精確한 遲延 시뮬레이션이 行하여진다. 이 시뮬레이션은 필요에 따

라 내부상태의 시간경과도 관측되며 상세한 타이밍의 체크에도 有効하다.

(3) 回路테스트

LSI 테스터를 위한 테스트 프로그램은 테스트 패턴 데이터와 配置·配線設計로서 얻어진 入出力端子 위치정보등의 데이터에 따라 자동적으로 발생되며 웨이퍼 테스트와 제품선별 등에 사용된다. 前述의 CAD서포트 시스템을 사용하여 설계된 1만 1,000 게이트의 1品種例는 이미 등장하고 있다.

이상 설명한 것과 같이 이번 개발된 高密度 CMOS 게이트 어레이는

① 4,000으로부터 世界 最大規模의 1만 1,000 게이트 까지의 3마스터가 있다.

② $2\mu\text{m}$ 의 설계룰을 써서 CMOS 고유의 低消費電力을 가진다.

③ 2ns/게이트(負荷接續時)의 고속성을 달성

④ CMOS, TTL 등 어떤 레벨에서도 인터페이스를 얻는다.

⑤ 高駆動能力을 가진 3種의 出力形式을 준비하게 한다.

⑥ 實裝面積을 적게 하려는 어떤종류의 패키지도 준비되어야 한다는 등의 특징이 다른 여러가지 점에서도 섬세한 설계상의 배려를 시행하여야 된다. 그 위에 完備된 컴퓨터에 의하여 자동, 설계할 수 있는 것이기 때문에 넓은 용도에 各各 最適의 LSI가 확실하고 短時間에 開發될 수 있어야 할 것이다.

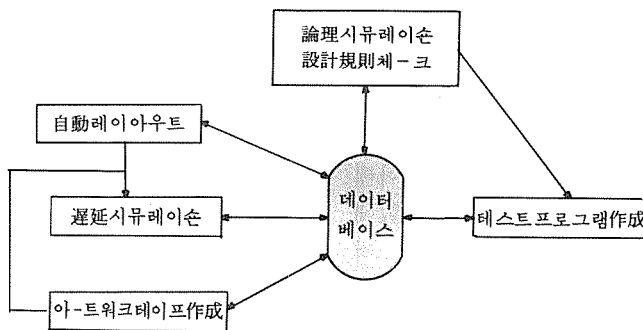


圖 5 CAD 서포-트 構成圖