

PCB技術의 新動向과 問題點

컴퓨터와 通信이 융합된 C & C (Computer & Communication) 情報化社會를 맞이하여 電子機器의 Digital化와 分散化가 계속 도모되고 있다. 또한 半導體技術의 진보는 電子機器에 대해서 소형·경량화, 多機能化, 高信賴化, 低コスト化 등의 요구를 가속화시켜 實裝 方法의 변혁을 가져왔다.

이로 인해서, 電子 Device의 상호 接續, 支持 體로서의 기능을 갖는 PCB에 대해서도 이러한 傾向은 高精度化, 微細化 등 高密度化라고 하는 크나큰 영향을 끼쳤다.

PCB는 IC, LSI와 量的에 있어서나 質的에 있어서도 IC와 더불어서 보조를 함께하여 신장해 가고 있는 분야이다. 이 때문에 IC, LSI 등 半導體의 기술 혁신에 적합한 對應이 필요하게 된다. 本稿에서는 實裝技術과 관련시켜 최근 PCB의 技術 動向과 問題點에 關해서 살펴본다.

1. Device의 高集積化, 小形化

Device의 高集積化는 電子機器에 輕薄短小化 및 다기능화, 저가격화, 고신뢰도화를 초래하였다. 圖 1은 集積度와 Gate當의 가격, 相對故障率의 감소 予測을 나타낸 것인데, IC로부터 VLSI로 발전함에 따라 集積度는 1,000배 이상 증가하고 Gate當 가격은 1/200, 相對故障率은 1/300로 감소되어 가는 추세를 보이고 있다.

PCB에 영향을 주는 것은, 접속에 직접 관계되는 IC Package로서 Device의 高集積化에 따라 다양화의 傾向을 보이기 시작하고 있다.

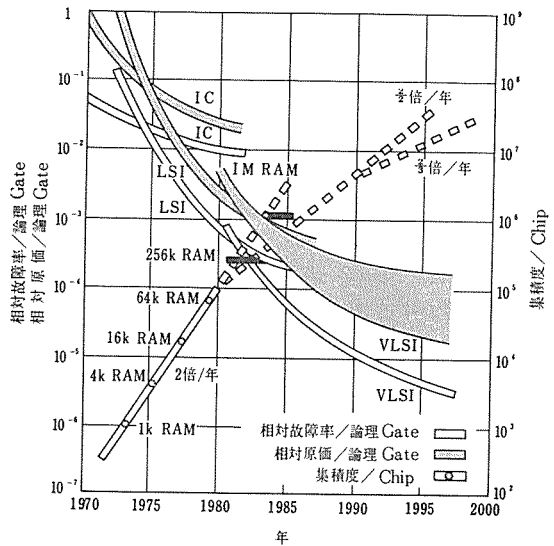


圖 1. 半導體의 原價, 신뢰성, 集積度의 變化

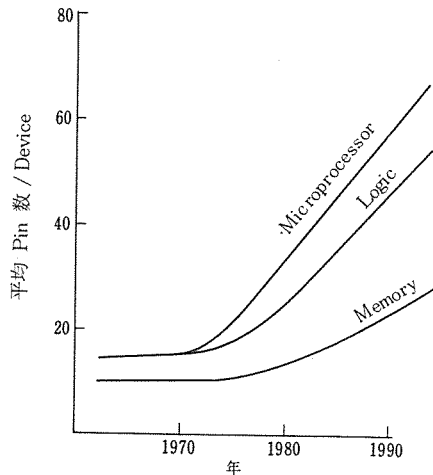


圖 2. Device의 Pin數 증가

論理回路에 있어서 일반적으로 LSI Chip 의
회로 수 (N_c = 集積度)에 비례해서 入出力端子 수
(N_T)가 증가되고 있는 것이(1)式에서 D. P. Se-
raphin에 의해 보고되었다.

$$N_T = N_c^\beta \alpha \quad (1)$$

α , β 는 시스템 규격에 있어서도 다르지만, 大
形 시스템에서는, $\alpha \approx 2.5$, β 는 높로 되어 Chip 의
集積度 $N_c = 200$ 이 되면 $N_T = 80$ 이 되어 集積度
증가에 따라 端子 수 증가도 현저하게 되었다.

그러나 실제의 설계는 Pin/Gate 效率이 좋은
회로에 분할되어 가는 것으로 극단적으로는 증
가되지 않지만 圖 2에서와 같이 Device의 端子
수는 時系列的으로 증가되어 가는 것은 명확해
지고 있으며 특히 論理Device, Microprocessor
에서 현저한 것으로 예측되고 있다.

현재 IC Package는 100mil DIP가 주로 사용
되고 있는데 70~75%를 점유하고 있다. 그리
고 금후 10年쯤 가서는 主流로서 존재하기는 하
나 그 지위는 서서히 저하될 것이다. DIP은 多
Pin化에 따라 Package 形狀이 크게 되고 電氣
성능이 떨어지는 등의 이유 때문에 Pin 수는 40
~64가 한계로 되어 있다. 多Pin化에 대한 문제
점의 해결책으로 Package의 4邊에서 Lead를
뽑아 Flat Package, Chip Carrier 등 Package
의 下面에 Pin을 노출시킨 Pin Grid Array 등이
실용화되어 高密度 實裝을 가능케 하였다. 表 1
에서와 같이 각 Package에는 여러 가지 長點,
短點이 있어서 용도에 따라 사용되는 多樣化가
계속되고 있다.

DIP形에 있어서도 端子 Pitch를 70mil, 50mil
로 축소시켜 小形化를 실현하고 또 DIP의 發想
으로부터 그보다 Flat한 端子를 50mil 간격으
로 만들어서 輕薄短小化를 실현시킨 Mini Flat
등이 있다. 그 결과, 동일 基板에 100mil, 7 mil,
50mil 등 異種의 基準 格子가 존재하고, 종래부
터 注視되어 온 PCB의 제조에 필요한 治工具,
裝置등과의 不整合이 생겨 특히 電氣의 布線 테
스트에 대한 영향이 대규모 高密度 實裝上에 큰
문제가 되고 있다.

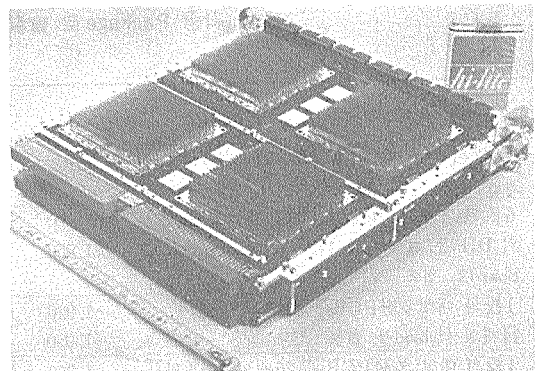
이런 면에서도 제조성을 우선할 것인가 희생
할 것인가 신중히 고려해야 한다.

表 1 Package의 비교

Package	長 點	短 點
100mil-DIP	既存의技術	40Pin 이상에서는 電氣 特性을 다소 손실한다.
Mini Flat (SOP)	小形化된基板專有面積 小 效率의우수한自動化	放熱性的의 問題 密封性的의 問題
Quad	SOP 같이 電氣特性이 우수하다	SOP 같이 放熱性 問題가 대단히 大
標準 Chip Carrier (scc)	SOP/Quad 같이 密封 性, 熱特性이 우수하다	價格이 높다.
改良 Chip Carrier	SCC 같이 84Pin 以上 의 面積效率이 좋다	SCC 와 같다.
Pin Array	基板의 100mil 格子로 互換性 高密度	Package 下에서 Hander 接續

2. PCB의 實裝

PCB의 Device 實裝은 일반적으로는 IC Pack-
age를 직접 塔載하고 있다. 한편으로는 實裝密
度を 향상시키는 수단으로 複數個의 Chip을 Pack-
age에 탑재하여, Module化한 것을 塔載하는 방
법이 증가중이다. NEC社의 ACOS Computer
에 사용되고 있는 MCP (Multi Chip Package)
가 있고, 80×80mm의 多層 Ceramic 基板에 최대
60개의 TAB (Tape Automated Bonding) Chip
을 탑재한 것을 296Pin의 Connector를 끼워서
多層 PCB (이하, 多層 PCB) 또는 Multi Wire
Board에 實裝하고 있다.



寫眞 1. MCP를 塔載한 2Card Module

이 결과 圖 3에서 보는 것처럼, SSI를 사용
한 Computer에 비해서 10~15倍의 高密度 實裝

을 달성하고 있다. 또한 經濟 효과와 實裝密度는 설계상 중요하며, 中形 Computer의 CPU (中央處理裝置)의 設計 비교 列로서 表 2에 보고되어 있는, LSI와 Multi Chip 併用이 효과적이 되고 있다. 물론 Device의 Cost down도 있지만, PCB는 小形의 兩面板으로부터 大形의 多層PCB로 移行되고, 전체 가격은 1/5까지 低減되고 있으나, 이것은 使用 枚數가 1/30로 된 것에 起因하고 있다.

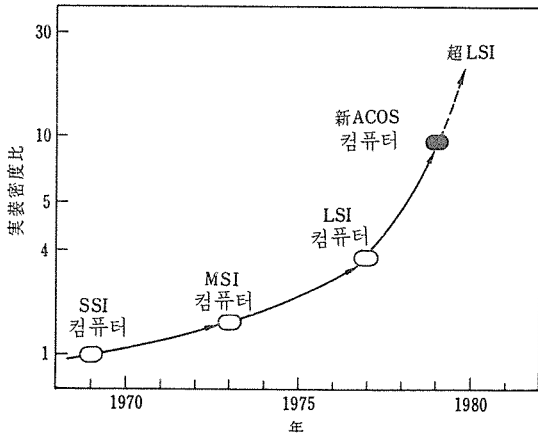


圖 3 實裝密度的推移

實裝의 특수한 예로서 PCB에 IC Packaeg의 기능을 겸한 COB(Chip On Board)가 Digital Watch 등에 사용되고 있다. 최근에는 VLSI를 사용한 Microprocessor의 實裝法으로써 銅Core PCB에 Chip을 직접 塔載한 例가 Hewlett Pack-

ard社에서 소개되고 있다. 여기에서는 銅Core를 끼워서 兩面에 각기 그 層의 信號를 低誘電率의 테프론의 絶緣層을 사이에 두어 最小125 μ m의 導電 폭, 간격을 지녀, 고속 처리와 Chip의 發熱에 對應한 새로운 實裝으로 주목되고 있다.

3. PCB의 高密度化

高實裝 密度化에 따라서, PCB의 單位面積當 Device의 端子 수는 증가됨과 동시에 PCB의 大形化, One Board化의 傾向이 顯著해지고 있다.

필연적으로 PCB에 收容해야 하는 配線量은 증가하고 있다. PCB 內의 配線收容性으로부터 본 配線 密度와 實裝 密度와의 관계는 일반적으로 다음 式으로 표시할 수 있다.

$$\frac{h \cdot t}{d} \geq \frac{1}{6\rho} (A+B) P_o \quad (2)$$

여기서 A, B: PCB의 外形 大小, d: Through Hole 間격, h: 格子間의 Channel數, t: 信號層 數, P_o: 論理Pin數, χ : 平均 區間長係數, ρ : Channel 利用率이다.

PCB의 配線 密度($=\frac{h \cdot t}{d}$)는, 기준 格子의 슈링크化, 기준 格子間의 Channel數의 증가, 信號層 數의 증가에 따라 變化되어 간다.

圖 4는 (2)式을 圖示化하여 Channel 利用率과 配線 密度를 Key로, 면적과 信號層 數의 관계를 보인 것이다.

表 2 各種 Package로 實裝한 中形 Computer의 CPU Cost 비교

實裝方式	IC	PCB	Cabinet Cable Assembly Test	單位: 弗
				合計 (電源 및 冷却을 제외)
300枚의 兩面 PCB에 3,600개의 DIP을 實裝	3,000	2,000	3,000	8,000
6枚의 多層PCB에 26개의 LSI와 360개의 DIP을 實裝하여 1枚의 多層 Back Board로 接續	1,050	1,050	1,500	3,600
1枚의 대형多層PCB에 26개의 LSI와 14개의 Hybrid를 實裝	1,920 (1,050)	500 (1,370)	750	3,170
1枚의 대형 多層PCB에 26개의 LSI와 4개의 Hybrid(Chip Carrier化한 SSI Chip을 實裝)를 實裝	1,300 (1,050)	400 (600)	750	2,450
上記 4개의 Hybrid를 부분적으로 LSI化한 경우	1,000	400	750	2,150

註: ()內는 Hybrid基板 Cost로서 계산한 경우임

$d = 2.54\text{mm}$ 으로 한 경우의信號層數

配線密度 $h \cdot t / a (\text{cm}^{-1})$

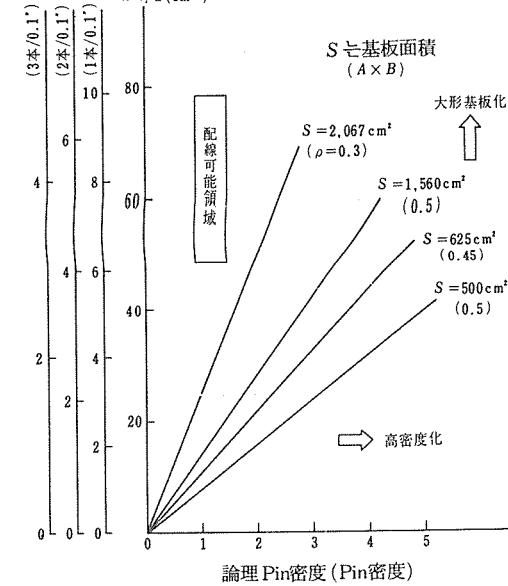


圖 4 論理 Pin 密度와 配線 密度

高密度 實裝에서 고려해야 할 점으로서는 高速化 및 低Energy化도 있지만, 대형 Computer 에 있어서는 특히 중요하다는 것이 圖 5 에서처럼 지적되고 있다.

IBM 3081 Processor의 Cycle 時間의 改善事例를 圖 6 에 표시하였는데, 實裝의 공헌도가 대단히 크다는 것이 이해되고, 逆으로 高速化가 현저한 Chip에비해서 PCB를 포함한 實裝의 對應이 급후 중요함을 시사해 주고 있다.

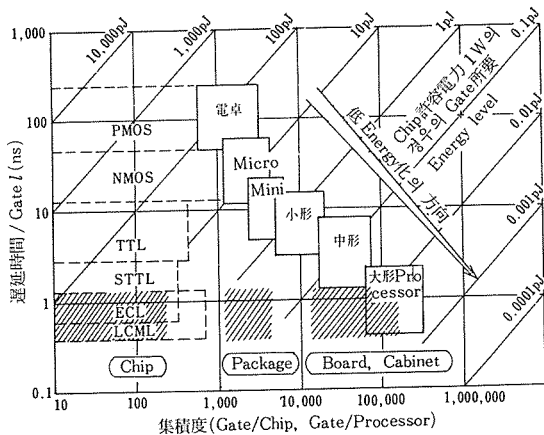


圖 5 Chip集積度, 裝置와 지연時間, Energy level의 關係

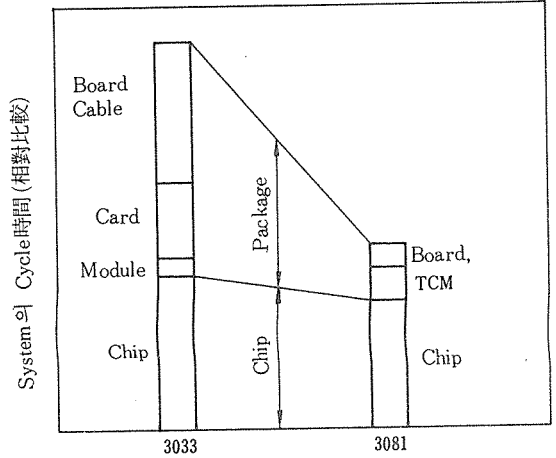


圖 6 IBM 3033과 3081의 System 지연시간의 비교

System 규모, 기능이 제한받는 電子機器에서는 LSI化의 영향과 實裝의 경제적 효과로부터, 前記 (2)式을 配線 密度를 일정하게 하면 Channel 數를 늘리고 層數를 감소시키는 일이 고려된다. 또는 配線이 수용되어 있는 경우는 부족한 配線을 Cross Over 法으로 흡수하는 SMC (Single Multi Circuit)와 같은 방법도 제시되고 있다.

어느 것이든 관계가 없으나, 제조 Cost와 電氣 特性을 고려한 設計의 선택이 필요하며, 圖 7에서는 고속 Digital 回路에 대한 檢討 例로서 PCB의 사용 영역을 표시하였다.

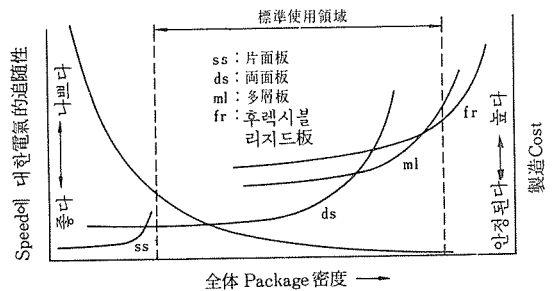


圖 7 高速 Device 回路에 대한 標準사용 영역

4. PCB 製造技術의 動向

圖 8 은 半導体技術과 관련시켜 장치의 진전과 더불어 PCB가 어떤 技術변천을 걸어 왔는가를 보인 것이다. 圖 9는 Computer를 예로 하여

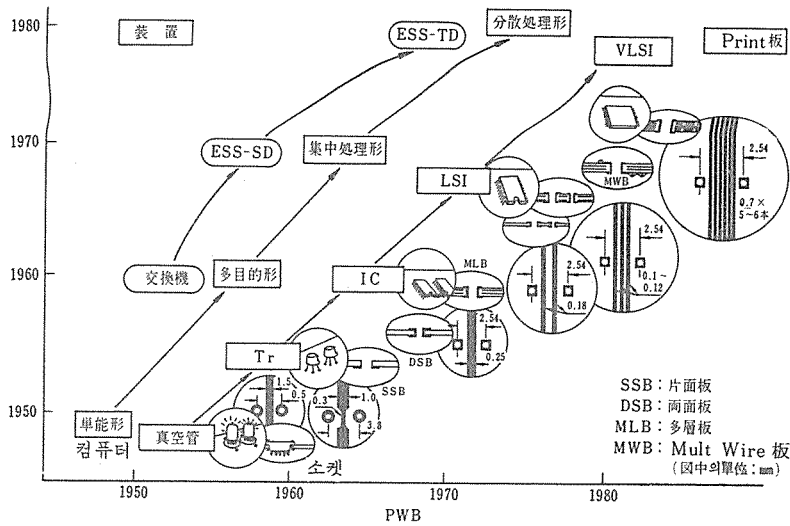


圖 8 裝置와 PCB의 動向

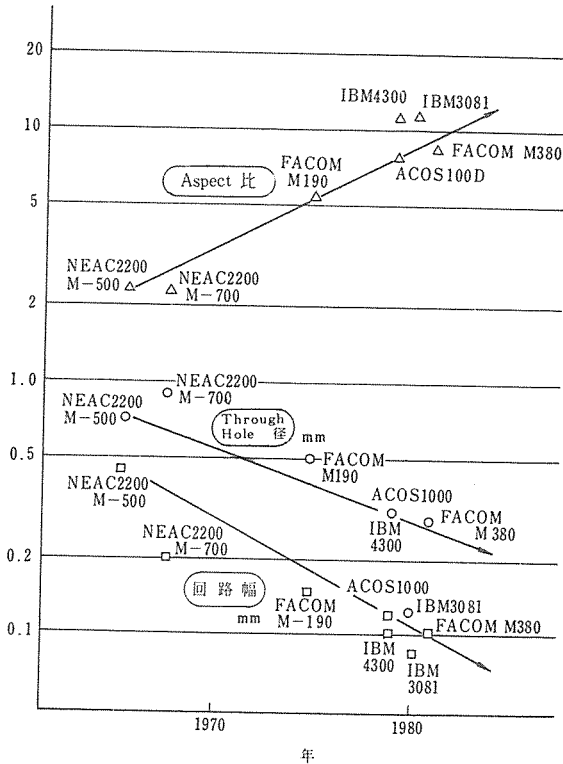


圖 9 Computer의 配線技術推移

Aspect比, Through Hole徑 및 回路 폭의 推移를 圖示한 것이다.

최근 10年間に Aspect比는 3 배, Through Hole徑 및 回路 폭은 1/2로 대폭적인 進歩를 보

여 주고 있는데, 앞으로도 이러한 추세는 당분간 계속될 것으로 보인다.

(1) 製造 Process

工法別로 분류해 보면 현재는 Sub track Dip法이 아주 많이 채용되고 있으나 장차 아디딤法이 증가될 것이다. Sub track Dip法은 日本의 경우 銅 Through Hole에서 많이 채용하고 있다. 그 이유는 Hander Through Hole등과 비교해서 Hander 付性이 우수하고 低Cost化, 미세화 加工이 가능하고 耐侯性도 十分 보증되어 있기 때문이다. 아디딤法도 Cost 低減, 미세화 加工이 가능하다는 利點이 있으나 주목될 만한 伸張勢는 없다. 이것은 基板 材料의 한계, 信賴性 문제, 개발의 어려움에 起因하는 것 때문이다. 지금까지는 갖가지 工法이 발표되어 왔지만 현재 量産에 공급되고 있는 것은 CC-4法 (Photo Circuit; PCK社), Photoform (PCK, WE社), AP-II法 (日立製作所) 등으로 Photoform法은 金屬芯基板에 적용되고 있다. 現狀에서는 어느 것이나 짧은 配線 패턴의 配線板 單價를 低減시키는 일을 주목적으로 하여 검토하고 있으나, IBM이 발표한 E, H 시리즈 Computer用 多層 PCB에서는 高密度化를 도모하는 수단으로써 아디딤 技術을 사용한 것이 주목되고 있다. 이처럼 최첨단 분야에서의 연구개발이 가속되어 다른 분야로 技術 移轉이 行해질 때 아디딤

法の 보급에서 Key Point가 될 것이다.

(2) 多層 配線板

通信機, 情報處理機器 등 고밀도 實裝, 定 Impedance 特性, 電源 Noise Margin 등의 전기 특성 때문에 多層 配線板의 사용량이 증가되고 있다. 5~9層의 中 정도의 多層 配線板에서의 고밀도 설계에서는 Via Hole 네크가 되는 경우가 있어서 圖10에서처럼 Blind Hole의 채용도 일부에서는 취해지고 있다.

제조의 포인트는 非貫通 穴의 形成에 있으며, Z軸 制御의 드릴 비트에 의한 방법, Laser Beam 및 無電解 鍍金의 組合으로 행해지고 있다.

최근의 초대형 Computer에 인터스티셜 바이어 홀을 갖는 10~20層의 多重化 多層 配線板이 일반적으로 사용되고 있다. 回路 폭은 미세화되어 絶緣層 두께는 얇아지고 大形化되어 가고 있다. 치수의 안정성, 얇은 材料, 미세 패턴의 취급 등에 문제가 있어서 IBM 3081 Processor用 配線板에서는 Sequential한 積層 Process로 해결을 도모하고 있다.

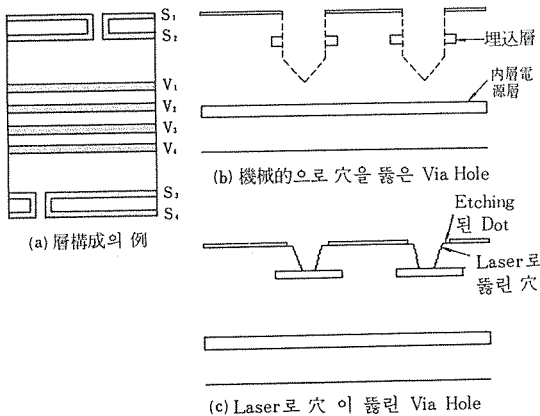
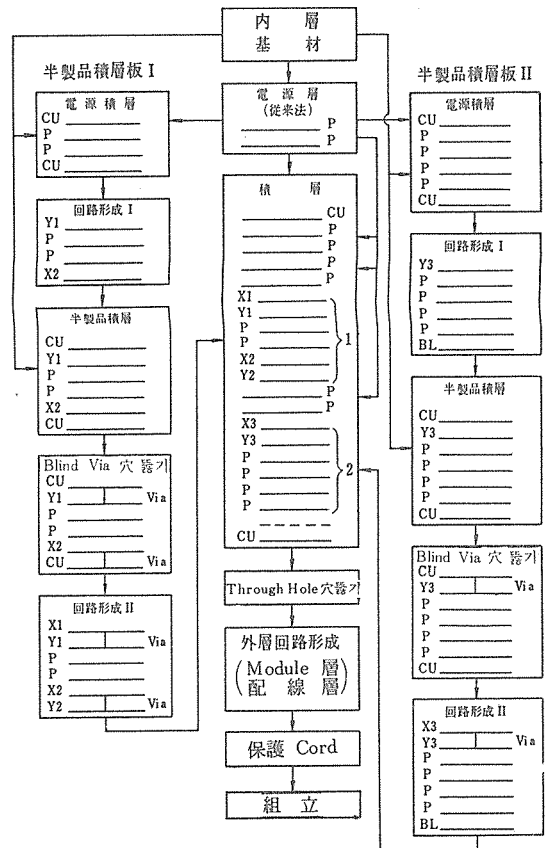


圖10. Blind Via Hole의 層構成과 穴의 加工法

이것은 圖11에서와 같이 미리 電源 Core層을 예리하게 해서, 이 위에 얇은 絶緣層과 미세화한 信號層을 형성한 半製品의 積層體(Subcomposite)인 것이다.

Subcomposite의 信號 패턴에는 5μm의 極薄銅箔(UTC)에 Dry Film Resist로 Nega 패턴을 형성해서, 50μm의 無電解銅 鍍金을 하고



(註) { CU = 外層의 極薄銅箔 P = 回路形成한 電源
Xi = 回路形成한 i 마다 X = 信號層
回路形成한 i 마다 Y = 信號層
BL = 導體 Yi 層

圖 11 IBM 3081用 基板 製造圖

여기에 置換錫 鍍金을 실시한 다음 Resist를 剝離한 후, UTC를 Etching 하여 錫을 剝離하고 있다.

또한 Signal 層間을 접속하는 Via Hole은 前述의 Laser(炭酸가스)에 의해 形成되고 있다.

Composite에는 Drill로 0.4mm φ의 貫通穴이 설치되어, Subcomposite와 같은 방법으로 패턴 形成과 Through Hole의 導體化가 이루어져 Aspect比 1:12의 多層 配線板을 얻을 수 있어서, 전형적인 超高密度 多層 配線板으로 주목되고 있다.

(3) Chip 搭載板(COB)

Chip을 搭載하는 基板으로서 前述 ACOS Computer用 MCP, IBM 3081用 Processor用 Flip Chip을 搭載한 TCM(Thermal Conducti-

on Module)이 알려져 있다. 어느 것이나 100개 이상의 Chip을搭載한 것을 PCB에 實裝해서 高密度 實裝을 실현하고 있는 실정이다.

PCB에 직접 Chip을搭載하는 방법으로 Digital Watch에 사용되고 있는 COB(Chip on Board)가 알려져 있는데, Wire Bonding에 의해 PCB에 직접 Chip을 접속시키고 있다.

搭載하는 基板은 처음에 Ceramic이 쓰여졌으나 薄形化, 信賴性 등의 문제가 있기 때문에 최근에는 PCB가 사용되기에 이르렀다.

(4) Multi Wire Board (MWB)

이 技術은 美國의 Hot Circuit社에 의해 開發된 것으로, 信號線을 Bonding Sheet上에 絶緣 Wire를 직접 交叉 配線시키는 방법이다. 이때문에 道通用 Through Hole (Via Hole)을 필요로 하지 않으며, 配線 Channel을 100% 사용한 고밀도 配線이 가능하다. 日本의 電子通信學會 全國大會에서 이미 配線板 용량에 관한理論的 해석을 행하였다.

그 결과를 圖 12에 보였다. 圖 12에서 MWB의 2층 配線은 4층의 多層 배선판에 相當하다는 것을 이해할 수 있을 것이다.

그 외에, 일정한 線徑(0.14 mm ϕ)을 布線하기 위한 特性 Impedance의 변동이 적지 않고, DA Support가 完備되어 있으며, 設計 변경에 대하여 追從性이 매우 큰 것이라는 등의 특징이 있고, 특히 Digital系 電子裝置에 대해서 크나큰 效力을 발생한다.

이로 인해서 MWB는 현재 Computer, 電子

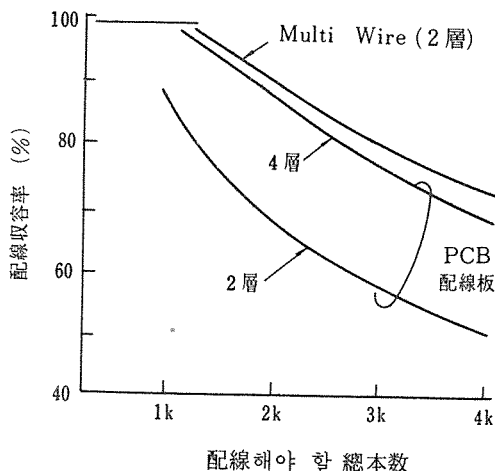


圖 12 PWB, MWB의 配線 收容量

交換機 등 고밀도 實裝에 필요한 장치를 중심으로 사용되고 있으며 해마다 증가 추세를 보이고 있다.

(5) 材料

70年代 中반부터 高多層板 대응으로 各種의 耐熱性 樹脂가 개발되었으나, 결국 日本에서는 폴리에미드系가 주로 사용되어 왔다. 금후는 素子の 高速화에 따라 필요시되는 傳播 지연 시간에 대해 誘電 特性이 우수한 材料가 개발될 전망이다, 한편으로는 CDC가 Super Computer에 테프론, 유리基材를 사용한 15層 多層基材를 實用化하고 있다. 특수한 형상을 필요로 하는 PCB에서는 「脱積層板」을 도모하여, 射出成形에 의해 外形 및 穴을 형성할 수 있는 熱可塑性樹脂 즉 폴리살폰, 폴리에틸살폰, 폴리에틸아미드의 實用化가 되었다.

최근에는 部品 組立工程에 自動插入機가 많이 사용되고 있으며, 종래의 基板材料에서는 伸縮이 크고 PCB 제조시에 열 등에 의한 穴 위치精度에 혼란이 생겨 部品の 插入率을 저하시키는 원인이 되고 있다.

이런 면으로 보아서도, 치수 安定性이 좋은 基板 材料의 개발이 지연되고 있는 것이다.

(6) 製造 技術

종래는 多層板의 積層은 In House 메이커 등 극히 한정된 대규모 메이커만이 실시해 왔으나 최근에는 基板 材料 메이커에 의해 Mass Lamination化가 이루어져 일반 메이커에서도 용이하게 4層板 정도까지 제조가 가능하게 되었다.

그러나 高精度 多層板에 대해서는 積層 조건 등 정확히 Computer 制御할 수 있는 積層 Press가 필요 불가결하게 되어, 이 분야에서는 제한된 메이커에 의존하는 수 밖에 없다.

이미 말한 바와 같이 高 Aspect 比化에 따라서 穴 鑿기 및 鍍金이 문제가 되고 있다. 穴 鑿기에 관해서는 짧은 Drill Bit와 긴 Drill Bit의 2단계 穴 鑿기나 Laser 加工法の 도입이 필요 시된다.

鍍金은 특히 小口径 穴일 경우에는 두께付 無電解 鍍金이 크나큰 效力을 발휘하는데, 電氣 鍍金에 가까운 물리적 특성을 갖는 두께付 無電解 鍍金의 개발이 필요하고, 그 실현도 머지않을 것으로 예상된다.

패턴 形成에 있어서는 半導体産業에 배양된 技術이 PCB 에도 轉과되어서 50~70 μ m 레벨 까지 미세화가 가능하게 진보하고 있다. 露光은 平行 光線의 光源을 이용하여, Mask 의 손상 방지를 목적으로 한 Off Contact, Soft Contact 도 實用化되고 있다.

또한 Mask 를 사용하지 않는 Laser 직접 露光의 개발도 추진되고 있는데, Photo Resist 의 高感度化가 그 Key point 를 쥐고 있다.

(7) CAD, CAM, CAT

PCB 는 단순한 電子部品으로서가 아니라 System 部品으로서 고려해야 할 필요가 있다. 이런 의미에서 PCB 메이커로서 OEM 과의 接點을 어디에 설치하느냐 하는 것이 중요한 문제가 된다.

금후의 高밀도화, 多品種化, 짧은 納期化 라고 하는 경향을 고려하면 설계로부터 시작하여 原画, 本体의 제조 및 그 生産관리를 一元化해서 CAD, CAM, CAT 와 EDP 化된 生産관리를 効果적으로 結合할 필요가 있다.

그러므로 각 OEM 이 독자적의 설계 기준을 세우면 上記 構想의 달성이 현저히 阻害를 받기 때문에 기본 格子 등 표준화된 설계가 절대적으로 요망되고 있는 것이다.

以上の 術을 통해 PCB 는 Device 의 高集

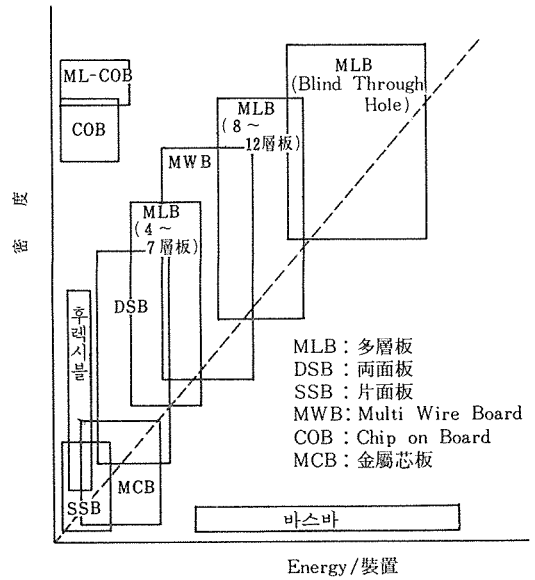


圖 13 裝置의 Energy, 密度와 PCB

積化로 찾아오게 된, 圖 13 에서의 다양성을 갖고 발전되어 가고 있음을 알았다. 이 발전 단계에 있어서 종래에도 그랬듯이 PCB 메이커와 OEM 과 일체가 되어서 제조 방법의 한계를 원활히 하면서 實裝을 포함한 설계를 고려해 갈 필요가 있을 것이다.

