

極低溫 디바이스 調査 概要

1. 序 言

極低溫 디바이스는 超高性能 컴퓨터에의 응용을 中心으로 하여 최근 대단한 關心의 대상이 되고 있다. 따라서 最첨단 기술의 디바이스가 되고 있으며 또한 이 디바이스의 일부분은 이미 電氣標準과 計測 등의 분야에서 實用에 제공되고 있다.

이와 같은 情勢에 대응하여 極低溫 디바이스의 實用化에 있어서 여러가지 문제를 情報處理, 計測, 標準, 의료용 등의 幅넓은 應用分野에 있어서 現황을 조사하고 그 디바이스의 現狀과 문제점을 明確히하여 장래의 동향을 明確하게 할 목적으로 하여 日本電子工業振興協會에 極低溫 디바이스 전문위원회가 설립되어 81년부터 2 個年間に 걸쳐 調査활동을 개시하고 있다. 따라서 이 調査報告를 要約, 번역 게재한다.

2. 調査方法과 特徵

이 위원회는 민간기업의 기술자와 國公立의 대학과 연구기관에 근무하는 연구자로부터 구성되었으며 極低溫 디바이스 技術의 開發에 직접 종사하고 있어 이 방면의 깊은 관심을 가진 탁월한 기술자로서 위원회를 구성하였다.

調査對象은 電子關係의 極低溫 디바이스 분야에서 특히 技術의 진전이 급히 이루어지고 있는 컴퓨터에 관한 기술과 計測應用技術에 초점을 두어 실시하였다. 활동방법은 위원회 위원에 의한 各專門分野의 조사보고와 특정테마에 관하여

部外로부터 전문강사를 초청하여 듣는 방법 등 두가지 방법과 여기에 諸外國에서 개최되는 國際會議의 最新정보를 얻어 調査활동을 실시하였다.

이 報告의 특징은

① 컴퓨터와 계측응용기술의 현상을 상세히 취합하여 이 面의 기술수준을 밝힐 수 있었다. 컴퓨터 技術에는 재료, 프로세스 回路, 實裝技術, 시스템의 各技術이 있으며 計測應用技術에는 표준, 磁界測定, 心磁計, 高速샘플링技術, 電磁波 檢出器 등의 技術이 정리 분류되어 各기 특징을 명기하고 있다.

② 技術上の 문제점을 솔직히 기재하고 있다. 특히 材料의 문제가 중요하며 신뢰성이 있으며 균일한 再現性이 있는 개발이 가장 중요한 과제로 되어 있다.

③ 이미 실용화되고 있거나 實用 가능성이 높은 응용기술은 電壓標準과 心磁計 등의 기술로 되어 있으며 그 디바이스의 구성과 특성이 詳述되고 있다.

④ 極低溫 디바이스의 장래동향을 쓰고 있다. 超高性能 컴퓨터의 개발에 관하여는 현재 대단히 높은 세력으로 연구가 진행되는 새로운 기술 분야이다. 超高性能 컴퓨터의 실현은 오로지 금후의 研究성과에 맡겨지고 있다. 다른 計劃과 標準의 분야에는 그 實用化가 착실히 이루어지고 있으며 極弱磁界 檢出機能을 쓴 응용분야는 電氣와 物理분야에서 의료용 전자분야로 확대되며 또한 超高速 스위칭기능은 샘플링 技術과 아나로그 기술에도 응용되어 종래 기술을 비약적으로 향상시키고 있다고 생각한다.

3. 디지털 技術

(1) 概要

極低溫 디바이스의 디지털 技術에의 응용은當初 IBM에서 技術이 개시되어 가장 많이 성과가 발표되었다. 다음으로는 Bell 연구소와 스페리研究所, 캘리포니아大學 등 美國의 민간과 대학에서 연구가 이루어지고 있다. 이에 따라 歐洲에서도 프랑스의 그루노브에 있는 LETL 과 西獨의 칼스웨大學, 스위스의 IBM 등에서 연구가 활발하다. 日本에서는 文部省의 특정연구과제로서 79년부터 82년까지 3年間に 걸쳐 여러大學에서 연구가 진행되고 있으며 通産省은 81년부터 수퍼 컴퓨터 개발의 대형 프로젝트로서 8年間に 걸쳐 數個社의 計算機 메이커에 補助金を 주어 연구의 촉진을 기하고 있으며 기타 電子技術綜合研究所(通産省)와 電電公社의 연구소로서 精力의인 연구가 진행되고 있다.

圖1은 歐美에 있어서 조셉슨素子の 研究機關을 보여주고 있다. 현재까지 조셉슨 디지털 集積回路의 技術수준은 論理게이트에서는 100게이트 이상, 메모리에서는 1K 비트 이상의 것도 개발되어 다시 周邊回路를 포함하여 實裝回路가 실현되고 있다. 여기에서는 現狀과 將來動向의 대략을 기술한다.

美 國	IBM (Thomas J. Watson Center)
	Bell Lab.
	NBS (Boulder)
	Sperry Research Center
	Sperry Univac (Blue Bell PA)
	Naval Research Lab.
	TRW
	UC (Berkley)
	UCLA (Los Angeles)
	MIT (Lincoln Lab.)
	JPL
	Cornell Univ.
	Univ. of Wisconsin
	Harvard Univ.
	Stanford Univ.
Univ. of Massachusetts	
Yale Univ.	
Iowa Univ.	

		Case Western Reserve Univ. Univ. of Rochester Wayne State Univ. etc
歐	스 위 스	IBM zurich Research Lab. Univ. de Neuchatel
	프 랑 스	L. E. T. L. (Grunoble) Institute d'electronique fondamental (Orsay)
洲	西 獨	Univ. of Karlsruhe Univ. of Tübingen
	이탈리아	Univ. of Salerno Istituto di Cibernetica del CNR (나폴리)
	덴 마 크	Tech. Univ. of Denmark

表1. 歐美에 있어 크라이오 일렉트로닉스 技術의 研究機關

(2) 材料 作成

Pb系 조셉슨集積回路의 구조는 圖1에서 보는 바와 같이 下部電極(Pb-In-Au) - 턴넬바리아(PbO/In₂O₃) - 上部電極(Pb-Au까지는 Pb-Bi)의 조셉슨 結合을 중심으로 하여 多層 구조로 되어 있다. 兩電極에 In-Au와 Bi등을 첨가하는 것은 素子の 온도샘플에 대한 강도를 높이기 위한 結晶粒界의 강화와 塑性이 변형하는 것을 막게 되며 그 결과 圖2에서 보는 바와 같이 熱사이클이 1,000회 이상의 것을 만들 수 있게 된다. Pb系의 材料는 과거 대단히 많이 연구테마를 잡기도 하였으나 집적규모도 어느 정도의 것은 가능하나 低溫材料에서 耐水性이 약하여 신뢰성과 안정성에 문제가 있다. 이러한 결점을 극복하기 위하여 Nb系의 굳은 材料로서 집적회로를 작성하는 연구가 최근 대단히 활발하게 되었다. 이 素子を 쓴 接合으로서는 ① Partially hard Junction(下部電極 Nb系-上部電極 Pb系)와 ② all hard Junction(Nb系-Nb系)가 있다. Nb系 材料의 문제점은 턴넬바리아 生成時의 酸化의 過程에 NbO₂와 NbO의 低級酸化物이 되어 특성이 나빠지며 또한 barrier의 파괴와 리크가 생기기 素子製作이 어렵게 되며 接合용량의 증대에 따른 스위칭 特性의 劣化등의 문제가 있다. 이를 위하여 NbN을 쓴 barrier 제작시의 안정성을 개선하는 시험도 진전되고 있다. 프로세스에 있어서 패터닝技術도 중요하다. Pb

系에는 스텐실 패턴에 의한 리프트 오프法이 사용되고 있으나 서브미크론 오더의 形狀이 되는 패턴엿징이 불명확하며 특성이 열화하기 때문에 그 形狀制御와 精度에 관하여 문제가 남는다. 이를 위하여 素子 全面을 SiO₂로서 被覆한 후 포토레지스트 프로세스로서 接合 部分의 窓開를 하며 SiO₂를 CF₄로서 직접 프리즈마 etching 시켜 微細 패턴을 0.05~0.15μm의 精度로서 만드는 方法도 쓰여지고 있다. 어떠한 것도 電子빔露光, X線露光, 어떤 것은 드라이 etching의 微細加工技術이 사용될 수 있으며 문제는 薄膜積層에 의한 段差의 平坦化와 Josephson 集積回路에 적합한 포토레지스트의 개발 등에 있다.

(3) 回路

Josephson 素子를 쓴 論理回路와 메모리 回路는 數 많이 提案되고 있다. 그 現狀과 동향을 본다.

① 論理回路

圖3은 현재 제안되고 있는 論理回路의 概要를 나타내는 그림이다. CPU를 구성하는 회로로서는 IBM이 개발한 電流注入型 論理回路(CIL 또는 CID로 쓴다)를 기본으로 한 시스템과 Bell lab.이 개발한 抵抗直結型 回路를 기본으로 하는 시스템의 두가지 主流가 있다. CID는 인터프로메터型 論理回路(JIL)를 함께 사용한 CID 팩밀리로서 논리시스템을 구성하며 이 시스템은 비교적 동작마진도 넓은 신호의 방향성도 있는 신뢰성이 높은 특징을 가진다. 그러나 결점으로서는 磁界結合을 쓰기 위한 素子의 면적이 커지게 되며 集積密度도 한계가 있어 동작 속도도 늦어지게 된다. 이 단점을 보충하는 回路方式이 抵抗直結型 論理回路로서 구조도 비교적 간단하며 집적밀도도 높고 동작속도도 빠르다.

결점으로서는 信號의 方向性은 일단 얻어지는 것의 네트워크로서 동작마진 등 그 시스템으로서의 신뢰성에 약간 불안이 있다는 것이 今後의 연구과제이다. 圖4는 CIL論理回路로 되어 있다. (a)는 그 기본회로로서 (b)는 그정도 값어치의 특성을 보여 준다. 두개의 入力信號 A와 B가 함께 합쳐진 값의 특성은 點0으로부터 A·B로 옮겨 圖a의 X印의 Josephson 素子는 두가지 함께 超傳導狀態로부터 電壓狀態로 이행한 負荷 R₁에 電流를 공급해 I_a·I_b의 AND동작이 달성

된다. C圖는 JIL를 다같이 사용한 CIL패밀리

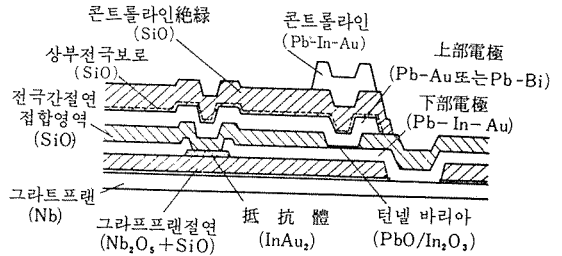


圖1 Josephson 素子の 構造

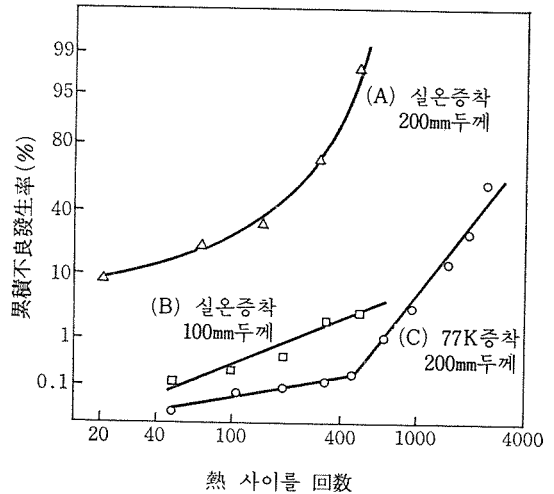
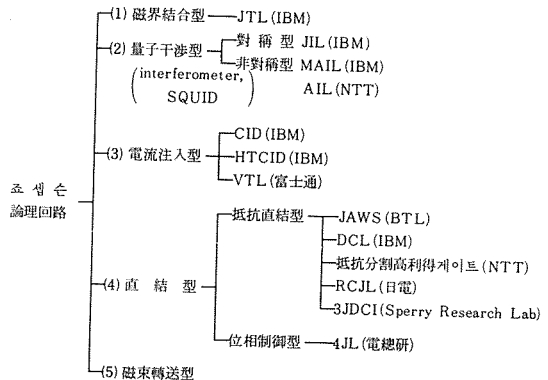


圖2 Josephson 素子の 熱사이클과 累積不良發生率

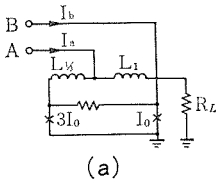


- JTL : Josephson Tunneling Logic
- JIL : Josephson Interferometer Logic
- MAIL : Magnetically coupled Asymmetric Logic
- AIL : Asymmetric Interferometer Logic
- CID : Current Injection Device

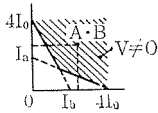
- HTCID: High Tolerance CID
- VTL : Variable Threshold Logic
- JAWS : Josephson Atto Weber Switch
- DCL : Direct Coupled Logic
- RCJL : Register Coupled Josephson Logic
- 3JDCL : 3 Junction DCL
- 4JL : 4 Josephson Logic

圖3 조셉슨 基本회路的 分類

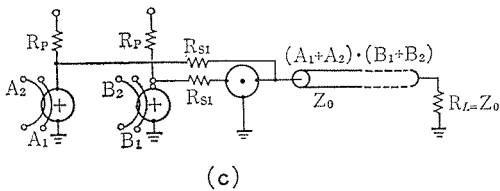
회路的 例로서 $(A_1 + A_2) \cdot (B_1 + B_2)$ 의 OR · AND의 두 레벨동작을 行한다. CIL은 信號의 一方向性이 얻어지기 때문에 JIL을 써서 그 方向性을 가지게 한다. 圖5는 CIL 패밀리의 性能을 보여준다. 圖6은 抵抗直結型 論理회路的 JAWS회路를 보인다. J_1 및 J_2 는 조셉슨 素子로



(a)



(b)



(c)

圖4 CIL 論理회路方式

	Gate	Fan-In	Fan-Out	CIL Delay (ps)	CIL Power Delay $\times 10^{-18}$ J	Power Dissipation (μ W)
CIL	2-OR	2	1	13	26	2
	2-AND	4	1	26	104	3
	4-OR	4	6	39	104	3
	4-AND	8	0.2	41	208	6
	MEAN	4.5	2.5	29.75	110.5	-
JIL	MEAN	3	1	58	290	-

圖5 CIL 論理회路的 性能

되어 있어 바이어스 電流로서는 I_B 와 $-I_0$ 가 덧붙게 된다.

信號電流 I_c 가 0의 경우는 I_B 는 J_1 과 J_2 에 分流되어 흘러 그 電流值는 各素子의 臨界電流值 이하로서 되어 있기 때문에 超傳導 상태에 있다. 지금 I_c 에 1에 相當하는 入力電流가 합치면 I_B 의 대부분은 J_1 素子에 흘러 그 素子를 電壓狀態에 스위치시킨다. J_1 이 전압상태가 되면 I_B 는 J_2 素子의 쪽으로 많이 흘러 J_2 를 電壓狀態에 스위치시킨다. J_2 가 스위치되고 그후 I_c 에 入力信號가 덧붙여지면 그 電流는 抵抗 r에 흘러서 信號의 一方向性이 얻어진다. 이 基本회路를 개량한 회路가 많이 제안되고 있다.

圖7 (a)는 DCL의 회로로서 바이어스 電源을 하나로 한 회路로 되어 있으며 (b)는 電流注入型 高利得論理게이트로 되어 있으며 (a)의 入力 抵抗 R_1 에 병렬로 조셉슨 素子 J_1 을 附加시켜 電流利得을 높게 되어 있다. (c)는 抵抗分割型 電流注入게이트로 되어 있어 회路的 동작 마진을 다시 증가시키는 회로로 되어 있다. 圖8은 抵抗直結型 論理회路 팩밀리를 보여주고 있다. 圖9 (a)는 電總研에서 開發되어 4JL 회路

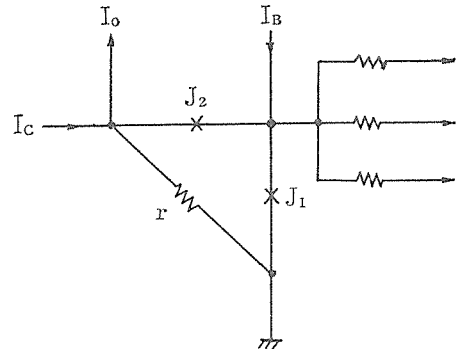


圖6 JAWS 회路

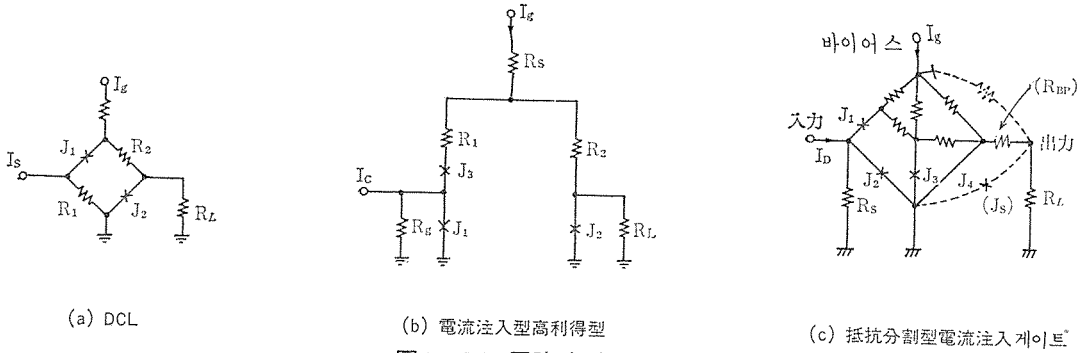


圖7 DCL 회로의 改良型

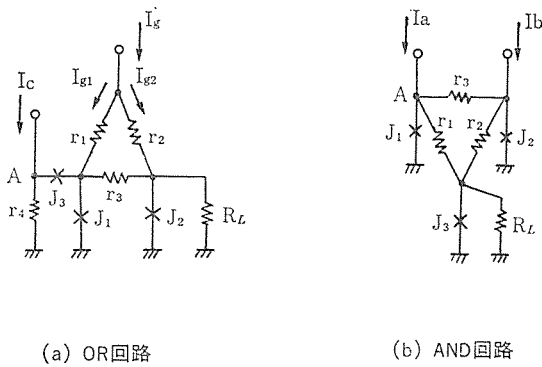


圖8 DCL 論理回路 패밀리

특성은 대단히 좋아 4 비트 加算회로를 제작한 예에는 속도 43ps/비트, 消費電力 0.83mW/비트의 성능회로가 발표되었다.

(2) 메모리 회로

메모리 회로도 여러가지가 제안되고 있다. 圖 10은 그 典型的인 회로를 나타낸 그림이다. (a)는 루프形 메모리(電流交替型 메모리)로서 초기에 개발한 회로이다. 메모리의 글을 써넣는 정보 1과 0에 대응하여 조셉슨 素子の J_1 이 J_2 의 어느 것으로부터 전압상태에 스위치 시켜 메모리 회로내에 右回가 左回로의 영구순환 전

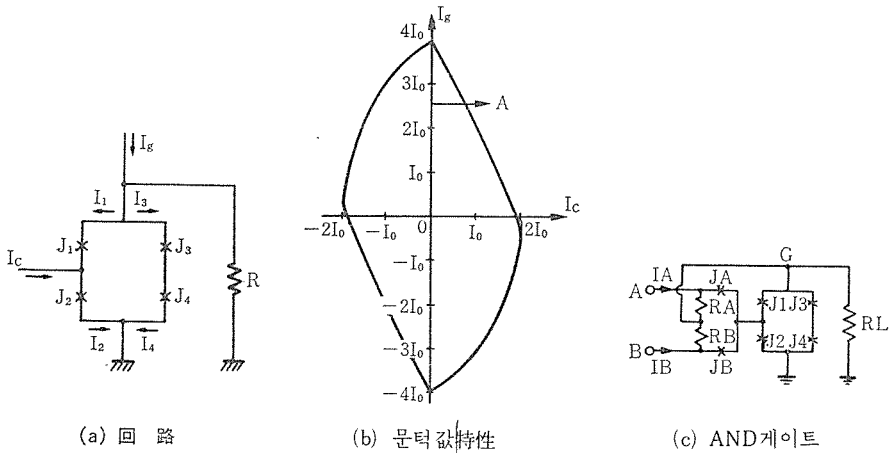


圖9 4 JL 게이트

로 되어 있어 各素子の 位相差가 서로 간섭된 저항직결형 회로로 되었다. (b)는 이 素子 정도의 값 특성으로 2 入力 I_g 와 I_c 가 동시에 덧붙여진다면 동작점은 A로 移行된 電壓狀態가 된다. (c)는 이 素子를 써서 구성한 AND 회로의 예를 나타내었다. 抵抗直結型 論理회로의 동작

류를 흐르게 하여 메모리 기능을 달성한다.

읽어내는 것은 센스게이트에 전류를 흐르게 하여 J_3 素子를 순환전류의 방향에 대응시켜 스위치된 것을 거부하는 讀出을 行한다. 이 메모리 회로는 消費電力이 커지며 素子面積도 커지며 동작속도는 빨라져 비파괴 메모리 회로로 되

어 있기 때문에 캐슈메모리로서 기대된다. (b)는 인터프로메타형 메모리라 불리며 素子 中에 저장된 磁束量자의 數가 0이나 1에 對應시켜 정보가 기억되는 구조로 되어 있다. 이 메모리는 消費電力이 극히 적고 집적화도 높아지기 때문에 주된 메모리로서 기대된다. 메모리 시스템으로서의 IBM으로부터 4K비트 RAM과 64비트 비파괴 RAM이 발표되고 있으며 電電公社 연구소로부터도 1K비트의 비파괴 메모리가 발표되고 있다. 圖11은 이 메모리 시스템으로 되어 있는 圖10(a)를 개량시켜 ①超傳導 루프를 적게 하여 거기에 저장하는 磁束의 크기를 $1 \sim 5 \phi_0$ 의 크기로 하며 ②글을 써넣는 것 및 讀出에 쓰는 素子는 量子干涉型 게이트(圖의 WG는 3接合 인터웨이브, SG는 2接合 인터웨이브로 되어 있다.)로 되어 동작 마진을 크게

(3) 후리프 후로프회로 하고 있다. 특성은 액세스 시간이 3.3ns, 消費電力은 2.0mW의 고속 저소비 전력이 달성된다.

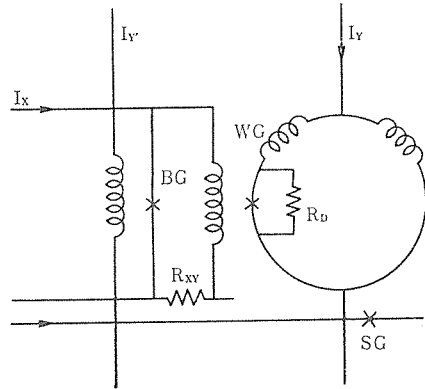


圖11 改良된 電流交替型 메모리 回路(NTT製)

CPU를 구성하는 레지스터로서는 각종의 후리프 후로프회로가 제안되고 있다. 圖12는 그 例로 되어 있으며 (a)는 電流交替形 후리프 후로프회로를 보인 세트信號S를 들어 보내는 것과 그 素子가 전압상태에 스위치된 직류 전류원으로부터 전류는 대부분이 R側의 素子에 흐르게 된다. S의 신호가 소멸된 후는 S側의 素子は Self-Resetting 동작을 위하여 超傳導狀態로 되돌아가 R側을 흐르는 전류는 그대로 흘러가게 되어 1의 상태를 保持한다. R信號가 들어가는 상태는 反轉되어 이와 같은 후리프 후로프의 동작을 달성한다. (b)는 버블形 회로로 되어 있어 S信號가 入力되는 것과 S側의 소자가 전압상태에 스위치되어 인덕턴스L을 흐르는 전

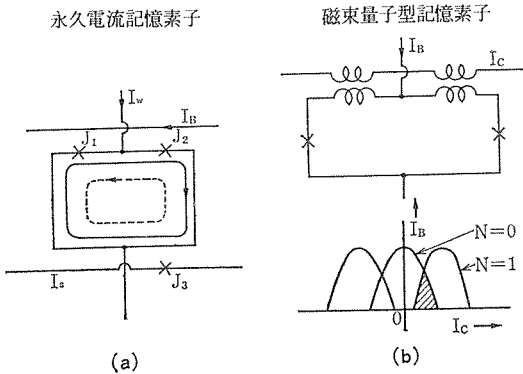
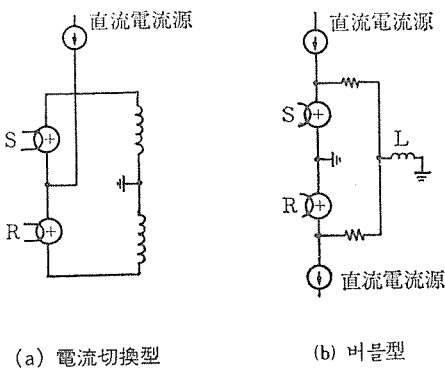
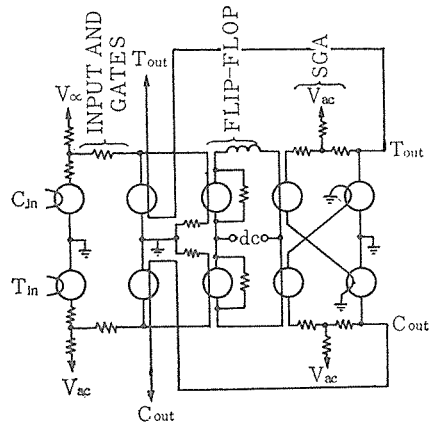


圖10 메모리 回路의 基本回路



(a) 電流切換型

(b) 버블型



(c) 마스터 스프레프 回路

圖12 조셉슨 · 후리프 · 후로프회로

류는 正方向에 흐르거나 R信號가 入力되는 것과 R側의 소자가 마이너스 방향에 스위치시켜 그 端子電壓은 마이너스로 되어 L을 흐르는 전류는 마이너스 방향이 된다. 이와 같이 하여 후리프 후로프가 구성된다. (c)는 이와 같은 기본회로로서 구성된 마스터스리프 후리프 후로프의 회로를 나타낸다. 기타 데코더회로와 멀티 후렉서회로, 電源회로등의 주변회로도 개발되었다.

(4) 今後的 課題

① 実裝技術

컴퓨터를 실제로 만들기 위하여는 CPU와 메

모리의 칩을 実裝하지 않으면 안된다. 현재까지 제안되고 있는 実裝을 위한 유일한 구상은 IBM에 의한 圖13의 시스템이 있으며 칩은 가드에 후리프칩方式으로 납땜 접속하여 가드는 水銀 불을 쓴 마이크로 콘넥터를 매개로 하여 보오드에 붙인다. 이 시스템은 사이클 타임 3.7ns의 프로트 타입 프로세서를 상정한 시스템으로 실험도 성공하였다. 그러나 금후는 다른 우수한 시스템도 검토될 것으로 생각된다.

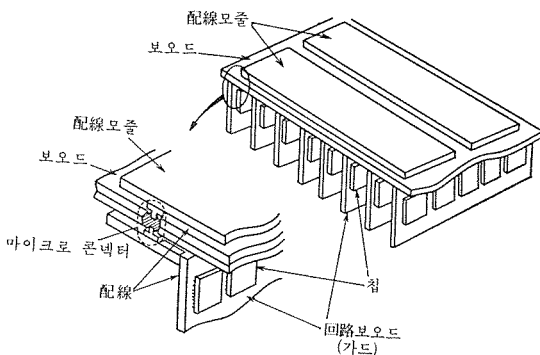
② 아키텍춰

조셉슨 컴퓨터의 아키텍춰에 관하여는 지금까지 충분한 검토를 行하고 있는 단계이다. 조셉슨 컴퓨터의 가장 큰 문제점은 그 시스템이 超低温의 액체 헬륨 가운데에서 동작하고 있다는 점이다. 그러나 i) 시스템의 검사와 고장 진단 방법의 확립과 고속동작의 측정방법의 확립, ii) 상온과 저온시스템간의 인터페이스의 決定, 특히 人出力裝置와 外部메모리 장치와의 정보 교환방법의 결정, iii) 조셉슨素子 특유의 특성에 맞는 시스템의 결정과 ICAD의 확립 등이 금후의 과제로 되고 있다. 금후는 적어도 100MIPS 이상의 성능을 가진 조셉슨素子 특유의 새로운 아키텍춰가 기대되고 있다.

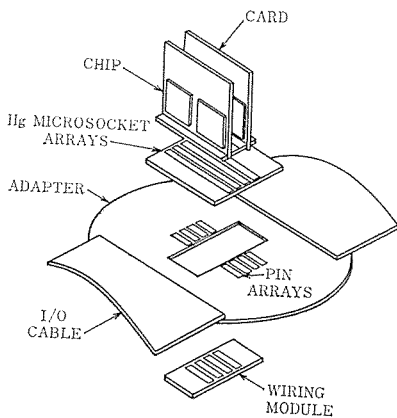
③ 信賴性

조셉슨회로의 集積도가 대규모로 되면 이 素子が 가지고 있는 문제점도 밝혀진다. 현재의 集積회로는 주로 Pb系の 재료로서 만들어지고 있으나 이 材料는 低融粘에서 軟하며 물리적으로도 비교적 불안정한 특성 때문에 신뢰성과 안정성이 불안하다. 그러나 Pb에 In과 Au, 또는 Bi등을 넣는 素子の 下部構造와 上部電極을 구성해 절연막 형성기술의 진보와 더불어 素子 작성상 신뢰성을 비약적으로 높이는 노력을 行하여야 한다.

그러나 Pb자체의 특성에 의한 소자 제작상의 곤란함을 타파하는데 까지 이르지 못하고 있어 최근에는 高融點에서 강한 재료의 Nb系の 재료로서 소자를 제작하고 시험하는 일도 성하다. 그러나 이 素子は 터널絶緣膜의 작성이 어려우며 또한 比誘電率도 커지나 속도가 늦어지는 결점도 있다. 어쨌든 素子製作 기술의 성공이 조셉슨 컴퓨터의 장래를 확실히 할 것이며 금후의 성과가 기대된다.



(a) 칩과 보오드의 콘넥터



(b) 實裝시스템

圖13 IBM의 實裝시스템

④物理的 限界

조셉슨素子の 스위칭 동작에 가장 큰 장애의 하나는 펀치술 현상이다. 이 현상은 조셉슨素자의 On, Off 동작을 하는 경우 그 周期를 빠르게 하는 것과 素子は On 상태에 되어도 Off 상태로 돌아오지 않는 현상이다. 펀치술 확율을 10^{-20} 이하로 두려면 約300PS의 움직임 보다 빠른 回路를 동작시키지 않으면 안된다.

이것을 피하기 위해서는 직류 구동방식의 논리회로 방식을 쓰는 것도 하나의 방법이다.

조셉슨素子の 스위칭時間을 제약하는 다른因子에 素子の RC時定數가 있다. 이 時定數는 電流密度를 커지게 하여 素子の 接合容量을 적게 하며 인덕턴스를 量子化리미트까지 적게 하는 것보다 더 적게 할 수 있다. 디바이스의 크기는 最小패턴幅규격을 W로하여 磁界侵入길이를 λ 라 한다면

$$W_{min} = 5 \lambda$$

로부터 제약을 받는다.

Pb系에서는 $\lambda = 0.1 \mu m$ 로 되어 있으므로 $W_{min} = 0.5 \mu m$ 로 된다. 다른接合으로 발생하는 熱雜音이상으로 臨界電流를 커지게 할 필요가 있으며 또한 磁界制御型 回路에는 $L I_0 \geq \phi_0$ 의 제약이 있으나 L을 적게 I_0 를 커지게 한다면 熱雜音의 영향은 무시할 수 있으며 W_{min} 은 上式의 λ 에 따라 결정되는 것이 된다. λ 는 素子の 크레인 규격과 同정도로 되어 있는 것을 이 것 보다 적게 하면 좋다.

消費電力은 素子の 臨界電流 I_0 와 電壓 2Δ 에 따라 거의 결정되며 $I_0 = 50 \mu A$, $2 \Delta = 2 mV$ 로서 消費電力은 約 $0.2 \mu W$ 로 된다. 또한, 電源으로 되어 있는 電力을 내리게 하는 연구도 필요하다. 素子回路의 집적도는 게이트當의 소비전력에 따라 결정되는 것이기 때문에 이 素子の 消費電力은 할 수 있는 限 적게 하지 않으면 안된다.

4. 計側技術

조셉슨素子の 계측기술에의 응용은 實用化가 가장 빠른 分野이다. 종래의 소자에서는 얻을 수 없는 특성이 이 素子에 보다 용이하게 달성 되어 金후의 발전이 대단히 기대된다.

(1) 標準

조셉슨電壓標準은 AC조셉슨 效果를 이용하여 만든다. 십여년전부터 美國, 英國, 캐나다, 프랑스, 日本등에서 전압 표준장치가 만들어지며 실용장치로서는 精度 $10^{-7}V$ 오더의 것이 美國과 日本에서 개발되고 있다. 현재의 정도는 $10^{-8}V$ 오더의 것을 할 수 있다. 圖14는 NBS에서 만들어진 電壓標準回路를 나타내었다. 또한 최근 電總研은 100mV의 出力을 가진 조셉슨 어레이를 작성하였다. 이것은 20코의 Pb-PbO-Pb 素子로서 만들어지며 9~11GHz의 마이크로波 照射에 의하여 3~8mV의 전압이 出力된다. 今後は 100mV이상의 큰 出力과 高信賴化의 素子開發이 이루어질 것이다. 또한 抵抗의 量子標準도 실용화될 것이다.

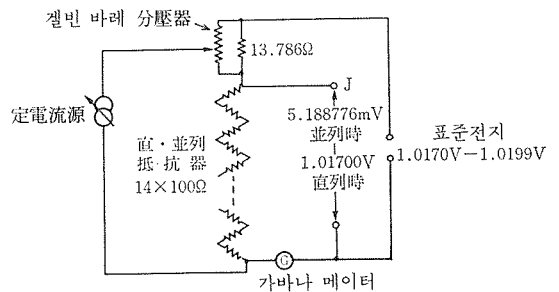


圖14 조셉슨 電壓標準의 一例

(2) 磁界測定

SQUID에 따라 微弱磁界 측정은 실용단계에 들어가고 있다. 의료, 생체분야로서는 심장과 다른 근육으로 나오는 $10^{-10}T$ 의 磁界와 腦細胞로부터 나오는 $10^{-13}T$ 오더의 磁界를 檢知하는 것에 SQUID는 응용되고 있다. 心磁計는 심장의 움직임을 비접촉으로 검사하는 것에 쓰여지며 종래의 심전계로 얻어지지 않는 정보도 검지할 수 있는 임상적 연구도 이루어지고 있다. 腦磁圖는 大腦活動에 비하여 보다 큰 정보도 얻게 되며 청각과 시각 등에 의하여 腦의 자기적 응답 등은 金후의 연구가 대단히 기대되는 분야로 되어 있다. 地球物理의 분야에도 SQUID에 따른 磁氣센서가 기대되고 있다. 地磁氣脈動의 測定, 資源探査에의 응용, 磁氣모노폴의 존재 등 微弱磁界의 測定에는 없어서는 안될 素子가 되기 때문이다.

(3) 超高速 아나로그技術

조셉슨素子는 디지털 기술에는 볼 수 없으며 아나로그技術에도 有望하다. 超高速 現象의 측정에는 10PS를 넘는 샘플링 기술이 필요하며 이것에 관하여 조셉슨素子를 쓴 回路가 이미 여러 가지 제안되고 있다. 圖15는 그 回路의 一例로서 최근에는 샘플링 시스템의 자동화도 이루어지고 있다. 다른 조셉슨素子를 쓴 A/D 變換回路도 연구되며 100GHz에 응답하는 회로도 실험되고 있다. 기타 이 素子를 쓴 건볼바 등도 제

안되어 高速아나로그 技術에의 應用이 연구되고 있다.

(4) 電磁波檢出器

이 분야에도 조셉슨素子는 실용단계에 들어가고 있다. 電磁波檢出器로서 쿠퍼페어에 의한 조셉슨 믹서와 準粒子에 의한 準粒子믹서(S-I-S 믹서) 兩者 공존에 의한 믹서 등도 있어 美國과 歐洲에 있어서는 低雜音受信器로서 실용되고 있다. 이 素子는 微波로부터 赤外線까지의 周波數에 대하여 電磁波檢出機能이 있어 周波數特性, 分解能과 함께 이 素子보다 우수한 素子는 볼 수 없다. 今後の 실용화가 기대된다.

5. 結語

極低溫 디바이스專門委員會는 2년간의 조사 활동을 끝마침으로서 일단 목적을 달성하였다. 현재 極低溫 디바이스에 관한 技術은 장래의 슈퍼 컴퓨터에의 응용을 목표로 하여 急피치로 이 방면의 연구가 이루어지고 있으며 그 動向은 한시의 정체도 찾아볼 수 없다. 조셉슨素子는 다른 素子에 비하여 찾아볼 수 없는 많고 우수한 특성을 갖기 때문에 磁氣센서, 電壓標準, 電磁波檢出, 아나로그 기술 등 많은 기술에 응용되어 앞으로의 前途는 대단히 기대가 높아지고 있다.

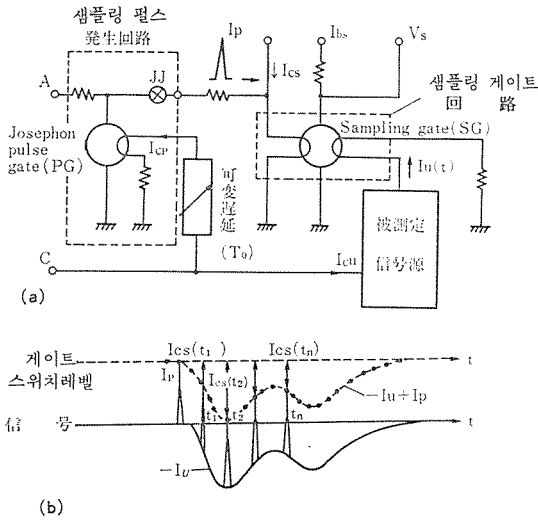


圖15 조셉슨 샘플링 回路의 例

