

超LSI 時代의 最新 露光裝置 技術

- I. 超LSI時代의 Wafer Process 技術
- II. 電子Beam 描画에 의한 Mask 製作
- III. 超 LSI 時代의 縮小 投影露光裝置
- IV. 最近의 Reticule 自動 欠陷檢査技術
- V. 最近 超LSI用 Resist 開發 動向

I. 超LSI 時代의 Wafer Process 技術

1. 순조롭게 발전하는 LSI

超LSI는 응용 분야가 대단히 광범위한 것으로 成長性이 높은 産業이라고 널리 認識되어 있는 관계로, 그 研究 開發에 많은 노력이 傾注되고 있으며 순조로운 발전을 이룩해 가고 있다.

머지않은 장래의 展望으로서 RAM Memory 를 하나의 指標로 예를 들자면, 64K DRAM은 생산 규모의 확대와 더불어 Chip 면적의 縮小, Access Time 100nsec 등으로 高速化가 추진될

것이다.

또한 256K는 82년부터 Sample 出荷가 시작되어 있으며 금년부터는 大型 컴퓨터에 본격적으로 사용될 전망이다.

超LSI의 표준적인 集積度를 지닌 것으로 보여지는 1Mbit DRAM은 84년에 試製品의 발표

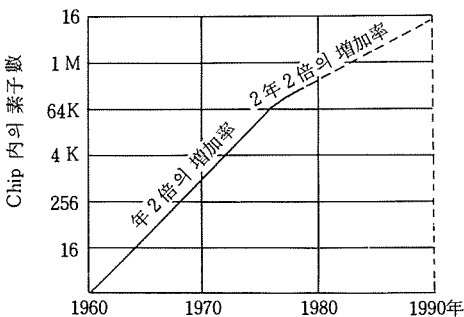


圖 1. Chip 당 素子 數의 年次 변화와 장래 予測

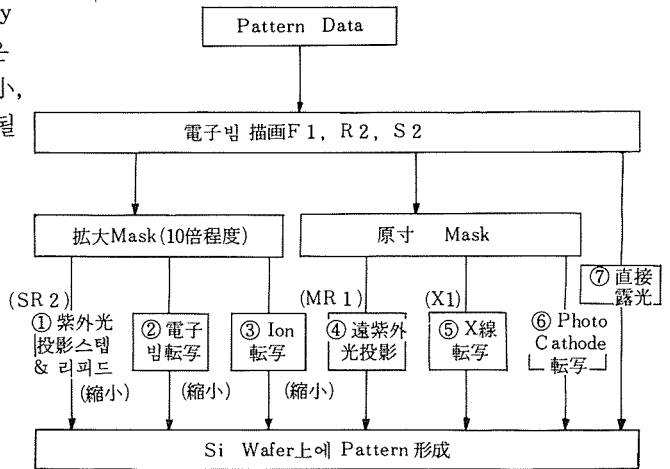


圖 2. Pattern 形成 技術의 관계

가 있을 것 같다. 圖1은 超LSI 공동 研究時代에서 장래를 예측해 본 것이다. 세로 축이 素子の 수를 표시한 것이란 사실을 고려해 보면 발전 추세를 짐작할 수 있다. 60年代 초반부터 70年代 후반까지는 年 2倍의 증가율로 素子數가 증가되어 왔으며 70年代 후반부터는 2년마다 2倍의 증가율로 완만한 추세로 변화된 것을 알 수 있다.

이상과 같은 발전의 중심 技術이 되는 것은 微細 加工技術이다. 이 중에서 微細 Pattern形成 技術의 一覽을 圖2에 나타냈다.

2. 高度化 되는 電子Beam 描画技術

電子Beam에 의한 描画는 圖2에 나타나 있는 것처럼, 轉寫用 Mask에 描画할 경우와 Silicon Wafer에 직접 描画하는 두 가지 경우가 있다.

직접 描画에서는 물론 Mask 描画에 있어서도 직접 Master Mask의 描画가 가능해서, Mask作成의 Pattern Around Time이 단축되어, 高精度에서도 나타나기 때문에 電子Beam 描画裝置는 기본적인 장치로 점차 정착되고 있다.

직접 描画는 量産에 들어간 단계에서는 光轉寫를 이용한 방법에 비하여 Through-put이 적기 때문에, 光轉寫가 가능한 방법의 패턴에서의 量産에는 사용될 수 없다.

한편 Mask를 제작하는 것부터 轉寫를 행하는 시간을 고려하면, 직접 描画는 Pattern Around 시간이 짧게 되어 보다 미세한 패턴의 超LSI 試作 혹은 수량이 적은 생산, 특히 持注品の 配線 등에 有用성이 있다.

이 종류의 半持注品으로서 최근 Gate Array가 중요한 분야가 되고 있다. Gate Array는 필요로 하는 素子를 제작하는 擴散工程의 공통적인 設計·제작을 끝마치고 있고, 필요한 回路에 대한 配線을 그 回路에 對應해서 제작하는 Semicustom Logic이다.

이 종류의 配線에서 보는 電子빔 描画을 사용하는 방식으로 유명한 것은 IBM社의 QTAT (Quick Turn Around Time)이다. 이 방법은 앞으로의 Semicustom 제품을 단시간에 제작하는 한 방안이 될 것으로 보인다.

電子빔 描画裝置의 성능을 나타내는 중요한 量은 微細 패턴의 描画 精度와 描画 속도이다.

描画 속도는 1시간당의 Wafer 處理 量에서 나타나는 Through-put의 표현으로 표시되는 일이 많다. 圖3은 몇 개의 描画裝置의 Through-put

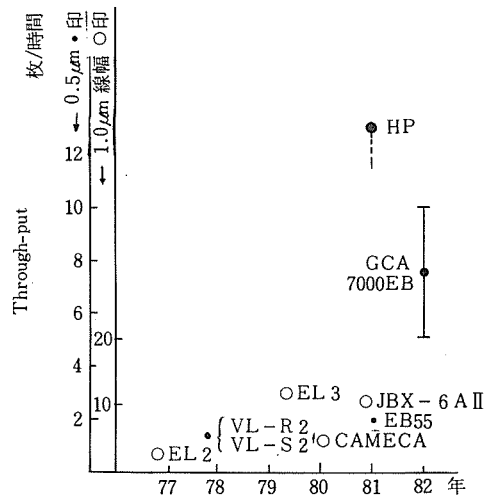


圖3. 電子Beam 直接描画에 의한 100mmφ wafer의 Through-put (75mmφ wafer는 單統面積 환산)

put을 발표 年을 기준으로 표시한 것이다. 이 도표에서 세로 축은 0.5μm線幅을 단순히 bit 數로 환산하였다.

이 도표에서 HP社의 장치는 5mm의 大振幅 偏向을 종래부터의 상식이었던 電磁偏向이 아니라, 靜電偏向을 채용해서 高速化를 도모하고 있다. 또한 8極의 靜電偏向 電極을 사용함에 의해서 종래의 4極에서 문제가 되었던 偏向歪를 충분히 작게 할 수 있게 되었다.

GCA社의 것은 82年 가을에 學會에서 발표되었는데, 이 장치는 1μm線幅을 사용하여 試料臺를 描画中에도 연속적으로 이동시켜, 近接效果 補正을 행하지 않을 때 100mm Wafer에서 평균 18枚의 描画가 가능하며, 이 數値는 Stepper에 의한 Through-put의 몇 분의 1 정도의 수치까지 되기에 이르렀다.

개개의 技術에 있어서는, 日本 理研의 後藤 教授의 提案에 의한 可變成型 Beam 방식은 超LSI 共同研의 VL-S 1, S 2, R 2에 있어서 채용되었으나 그 후에도 EL 3, EB55, 6A II GCA 등, 대부분의 장치에 채용되고 있으며 注流 방식으로 위치를 잡아 가고 있다.

한편, 電界放射型 電子銃은 $1\mu\text{m}$ 이하의 패턴에 有效로 고려되어, 共同研에서는 VL-FI를 개발하였다. HP社의 장치에도 온도를 올린 電界放射型을 채용하고 있으며, 장래의 微細化를 위해서 주목해야 할 電子銃으로 말하여지고 있다.

3. Wafer의 一括 転写技術

電子Beam에 의해서 만들어진 転写 Mask로부터 Wafer로의 일괄 転写는 현재 그 대부분이 紫外光, 遠紫外光 등의 빛을 이용하는 방식에 의해서 행해지고 있다.

이 방법에서 중요한 것은 圖2의 ①에 표시된 所謂 Stepper와 ④에 표시된 反射 Mirror 방식이다.

Stepper는 통상 10cm^2 에 묘사된 Reticule이라고 불리어지는 擴大 Mask를 圖4에 예들 든 것처럼 光學系에 의해 축소되어 1cm^2 마다에 Step and Repeat하는 방법이다.

이 방법의 특징은 높은 一致의 精度로, 먼지 등의 영향이 적다는 등의 利點이 있으나, 欠點으로는 Mirror 형식에 비해서 가격이 2,3배, Through-put가 2분의 1 정도에 그치는 점이다. Through-put를 올리기 위해서 5분의 1로 축소하는 장치도 개발되어, 現단계에서는 적절한 응

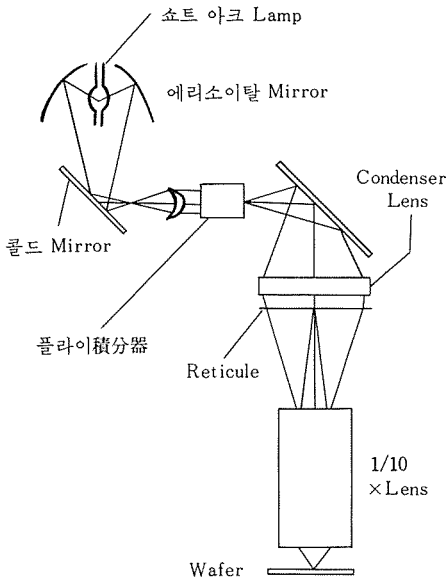


圖4. 縮小 投影露光製置의 光學系 例

용의 넓은 분야에 걸쳐지게 되었다.

한편 反射 Mirror 방식은 圖5에 그 예를 표시한 바와 같이, 反射 Mirror의 특징은 色收差, Lens收差가 없는 연속 波長이 사용되기 때문에 定在波의 영향이 적고 波長의 制限이 없으므로 遠紫外光을 사용할 수 있는 등이다.

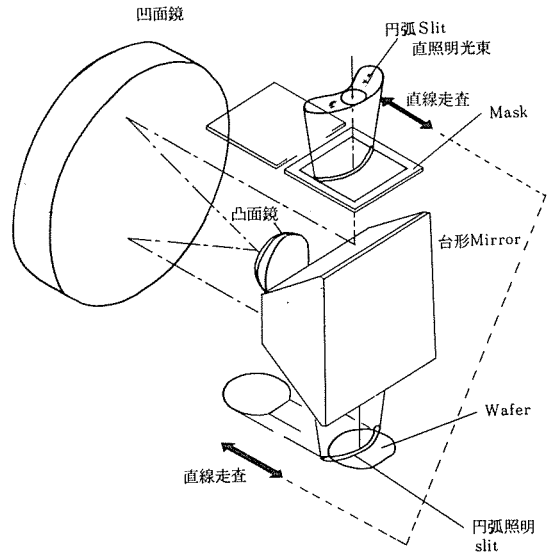


圖5. Mirror projection型 露光製置의 光學系 例

그리고 이 방식에서는 高Through-put가 가능하며 125mm Wafer로 1시간당 18~100枚를 취급하는 장치가 개발되었다. 遠紫外光을 사용하면 $1\mu\text{m}$ 까지의 映像度를 얻을 수 있다.

이 방식에서 최대의 문제점은, Wafer 全面을 한번에 일치시키기 위한 Alignment 精度에 한계가 있으므로 이것을 개선하기 위해 倍率을 微小하게 補正하는 방법, Subfield에 나누어 S-scanning하는 등의 시험이 이루어지고 있다. 문제는 필요로 하는 線幅에서 어느쪽의 Through-put가 클 것인가 하는 것이 선택의 포인트가 되는 것이다.

光의 転写 방식으로 또 하나는 X線이 될 것이다. X線を 발생시키는 종래의 방법은 金屬 Target에 電子Beam을 쬐어서, 그것에서 X線を 발생시키는 것인데 變換效率은 10^{-4} 정도로 작은 수치가 된다.

한편 보다 강력한 X線源으로 SOR을 사용하는 방법에 대한 실험이 진행되고 있다. 이것은

電子의 궤도를 구부러지게 하였을 때 발생하는 X線을 이용한 것으로 平行性과 強度가 높은 X線을 연속 Spectrum으로 얻을 수 있는 특징이 있다.

또, 임의의 波長域을 선별하는 일에 의해 Mask의 Contrast의 設計性과 Mask 基板 선택의 自由度가 증가되는 이점도 있으며 大阪, 電總研 등으로부터의 실험 결과가 발표되고 있다.

최대의 문제점은 장치가 대규모로 되어 IC 工場의 장치로서 허용되는 범위를 벗어나는 것인데, 향후 어느 정도까지 小型化가 가능할 것인가가 주목되고 있다.

X線 이외의 것으로는 圖2의 ②, ③에 나타낸 Stepper에 있어서의 光을 電子빔과 Ion Beam에 置換된 縮小 轉写가 있다. 그러나 光과 달리 電子빔이나 Ion Beam은 통과시킬 수 있는 棧械的 支持材料가 없기 때문에 Mask 제작에 문제점이 있다. 이 두 가지 방법 중에서는 Ion Beam 쪽이 Resist에 대한 感도가 크다는 등의 특징이 있다.

이 Mask 제작의 문제가 적은 것이 圖2의 ⑥에 표시한 photocathode를 사용하는 방식이다.

同方式의 原理는, 패턴은 光으로 넣어 光이 부딪치는 부분의 CsI로부터의 電子放出에 의해 電子빔의 패턴을 만들어 이것을 磁界에 의해 Wafer上에 結像하는 것이다.

4. 중요성이 증가하는 Dry Process技術

이상 서술한 Lithography 技術은 Resist 패

턴을 형성하는 것인데 微細加工을 완성하기 위해서는 그 패턴을 酸化膜, Silicon, 金屬 등의 패턴에 蝕길 필요가 있으므로 패턴 방법의 微細化와 더불어 Dry Etching 技術을 중심으로 하는 Dry Process의 중요성이 높아지고 있다.

圖6의 (a)에 표시한 Plasma의 化學反應을 이용한 等方性의 Etching에서는 $3\mu\text{m}$ 의 패턴이 한계인 것으로 보인다. (c)의 Ion Etching은 Ar^+ 등의 Ion을 加速해서 試料에 닿게 해서 原子를 제거해 버리는 物理的 方法으로, Mask의 밑으로 돌려 넣는 것은 적지만 물질에 대한 선택성은 거의 없기 때문에 Mask에 문제가 있다.

(b)의 平行平板型은 兩者의 절충형으로도 알려진 것으로, 反應性 Spattering을 이용해서 化學 Etching만으로는 제거하기 어려운 Al을 필두로 하여 Silicon 酸化膜, 多結晶 Silicon 등의 patterning에 널리 쓰이고 있다.

이 방법을 다시 精密化 하려는 方法으로, plasma 中の Ion의 Energy를 정리하여, Beam 狀으로 된 反應性 Ion Beam(Reactive Ion Beam)을 사용한다고 하는 RIBE는 장래의 方式으로 주목되고 있다.

한편 Silicon 基板의 극히 표면만을 局部的으로 加熱하는 新手法으로 도입된 Laser Anneal 技術은, 그 후 電子빔 혹은 Lamp 光, 또는 輻射熱에 의한 照射도 포함해서 실험과 연구가 추진되고 있다.

이 종류의 短時間 Anneal의 중요성 중 하나는, 微細化에 따른 不純物 분포의 精確성을 유지하는 方法이며 이제 또 하나의 중요성은 S-OI(Silicon on Insulator)에 크나큰 가능성을 가지고 있는 것이다.

圖7은 SOI의 각종 방식을 보여 주고 있다. Grapho Epitaxy를 발표해서 이 方面의 가능성을 보여 준 MIT는 그 후 GiO_2 에 의해서 사이에 낀 Silicon膜을 Carbon Strip Heater에서 용해된 부분을 이동하는 Zone Melting을 개발하여 한번에 큰 單結晶을 얻게 되었다.

微細 패턴의 둔해지는 것을 감소시키기 위해서는 Process 전반에 걸쳐서 低温化가 필요하고, 각종 膜의 析出 역시도 低温化가 요망되고 있다. 低温에서 析出하기 위해서는 熱 이의 형태의 Energy를 공급할 필요가 있다.

그 方法의 하나로 Plasma Deposition이 있는

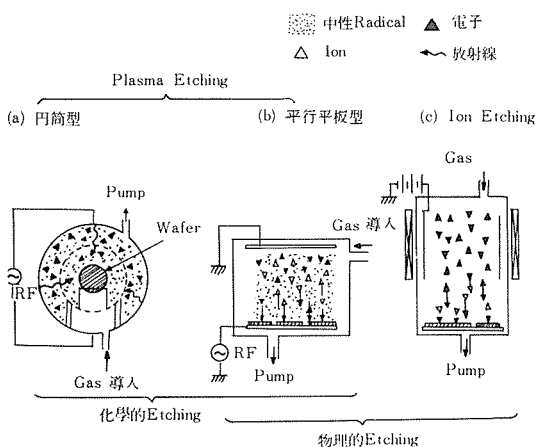


圖6 Dry Etching 方式의 例

데, 이는 이미 實用化되고 있다. 또 다른 하나는 光의 Energy를 공급해서 反應을 촉진하는 光化學 反應을 이용하는 것인데, 이 방법에서는 선택된 Energy만을 공급하는 일이 가능해서 Damage가 적어지게 될 가능성도 있으므로 주목되고 있다.

중요한 Parametor가 直列抵抗이다. 다시 말하자면 多結晶 Silicon에 의한 配線, Gate 電極 등은 微細化에 역비례하여 抵抗이 높아지는 문제가 있다. 그래서 多結晶 실리콘의 대신으로 텅스텐, 몰리브덴, 티탄 또는 같은 系列 등이 검토되고 있다.

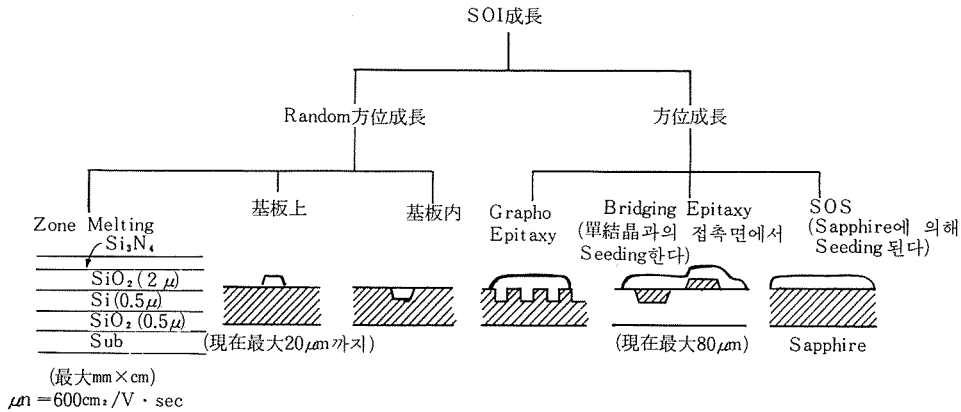


圖7 絶膜上的 Silicon 成長(SOI)의 각종 방식

5. 今後 技術 開發의 展望과 課題

이상 중요한 微細 加工技術에 대하여 살펴 보았으나 圖1에 나타난 바와 같이 超LSI를 개발해 나아가기 위해서는 Device의 각 部에 극히 주의 깊은 배려가 필요하다.

MOS Transistor의 微細化에는 대체적인 比例 縮小 규칙이 있다. 다시 말하자면 치수에 비례해서 電壓과 電流를 감소시켜 不純物 농도는 平方根에 비례해서 증가시키는 것으로써, 대개 電壓 및 電流特性도 비례 축소시키는 것이다.

관계 위치를 同化例로 축소시키기 위해서는 위치의 합치가 중요하며 Self Line이 점차 중요시되고 있다.

DRAM은 bit 數가 많게 됨에 따라서 Cell 當의 記憶容量마다 配線 용량이 크게 되므로 곤란하게 되는 경우가 예상되고 있다. 이것을 방지하기 위해서는 結晶에 구멍(孔)을 뚫어서 그 측면을 Capacitance로써 사용해 容量值를 많이 보존하는 방법이 日立에서 발표되었다.

또한 장래 Memory의 究極의인 形으로 전기적인 置換을 할 수 있는 不揮發性 Memory에 관심이 계속 쏠리고 있으며, 低電壓化, 高速化 고쳐 쓰는 回數의 증가 등이 모색되고 있다.

한편, 그 비례 축소 규칙에서 늘어나지 않는

한편 MOS Transistor의 Source, Drain의 擴散層의 깊이도 문제가 된다.

이 깊이가 Channel 길이에 비해서 무시할 수 없는 정도가 되면, Channel 길이를 짧게 하였을 때의 한계치 電壓의 변화가 크게 되어 Punch Trough 電流가 흐르게 된다.

현재 보고되어 있는 최소 Channel 길이의

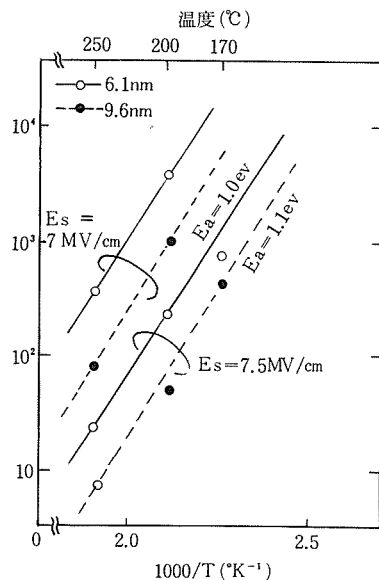


圖8 얇은 2 種類 SiO₂의膜의 壽命 비교

MOS Transistor는 Bell 研究所가 82년에 발표한 $0.14\mu\text{m}$ 의 것으로, 擴散層 깊이는 900\AA 였다.

최근의 발표에서 超LSI의 장래에 크나큰 영향을 줄 수 있는 문제로는, 얇은 SiO_2 의 실험 결과가 주목되고 있다. 그 하나는, 최근 수년간 많은 곳에서 발표된 바 있듯이, SiO_2 는 얇기 한도의 최대 絶緣破壞電界 強度가 높아지는 현상이 분석되고 있으며, 다른 하나는 圖8의 日電에서 82年末에 발표된, 수명에 관한 실험 결과

인데, 같은 電界 強度에서 Test하면 얇기 限度의 수명이 길게 된다는 점에서, 金후의 微細化의 한계가 곧 타개해 나아갈 것으로 예상된다.

장래는 이러한 Device의 주도면밀한 개선과 함께 이를 이용한 超LSI를 구성할 設計技術, 기본적으로는 이상에서 살펴본 것과 같은 微細加工技術의 진보에 의해서 超LSI의 시대는 점차 전개되어 가고 있는 것이다.

II. 電子Beam 描畫에 의한 Mask 製作

電子Beam에 의한 Reticule 또는 Mask의 제작은 그 高速性, 경제성 및 높은 신뢰성이 주목되어 이미 77년경부터 實用 단계에 들어가 있다.

당시 量産되었던 Memory의 主流는 16K D-RAM이었는데, 패턴의 최소 치수가 $4\sim 6\mu\text{m}$ 정도의 LSI였으며 集積化가 진전됨에 따라 光

學式 轉寫技術에 대신하는 유용한 高速 Pattern Generator로서 적극적인 도입이 이루어졌다 이후, 電子빔 描畫 技術은 高精度와 결합이 적은 高品質 Mask의 제작에 급속도로 사용되어 결국은 生産 라인에 정착하게 되었다.

사실, 82년 12월에 개최된 바 있는 Semi Technology Symposium에서의 Panel Discussion에서는, 5년 후의 Mask 제작에는 100% 電子빔 描畫技術이 널리 이용될 것이라는 결론에 도달하였다.

이 같은 배경에 起因하여, 최근의 고성능 電子빔 描畫裝置에 관한 현저한 성능과 특기할 만한 기능에 관하여 살펴보자.

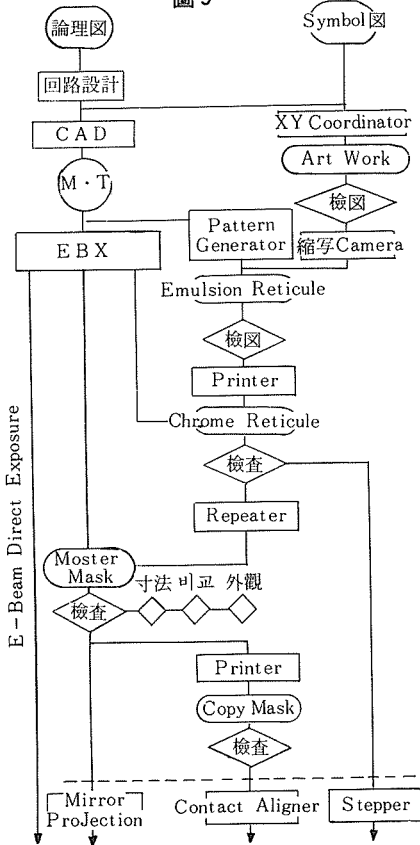
1. pattern Generator의 超高速化

圖9에 Micro Lithography Process의 도표를 표시하였다. 光 Lithography에서는 CAD로부터의 設計 Data를 PG(Pattern Generator)에 入力하여 Emulsion Reticule, Chrome Reticule로 印畫한 다음 이것을 Repeater로 축소시켜 Master Mask를 제작한다.

실제로 예를 들어, 日本電子 제품인 JBX-6 AII를 사용해서 Reticule 또는 Mask를 直接描畫를 행하면 그 제작 시간은 $5\sim 7$ 분 정도 단축되는 것을 볼 수 있다.

또한 최근의 경향에서 보듯이 高集積化가 진전되어 256K bit, 1M bit의 Memory가 大規模化 되고 있으므로 光의 pattern Generator에서는 그 描畫 시간이 實用上 허용할 수 없는 불가

圖9



능한 시간이 되고 있다.

말할 필요도 없이 장치의 장시간 運轉으로는 제품의 原價 상승이 수반되며 동시에 장치의 신뢰성이 떨어지게 되어 原材料의 낭비를 현저하게 만드는 원인이 된다.

한편 描畫 시간 짧은 경우에는, LSI의 試作 Device를 개발하는 외에 TAT (Turn Around Time)의 단축을 함께 고려해야 하는 문제로 직결된다.

試作 Device를 개발하는 과정에서는 Mask의 설계 변경이 몇 번씩이나 되풀이되는 경우가 많기 때문에 試作的 완료에 필요한 전시간을 고려하면 그 차는 충분히 몇 개월이 걸리게 된다.

2. 각종 Calibration 技術과 高精度 描畫 實現

JBX-6A II의 주요 描寫 精度는 아래와 같다.

微小 圖形 치수 精度	0.1 μm (3 ϕ)
연결부 精度	0.1 μm (3 ϕ)
層間 精度	0.15 μm (3 ϕ)

電子빔은 마이너스의 電荷를 지닌 荷電粒子線이기 때문에, 이를테면 전기적인 偏向器를 사용하는 것에 의해 制御가 대단히 용이하며 또한 패턴 描畫의 유연성이 풍부하다.

이 때문에 描畫에 대한 각종 Calibration 技術을 구사하므로써 비할 데 없는 高精度 描畫를 행할 수 있는 것이다. 電子빔 描畫에 의한 精度는 上記에서 볼 수 있듯이 주로 微小 圖形 치수 精度, 圖形 連接부의 精度, 層間 精度의 3 종류가 고려되고 있다.

가. 微小 圖形 치수 精度

微小 圖形 치수 精度의 요인은 주로 偏向 영역에서의 電子빔 L 位置의 歪收差 및 Resist Process에 따라 도형의 미묘한 變形을 고려할 수 있다.

偏向歪는 電子빔을 偏向하는 영역에서 발생하는 電子빔의 위치 차이이며, Stage 상에 장치한 Farad Cap에 Wire를 연결한 檢出器를 이용하여 측정해 낼 수 있다.

다시 말하면 Wire 檢出器를 偏向 영역 밖 주변의 특정한 위치에 이동시켜 각 위치에서 電子

빔의 위치를 검출하는 방법으로 偏向歪를 측정하는 것이다. 이 측정 결과에 기초하여 偏向器를 자동적으로 조절하는 것에 의해 補正을 행하는 것이다.

나. 連接부 精度

Stage의 이동에 의해 圖形을 연결시킬 경우, 그 경계에 생기는 도형의 상호 간격 차이를 연결부 精度라 한다. 연결부 精度는 偏向器의 振幅 및 편향기의 회전 방향에 따른 차이가 주요 원인이 되고 있다.

電子빔 描畫의 기준 座標는 통상 Stage 상의 Laser 測長系로 지정되고 있어, 이 Laser 測長系の 기준 座標와 偏向器 獨자의 座標系를 서로 일치시킬 필요가 있다.

이 방법은 Stage 상의 Wire 檢出器를 특정한 거리만 이동시켜, 電子빔에 의한 Mark 檢出法에 의해 Stage의 移動量 및 이동 방향을 측정하여, Laser 測長系에 偏向振幅 및 偏向의 회전 방향을 조정한다.

다. 層間 精度

層間 精度는, 重合 精度로도 불리어지는데 組 Mask間 상호 패턴 간격 誤差를 의미한다. 직접 Wafer에 描畫하는 경우는 Wafer 상의 Alignment Mark를 이용하는 것으로 Chip 마다 補正할 수 있으며 Mask의 경우는 Alignment Mark를 이용할 수 없는 것으로, 장치 자체를 안정화시킬 필요가 있다.

層間 精度의 주된 원인은 電子빔의 위치 Drift, Stage의 상태, 온도 변화에 의한 基板의 伸縮, 基板의 Chassis UP 등이 해당된다.

電子빔 Drift는 低感度 Resist를 이용한 특수 경우에 사용될 수 있으나 Mask 상에서 약 0.1 μm 의 위치 변동이 있게 된다. 이와 같은 경우는 일정한 個數의 Chip을 描畫하는 데에 Stage를 Wire 마크의 위치에 돌려서 빔 위치 Drift 量, 빔 電荷量을 측정해서 補正한다.

基板의 온도 변화에 따른 伸縮을 방지하기 위해서는, 장치의 온도 조절을 고려하지 않으면 안 된다. JBX-6A II의 온도 Control System을 圖10에 나타냈다.

온도 조절은 裝置 本體部 전체, 電子銃部, 각종 Lens系, Work Chamber의 스프레트, Drive 모터의 各部를 $\pm 0.2^{\circ}\text{C}$ 로, 또한 Cassette를

Chamber 내에 자동적으로 裝填시킨 오토로더를 $\pm 0.1^{\circ}\text{C}$ 의 변동으로 제어하였다. Stage에 관련된 基板 Charge up 등에 대해서는 기계적인 設計上의 배려가 필요하다.

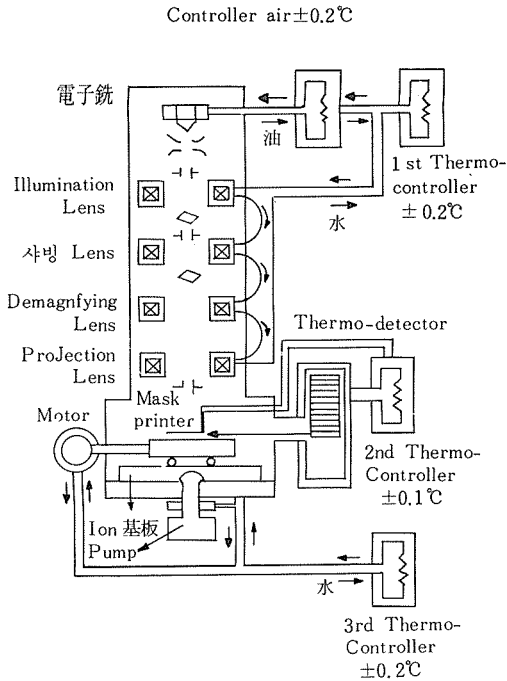


圖10 溫度 Control System

또한, 基板의 높이 방향의 변동도 겹친 精度에 중대한 영향을 미치고 있으나 이에 따르는 誤差는 光學的인 높이 檢出器를 本體 내에 갖추고 있으므로, 그 測定值를 기본으로 하여 偏向器에서 補正하고 있다.

3. 光方式보다 工程 數 적은 Mask의 高品質化에 有利

Mask의 품질은 앞에서 서술한 각종 精度와 결함의 수, 透過 농도, 패턴 形狀 등의 측정에 의해 평가된다.

결함의 발생 요인은, Mask Blanks의 Pin - Hole, Resist 工程, Etching 工程, 각 工程時의 Clean度 등을 들 수 있다. 이들 要因은 당연히 체크해야 할 필요가 있으나, 光方式에 비해 工程 수가 감소되고 있는 만큼 電子빔 描畵의 쪽이 훨씬 유리하다.

光方式의 경우는 圖9에서와 같이 Master Mask를 제작하는 것으로, 몇 개의 工程이 필요하고, 電子빔 描畵는 직접 Master Mask를 제작하는 것으로 process가 간소화되어 결함의 수도 감소되었다.

日本の Mask 메이커는 電子빔 Lithography 장치를 5,6대 보유 하고 실제 사용중에 있다. SEMI에서는 5年 후에 100%의 電子빔에 의한 Mask 제작을 예측하고 있는데 그 시기는 좀더 앞당겨질지도 모르는 것이다.

현재 256K DRAM이 Sample 出荷되어 있으며, $1 \sim 1.5 \mu\text{m}$ Rule의 패턴 형성은 1~2年 내에 실용화 될 전망이다.

Wafer 轉寫技術에는 Stepper가 사용되고 있으며, Mask 제작에는 電子빔 描畵裝置가 사용되는 것이 고려중이나, 이 두 技術을 併用한 Hybrid Lithography 手法도 역시 今後 검토될 것으로 보인다.

Ⅲ. 超LSI時代의 縮小 投影 露光裝置

1. 高解像力·Alignment 精度, Through-put에 어려움

최근의 半導體素子, 특히 超LSI라고 불리는 것은 高密度化, 高速度化의 요구에 따라 그 중에 포함된 素子の 치수는 점차 微細化의 경향을 높여 가고 있다.

이에 맞추어 제조기술면에서는 Wafer上에

미세한 패턴을 형성시키는 Lithography 技術 및 패턴의 重合을 실시하는 Alignment 技術이 극히 중요한 역할을 맡지 않을 수 없게 되었다.

이러한 상황에서 縮小 投影 露光裝置와 그 응용 技術에 대한 전개는 金후의 超LSI 생산 기술의 핵심으로 큰 관심을 끌고 있다.

이미 널리 알려진 바와 같이, 축소 投影 露光裝置가 주목을 끌고 있는 주요한 이유는 첫째,

解像力이 종래의 光學式 露光 방식에 비해 높은 점, 둘째, Alignment 精度가 높은 점이 기대되기 때문이다.

한편, 축소 投影 露光裝置는 Stepping 동작을 반복하면서 露光을 행하는 原理 이므로, 종래부터 사용되어 왔던 露光裝置에 비해서 Through-put가 낮아지는 점이 주된 문제로 지적되어 왔다.

현재 10個社 이상의 메이커로부터 축소 投影 露光裝置에 대한 발표가 있었으므로 여기서는 日本光學의 축소 投影 露光裝置를 중심으로 기술적인 概略을 살펴본다.

2. 縮小 Lens와 照明機의 Matching

축소 投影 露光裝置에 사용되고 있는 축소 Lens는, 일반적으로 축소 Lens에서 얻을 수 있는 성능으로써 廣畫面 사이즈, 高解像力을 얻고 있다. 圖11에 축소 投影 光學系의 구성을 개략적으로 나타냈다. 照明光源으로 超高壓 水銀燈을 이용, Fly Eye Lens를 응용한 Integrater에 의해 照明光의 均일성을 구하고 있다.

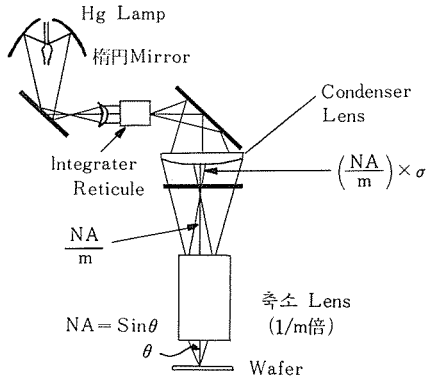


圖11 縮小 投影 光學系의 概略

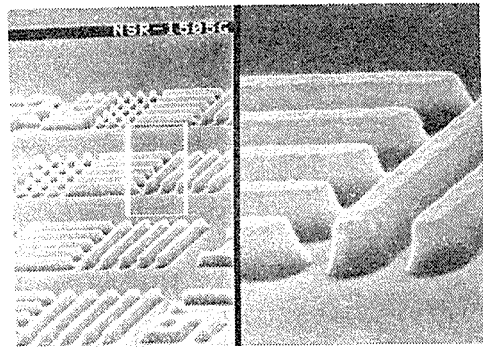
Wafer에 Photo Resist를 일정한 두께로 塗布하여 축소 光學系를 써서 露光을 행한 경우, Resist像으로 어느 정도의 畫質이 얻어지는가를 定量的으로 해석하는 일은 반드시 용이한 것은 아니지만 보다 양호한 Resist像을 얻기 위해서는 축소 Lens와 照明系의 Matching 조건을 적절히 하는 일이 필요하다.

圖11에서, 그 Matching 조건으로 結像光學系의 부분적 Cohere Lens 度를 나타내는 δ 值가

있다. δ 值라는 것은, 照明光學系의 NA(Numerical Aperture)와 축소 Lens의 Reticule 側 NA를 비교 결정하여, 통상의 $0 < \delta < 1$ 의 범위로 결정되는 것이다.

δ 值에 의해서, 얻어진 Resist像의 특성은 복잡하게 영향을 받는 것이지만 일반적으로는 적당히 δ 值가 작은 쪽이 보다 높은 Contrast 를 가진 像이 얻어지게 된다.

寫眞1에서, 약 $1\mu m$ 두께의 Resist를 Wafer에 도포한 경우, 5분의 1의 축소 Lens에 의해 얻어진 Resist像을 走査型 電子顯微鏡으로 나타낸 것이다.



(a) (b)
寫眞1. Wafer上的 Resist 像

사진 1의 (a)에는 사진 위에 $1\mu m$, $1.2\mu m$, $1.4\mu m$ 으로 $0.2\mu m$ 씩 크기가 다른 Test Resist像을, (b)에는 (a) 사진의 4 각형으로 표시한 부분을 별도로 확대한 것으로 $1.2\mu m$ 패턴이 표시되어 있다. 사진 1은 평단한 Wafer 基板上에서는 Resist 像을 표시한 것인데, 실제 Device의 제조에 있어서는 基板上에 형성된 패턴의 段差 및 물질의 성질에 의해 Resist 像은 여러 가지 영향을 받게 된다.

3. Wafer 移動 거리. Laser 干涉計로 정확히 測定

圖12에 축소 投影 露光裝置의 Alignment 光學系 구성의 대체적인 것을 나타냈다. Reticule은 R_{xy} , R_{θ} 의 Reticule Alignment에 의해서, Reticule上的의 소정 위치에 설치된 Reticule Alignment Target가 檢知되어 자동적으로 Reticule Alignment가 實行된다.

露光된 Wafer는 自動搬送機構에 의해 XY Stage上에 세트된다. Wafer에는 Alignment로 사용된 Target가 소정의 위치에 설치되고, Target는 축소 Lens의 軸 밖에 설정된 W_x , W_y , W_θ 의 Wafer Alignment 光學系에 의해 檢知되어 자동적으로 글로발한 Alignment가 實行되어진다.

이와 같은 방법에서 Alignment된 Wafer는 일정 거리만 第1 露光 위치까지 이동되어, 이 위치에서 이미 R_{xy} , R_θ 에 의해 Alignment되어 있는 Reticule의 축소像과 重合되게 된다.

이 경우, Wafer의 이동 거리는 XY Stage에 조립된 Laser 干涉計에 의하여 정확히 판독할 수 있다.

이와 같은 Alignment法을 일반적으로 Off-Axis Alignment法이라고 부르고 있다. 이 경우, 더 높이 重合된 精度를 얻기 위해서는 R_{xy} 와 W_x , W_y 의 위치 관계가 일정하게 지켜지고 있는 일이 기술적으로 중요한 과제이다. Off-Axis Alignment法에 대해서, Reticule 패턴과 Wafer 패턴의 重合된 상태를 각 Step마다 축소 Lens를 통해서 직접 檢知하는 방법이 있다. 이것은 Die by Die-alignment法이라고 불리어지고 있다.

圖12에 있어서, S_x , S_y 는 Die by Die-align-

ment用的 光學系에서, Step 동작 종료 후 Reticule과 Wafer의 重合된 상태를 檢知하는 일

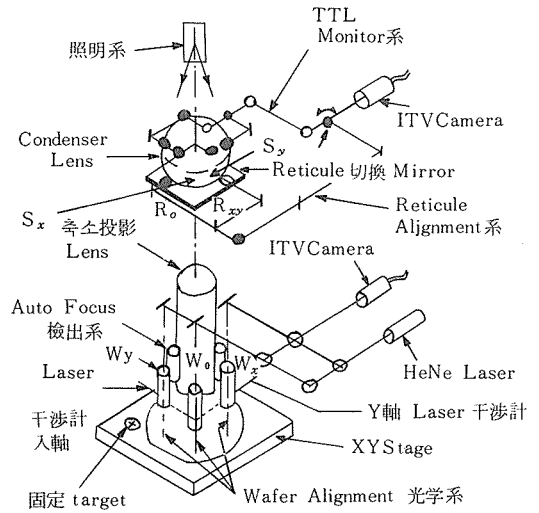


圖12. 縮小 投影 露光裝置의 Alignment 光學系의 概略

을 할 수 있어, 이에 따라 각 Step마다 약간씩 誤差의 修正이 가능하다.

Die by Die-alignment法은 보다 高精度의 Alignment를 가능하게 하는 점에서 유효한 방법이지만 Stepping 후에 Alignment 동작이 추가되어야 하기 때문에 필연적으로 Through-put이 낮아지고 마는 결점이 있다.

IV. 最近의 Reticule 自動 欠陥 檢査技術

1. 急增하는 Reticule 生産量, 효율적인 自動檢査 不可欠

수년 전에 개발된 photomask 自動 檢査裝置는 급속히 보급되어 그 高能率 高信賴性에 의해 Photomask의 품질, 原資材 節減이 상당한 수준까지 향상되었다. 그 결과 IC 전체의 품질, 原料 절감도 향상되어 보다 高密度의 LSI(예, 64K RAM)의 제조도 거의 軌道에 오르게 되었다. 그러나 현재 보급되고 있는 Photomask 自動 檢査裝置는 어느 것이나 同一 Mask 내의 그 Chip을 상호 비교하기 때문에 Reticule에 존재하는 결함은 檢출되지 않는다는 欠點을 갖고 있다.

또한 최근의 DSW 技術로는 Reticule 像을 직접 Wafer에 轉寫하므로 Reticule의 檢査는 한층 중요하게 되었다.

IC 集積度의 增大에 의해 Reticule上에서의 패턴이 10배(혹은 5배)의 像이라고 하며, 그 결함의 肉眼檢査는 곤란한 정도가 증가되고 있고, 발견을 해도 기회를 놓치는 率이 높아졌다.

특히 패턴의 일부가 결함으로 인해 떨어진 것 (Pattern Generator에서 1 Short分의 패턴이 빠진 것)이나 독립된 작은 패턴 위치의 미소한 차이의 檢出은 肉眼檢査로는 불가능에 가깝다.

또한, 최근 LSI의 品種도 급속히 증가되고 있으며 특히 EB에서의 Reticule 제작이 정착되고 있는데, 그 效率이 좋기 때문에 Reticule

의 생산량도 급격히 추세를 보이고 있다. 그러므로 그 효율적인 自動檢査는 점차 필수 불가결한 위치를 굳혀 가고 있다.

2. 實用化의 3 方式 Reticule 自動檢査裝置

前述한 바와 같은 요구 사항에 맞추어 Reticule 自動檢査裝置로서는 다음의 方式이 실용화 되고 있다.

(1) 1枚의 Reticule 내에 여러 개의 Reticule Pattern을 현상시켜 넣게 되면, Repeater 또는 DSW의 효율이 높아지는 동시에 종래 Photomask 檢査裝置로서도 Reticule 檢査가 가능하다.

이러하면 NJS社의 Model 5 MD 34에서는 檢出感度を 낮추지 않고서 Lens의 간격을 넓게 (15~51mm) 취할 수 있게 되어, 이 목적에 사용할 수 있도록 되었다.

(2) 2枚 이상 同種의 Reticule을 제작하는 경우에 이것을 동일한 Stage上에서 줄을 맞추어 상호 檢査를 실시할 수 있다. 다만 각각 PG (Pattern Generator)에서 독립적으로 만든 것이 아니면 되지 않는다.

만일 이와 같이 하지 않고 한편에서 Copy 로 또 다른 한쪽을 만들었을 경우에는 공통적인 欠陥을 발견할 수 없게 되어 檢査 결과가 저하된다.

NJS社에서는 그 목적을 위한 Model-9MD 2

를 제조하고 있는데, 檢査原理, 장치의 구조는 Stage上에 2枚의 Reticule을 일렬로 정리시키는 것은 대체로 Photomask의 檢査裝置와 같다.

그리고 이 장치는, 동일 패턴 Reticule의 Positive像과 Negative像을 비교 檢査할 수 있으며, 左右 反轉시킨 Mirror Image 상호간의 檢査도 가능하게 되었다.

檢出感度は 4 μm 에 5 inch Reticule의 경우 약 5分으로 檢査를 할 수 있다.

(3) Reticule Pattern의 檢査로는, Original의 PG Tape와 비교 檢査가 최근 DSW技術의 개발에 관련해서 특히 주목되고 있다. 이것은 현재 널리 사용되고 있는 PG 및 EB用 Tape로부터 변환시켜 Reticule 檢査用 테이프를 작성하여, 이것과 실제 Reticule上 패턴을 비교 檢査한다는 것이다.

NJS社에서는 최근 Model-ZRDZ를 발표하여 業界의 주목을 끌고 있다. 이 모델은 Reticule像의 檢出에 Lamp와 Image Sensor를 사용하여, 檢査용 테이프로부터 재생시킨 패턴 信號와 비교해서 결함을 검출하는 방식이다.

Photomask 檢査機에서 발견할 수 없는 공통 결함을 없게 하기 위하여 거나 DSW用 Reticule을 檢査하는 목적에는 不可欠한 것으로서, 檢出感度 2~3 μm 의 경우 檢査 속도 5inch Reticule(패턴 치수 100×100mm)에서 약 20分 있으면 檢査 결과는 Photomask 같이 磁氣 카드에 기록되어 修正裝置에 入力된다.

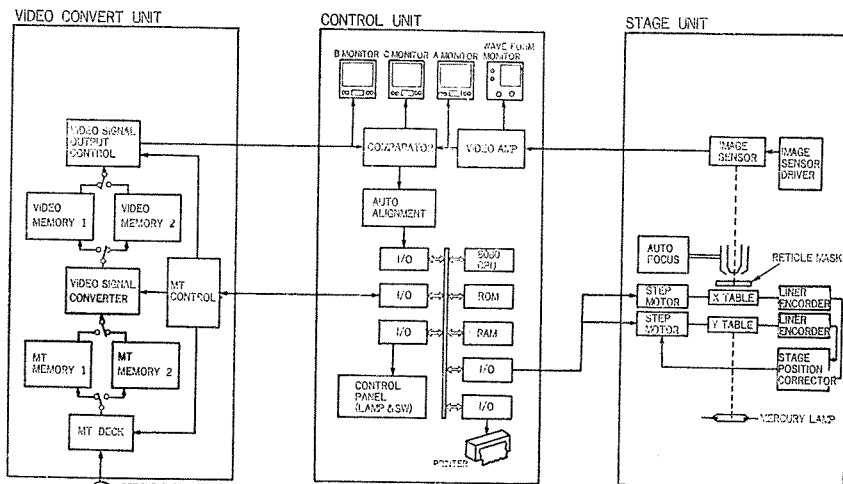


圖 13

[表 1]

5 MD34	高倍率	低倍率
畫素 사이즈 크기	0.5 μ m \times 0.5 μ m	1.0 μ m \times 1.0 μ m
檢出가능한 결함의 크기	0.8 μ m	1.6 μ m
그視野의 크기	0.25mm \times 0.2mm	0.5mm \times 0.4mm
毎秒視野數	75視野/秒	75視野/秒
1cm ³ 當檢査時間	26.7秒/cm ²	6.67秒/cm ²
走査線密度	1本/0.5 μ m	1本/1.0 μ m

[表 2] 9MDZ 欠陥檢出性能

檢出가능한 결함의 크기	5 μ m
分解能 (피크셀의 크기)	1.0 μ m
檢査時間	6.67sec/cm ² (단, 되돌아오는 시간 제외)
Pattern 두께의機能	-6 μ m \sim +6 μ m範圍 (1 μ mstep 7段階스위치 切換)

[表 3]

	高倍率	低倍率
走査幅	0.48mm	0.96mm
檢出가능한 결함의 크기	獨立 1 μ m Pattern Edge 2-3 μ m	獨立 2 μ m Pattern Edge 2-3 μ m
分解能 (피크셀의 크기)	0.5 μ m	1.0 μ m
檢査時間	高速 46.4秒/cm ² (21分/50mm角)	高速 11.6秒/cm ² (21分/100mm角)
	低速 92.8秒/cm ² (41分/50mm角)	高速 23.2秒/cm ² (41分/100mm角)

3. IC 製造工程의 問題와 對策

이상과 같이 Photomask 自動檢査裝置 보다 얼마쯤 늦어졌지만 Reticule 自動檢査裝置도 점차적으로 실용화될 것으로 보이는데, Reticule 製造工程에 미치는 영향은 대단히 커서 예상 외로 각광을 받고 있다.

물론 아직은 개선해야 할 두 세 가지의 문제점이 있기는 하지만 그것은 큰 문제가 되지 않고 있기 때문에, 금후 이러한 Reticule 檢出裝置가 일반화되는 것은 어려움이 없다. 또한 그러한 檢査棧을 포함해서 아주 合理的인 Reticule 製作工程의 확립도 目下 문제가 되고 있다.

바꾸어 말하면 IC의 패턴 設計에서부터 제품까지의 최종 出荷 단계에 이르는 복잡한 諸工程에 있어서, 여하히 이러한 自動檢査裝置을 有效적절하게 조립해 넣는가는, 단순히 Reticule 製作工程에서의 合理化 및 生産性的의 향상에 머물지 않고 IC 제조공정 전반에 걸친 각종 문제점에 대한 하나의 해답 자체로도 볼 수 있다.

그러므로 이상과 같은 自動檢査裝置의 개발, 제조에 관련된 일에 크나큰 기대가 모아지고 있다.

V. 最近 超LSI用 Resist 開發 動向

연간 1兆 3,000億圓의 규모로 일컬어지고 있는 日本 半導體産業 중에서 Resist 市場은 1%도 되지 않는 50億圓 밖에 점유하지 못하고 있다.

그러나 半導體, 集積回路의 微細化, 高集積化에 따라 素子를 Patterning하는 역할을 갖게 하는 Resist는 半導體産業의 생산과 기술에 직접적인 영향을 주는 중요한 위치를 차지하고 있다.

産業界가 전반적으로 저조한 중에서도 半導體 市場은 활발한 움직임을 계속하고 있으며, 이 Resist 市場에도 신규 참여 및 신제품의 개발이 활기를 띠고 진행중이다.

1. Negative type와 positive type

Resist에는 PCB(印刷回路基板) 및 금속의 가공용으로 사용되는 것도 있는데, IC, LSI등의 薄膜回路 제작에 사용되고 있는 Photo-resist는 크게 분류하여 Negative type와 positive type이 있으며 微細化의 경향에 따른 영향으로 Negative type의 需要 신장은 점차 둔화되고 positive type이 크게 신장되고 있다.

그러나 Wafer의 크기가 변화되고 사용 방법의 개선이 추진되고 있음으로 半導體, 集積回路의 생산량 증가와 Resist의 사용량 신장은 반드시 일치한다고는 할 수 없다. 또한 原資材 節減

이 높은 量產品種이 있는데 몇 %의 原資材 節減이 되는 신제품까지 다양화되어 있고, 그 위에 Resist의 Wafer 1枚에 대한 사용 회수도 Diode 등과 超LSI에서도 당연히 변화되어 왔으므로 Resist의 사용 상황은 대단히 복잡하다.

2. 高解像度 Negative의 Resist 등장

Photo-resist는 歐洲에서는 당초부터 Positive type이 많이 사용되고 있으나, 美國은 Negative type이 주로 사용되어 왔다. 日本도 美國과 거의 비슷한 흐름을 보여 주고 있으나 장래에는 Positive type가 主流가 되어, 縮小 投影型 露光機와 함께 64KB, 256KRAM 등에 사용될 것으로 전망된다.

Photo-resist의 Negative type은 초기에 Polyvinyl系가 쓰여져 왔으나 현재는 고무系가 되고 있다. 당초에는 天然고무가 쓰여져 오다가 不純物이 적은 合成고무에 대신하여, 環化 이소블렌系가 많이 사용되고 있으나, 環化 폴리이소알렌系 및 環化 폴리브타디엔系도 눈에 띄고 있다.

Negative의 Photo-resist는 感도가 높고 Pin Hole이 적으며 基板에 대한 密着性이 양호하여 치수 精度가 높다. 또한 耐藥品性도 양호한 점 등 많은 장점을 보여 주고 있으나 現像液에 의한 膨潤現像이 발생하기 때문에 高解像度는 기대할 수 없다. 日本에서는 市販되고 있는 것으로 OMR 시리즈(東京應化), KMR 시리즈(Kodak), CIR 시리즈(日本合成고무) 등이 있다.

최근 環化고무 이외의 膨潤이 적은 폴리마와 비스아지드 化合物과의 혼합물에서 얻어진 새로운 Negative type의 Resist(ONNR-20,22)가 東京應化에서 제품화되었는데, 이것은 Conduct 露光을 행하여도 치수 차이, Sticking 현상도 없고 現像時의 膨潤이 대단히 작아서, 1.5~1.0 μm 의 高解像도가 가능하다는 점으로 해서 금후 기대되는 材料의 하나가 되고 있다.

3. 高解像도로 耐熱性·耐Dry Etching性 우수

Positive type의 Photo-resist는 통틀어 No-

Borax 樹脂系로서, Naphtha Xenon girded 系의 光分解劑와 phenol Borax 樹脂 및 溶濟의 組合에서 만들어진다. 光에 의해 Wagner-Merwein 轉位에 의한 再配列, 물이 反應에 의해 Carbon酸을 가진 五員環이 되어 Alkali 現像液에 용해된다. 日本의 市販品으로는 ONPR 시리즈, OFPR 시리즈(東京應化), AZ시리즈, 웨이크트 HPR 시리즈 등이 있다.

密着性, 塗布膜의 韌性, 現像液의 의존성이 강한 것 등 결점이 있으나 高解像이기 때문에 종래부터 알루미늄 配線 工程, Metal Hard Mask 제조용에 사용되어 왔다.

최근에는 Dry Etching裝置 및 축소 投影 露光裝置 등의 Non Conduct 露光方式이 도입되어서 Positive 타입의 Photo-resist는 耐熱性, 耐Dry Etching性에서 우수하기 때문에 酸化 Silicon 工程 및 超LSI 用으로 급속하게 Process 적용이 추진되고 있다.

4. 遠紫外線 Resist

遠紫外線(Deep UV) Resist는 露光에 波長이 200~300nm의 遠紫外線을 이용하는데 이것에도 Negative와 Positive 타입이 있다.

종래의 Photo-resist보다도 미세한 加工이 가능하고 그 외에 Photo-resist의 기술을 응용할 수 있는 잇점이 있다. 그러나 高解像도를 얻기 위해서, 濕式 現像處理에서는 膨潤에 의한 치수 精度의 저하, Wafer의 汚染 등의 문제가 있으며, 최근에는 Plasma Process를 이용해서 Dry Etching의 검토가 진행되고 있다. 그것을 위하여, 耐熱性이 요구되어 기타 酸化膜 등에 대한 接着性, Resist 표면의 粘着 방지, 露光時의 Latitude(관용도), Contrast, 殘膜率 등 많은 요구사항이 있다.

금후는 LSI, 超LSI에 대한 사용이 증가되어 갈 것으로 추측되지만, 전체적인 사항에서 만족의 성취는 아직 없는 것 같으나, 다시금 電子빔 Resist로 移行되는 일도 고려중이다.

電子빔 Resist는 Photomask用과 연구용으로 사용되고 있고 電子빔의 照射에 의해 主鎖切斷 및 架橋 反應을 일으키는 高分子 化合物을 適當한 溶劑로 처리하면 Negative 타입과 Positive

타이프의 Resist가 된다.

Negative 타입은 Acryl Base의 Polymer에 Epoxy其 또는 2重 結合을 架橋官能其로 사용하고 있다. Positive 타입은 높은 感度を 얻는 일이 어려워서 2,3의 市販 제품이 있기는 하지만 보다 높은 感度が 요구되는 실정이다.

5. X線 Resist의 開發과 問題

Submicron 영역의 Resist로서의 X線 Resist의 개발도 중요하지만, 實用化에는 X線 照射 裝置와 Mask 재료 등 해결하지 않으면 안 될 많은 문제가 山積되어 있다.

電子빔 Resist는, 원리적으로는 X線 Resist

로서의 사용이 가능하다.

濕式 現像 처리를 행하는 Resist 工程에는 膨潤 및 그에 관계되는 문제점이 수없이 많으나, Dry 現像에서는 膨潤이 참으로 생기지 않는 것으로, 高解像度 등의 많은 이점을 얻을 수 있으며 이 경우 Resist에 Ion Shower와 Plasma에 대한 耐性を 얻을 수 있다.

半導體, 集積回路의 微細化, 高集積化와 병행해서 Resist Process도 변화하고 있지만, Negative 타입의 Photo-resist로부터 Positive 타입, 遠紫外線 Resist, 電子빔 Resist, X線 Resist, 혹은 Dry 現像으로 이행되어 간다고는 할 수 없을 것이다.

● 統計資料 제출 안내 ●

本 會에서는 각 電子·電氣業体の 기본 사업 및 진흥 자료가 되는 精確한 統計資料를 작성, 活用하기 위하여 經濟企劃院의 指定統計 제32호에 의하여 전업체를 대상으로 하여 매일 업체별 통계자료를 제출받아 電算處理를 하고 있습니다.

아직도 本會에 統計資料를 제출해 주시지 않고 있는 업체가 계시거나, 잊고 계신 업체가 있으시면 즉시 보내 주시기 바랍니다.

기타 자세한 사항은 本會 技術調查部 統計課(778-7692 / 4)로 문의해 주시면 감사하겠습니다.

韓國電子工業振興會