

CAD를 利用한 VLSI 레이아웃 알고리즘

趙 仲 彙*, 鄭 正 和**

漢陽大學校 工科學大學 電子工學科 大學院, *助教授(工博)**

I. 서 론

정보처리 시스템, 통신 시스템등이 현대사회에 기여하는 역할은 그 사회 기구의 활동에 불가피한 것으로 되었으며 이와 더불어 다양화 고속화된 디지털 시스템의 실용화에 대한 요구는 매우 크다.

반도체 집적회로가 출현한 이후 이들이 시스템에 도입되어 온 이유는 집적회로가 갖는 저가격성, 고신뢰도, 고성능등의 잇점이 그대로 시스템의 경제성에 연결되기 때문이다. 더우기 보다 뛰어난 시스템을 실현할 수 있는 집적화 기술이 개발, 실용화되어 가고 있으며 그 기술의 큰 흐름은 대규모, 집적화-LSI에 있다.

한편, 앞에 서술한 LSI/VLSI가 갖는 잇점은 집적도의 향상으로 요약되며, 집적도 향상을 지탱해 온 중

요한 기술의 하나로써 CAD 기술을 들 수 있다.

LSI/VLSI설계에 있어서 CAD기술은 논리설계 및 그의 시뮬레이션, 레이아웃 설계, 검사들에 적극적으로 응용되어 오고 있으며, 특히 LSI/VLSI의 집적도의 증가에 따라서 설계 사이클에 있어서의 레이아웃 설계는 점점 더 많은 시간을 필요로 하는 부분으로 되어 가고 있어 레이아웃 설계에는 배놓을 수 없는 것이 되고 있다.

그림 1에는 CAD에 의한 LSI/VLSI의 대표적인 개발 순서도를 나타냈는데 본 원고에서 다룰 레이아웃 문제는 기능 블록의 배치와 등전위 기능 블록사이의 배선문제이다.

그런데 논리회로 설계는 1) MOS/IC의 설계 2) 하이브리드 회로의 설계 3) PCB의 설계등으로 나눌 수 있지만 각각의 회로도에 따라 필요한 소자 또는 기능블록들의 배치를 행하고 배선을 행하는 것이다.

II. 레이아웃 방식

레이아웃 방식은 다음과 같은 2가지로 크게 나눌 수 있다.

1. 레귤러 스트럭처 레이아웃
 - 1) 마스터-슬라이스 방식
 - 2) 빌딩-블럭방식
 - 3) PLA 및 1차원 배열 방식
2. Custom 레이아웃
 - 1) Hierarchical 레이아웃
 - 2) 심블릭 레이아웃

LSI/VLSI의 생산에 있어서 설계 시간을 단축하고 설계 비용을 줄이는 것이 요구되므로 전체 칩을 동일한 크기를 지니는 기능 블록으로 분할하여 구성하는 스트럭처 레이아웃 방식이 많이 사용된다.^[1]

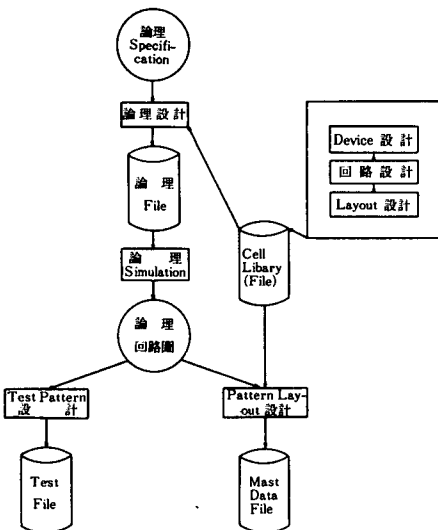


그림 1. 개발 순서도

한편, LSI/VLSI의 집적도의 증가에 따라 복잡한 칩을 레이아웃 표준화만을 통한 레귤러 스트럭처 레이아웃 방식으로 설계할 경우 설계 기간을 줄일 수 있으나 칩의 면적은 커지게 된다.

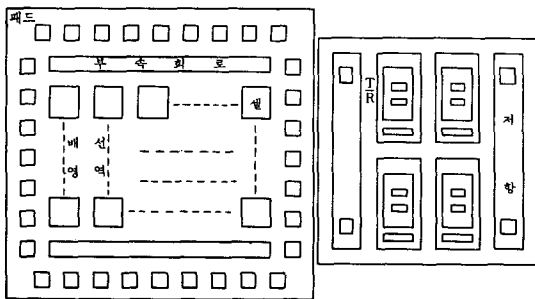
따라서, 칩의 면적을 줄이기 위하여 기능 블록의 크기를 서로 다르게 분할하여 레이아웃을 행하는 커스텀 레이아웃 방식이 제안된 후 많은 연구가 행하여지고 있으나 설계 기간은 증가하게 된다.^[2~4]

1. 마스터-슬라이스 방식

동일의 확산 패턴을 갖는 칩을 배선 패턴만을 변경하여 여러 종류의 회로를 만들어내는 방식으로 그림 2에 마스터 칩의 한 예를 나타냈다.

이 방식은 확산 패턴까지의 칩 공정이 완료되어져 있어 설계 기간의 단축, 설계비용의 감소를 도모할 수 있으며 칩의 공정이 많은 품종과 공통이기 때문에 어느 정도까지의 대량생산이 가능하나 논리 설계도에 따라 알맞는 마스터 칩을 어떻게 선택하는가에 따라서 칩 이용율이 좌우되므로 요망하는 회로에 대하여 적당한 마스터 칩을 선택해야 하는 어려움이 있다.

따라서, 이 방식의 목표는 선택한 칩에서 요망하는 논리회로 사이를 100% 배선율로 레이아웃하는 것이 중요하다.



(a) 칩의 구조 (b) 셀의 한 예

그림 2. 마스터-슬라이스 방식

2. 빌딩-블럭 방식

그림 3에 나타난 것과 같이 높이는 균일하나, 폭의 크기는 임의로 하여 실현할 회로의 스탠다드-셀을 형성한 후 스탠다드-셀의 라이브러리로부터 필요한 셀을 꺼내어 블록단에 배치하며 각각의 블록단 사이에 대하여 배선을 행하는 것으로 다음과 같은 세 가지 단계로 나누어 수행된다.

첫째, 배선 영역이 전체 칩의 많은 부분을 차지하지 않도록 셀의 상대적인 위치를 결정한다.

둘째, 각각의 배선이 실제 행하여지는 채널 순서를 결정하는 채널 할당을 행한다.

셋째, 서로 이웃하는 블록사이의 실제 배선 경로를 트랙위에 할당하는 트랙 할당을 행한다.

따라서, 이 방식의 목표는 칩의 크기를 최소화하는 것이 주요하나, 마스터-슬라이스 방식에 비하여 설계 시간이 많이 걸리게 되는 단점이 있다.

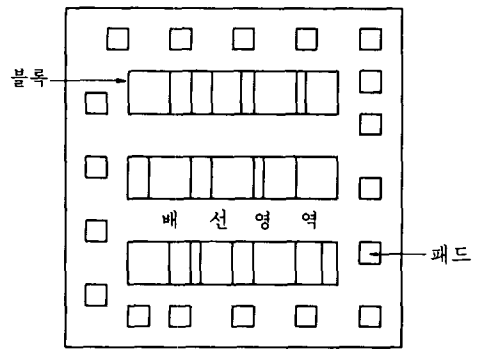


그림 3. 빌딩-블럭 방식의 예

3. PLA 및 1차원 배열 방식

어레이 논리 소자의 대표적인 PLA는 규칙적인 구조를 지녀 사용자가 필요한 논리회로를 쉽게 설계 사용할 수 있는 것으로 최근에는 칩 이용율을 향상시키기 위하여 디코오디드 PLA, PPLA 등이 제안되어 있다.

한편, 기본 게이트(NAND 또는 NOR)들의 조합을 한 구성 단위로 하여 하나의 회로를 종방향으로 세운 다음 다시 이들을 횡으로 배열하여 요망의 논리회로를 설계하는 1차원 배열 방식이 MOS 또는 PL 회로에서 많이 사용되며^[6~8] 최근에는 게이트 매트릭스 방식이 제안되어 많은 연구가 행하여지고 있는데, 이 방식의 주요 목표는 칩의 크기를 최소로 하는 것이다.

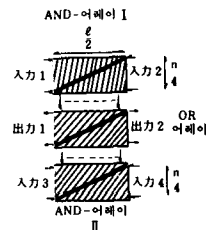


그림 4. PPLA의 예

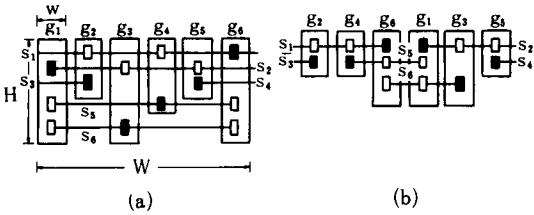


그림 5. 1次元 어레이에서 게이트 배열의 예

4. Hierarchical 레이아웃 방식

이 방식은 칩의 크기를 최소로 하기 위한 기능 블록 등으로 계속 분할하여 각각의 요소들을 블록으로 취급하는 방식이다.

LSI/VLSI 칩의 기능 블록에 대한 구조를 나타내기 위하여 구조나무를 사용하는데, 그림 7은 그림 6의 구조나무 칩에 대한 구조나무이다.

이와 같은 나무에 있어서 레귤러 스트럭처 레이아웃에 의해서는 가장 높은 레벨에서 배치 및 배선이 완료된다.

그러나, 하이아취컬 레이아웃에서는 먼저 가장 높은 레벨에서 기능 블록의 크기 및 상대적 크기 비율을 고려하여 레이아웃을 마치고 그들을 서로 독립한 것으로 간주한다. 다음에 한단계씩 낮추어 가면서 위의 과정을 반복 수행한다.

한편, 어떤 레벨에서의 기능 블록의 면적과 상대적 비율이 최적으로 반영되었다고 확실할 수 없으므로 임의 단계에 있어서 바로 그위 단계의 배치 및 배선을

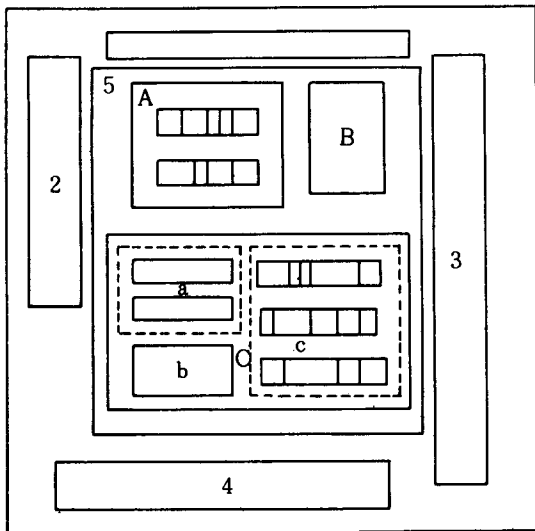


그림 6. Hierarchical LSI 레이아웃

구성하여 칩의 구성을 최적화해야 하는데, 이 과정을 구조나무의 버텀 업 경로를 통하여 계속 수행한다.

따라서, 이 방식을 사용하여 레이아웃을 마칠때까지는 數회의 탑 다운 및 버텀 업 경로를 거쳐야하므로 칩의 크기는 줄일 수 있으나 설계시간은 매우 증가하게 된다.

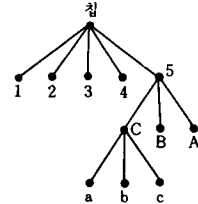
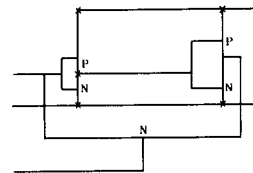


그림 7. 그림 6의 구조나무

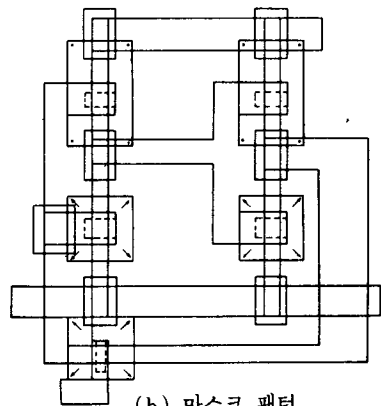
5. 심볼릭 레이아웃

이 방식은 레이아웃을 수행해야 할 기능블록의 초기 위치는 막대표시도에 의해 표시한 후 칩에 할당되는 위치는 심볼릭 레이아웃의 기호로서 표시되는데 이들 기호는 레이아웃 언어 또는 회화형 시스템에 의해 생성되고 조정된다.^[4] 그림 8에는 막대표시도와 마스크 패턴을 나타냈다.

한편, 그림 8의 마스크 패턴을 얻은 후 설계 규칙을 만족하는 범위내에서 칩의 크기를 최소로 하기 위하여 칩의 압축이 요구되어 지는데 이 방식은 회화형 시스템과 더불어 크게 각광을 받을 것으로 기대된다.



(a) 막대표시도



(b) 마스크 패턴

그림 8. 심볼릭 레이아웃 방식의 예

III. 레이아웃 설계

레이아웃 설계는 일반적으로 배치 설계와 배선 설계로 나누어 각각 행하고 있다. 배치 설계의 목적은 LSI/VLSI 설계 방식에 관계없이 배선율이 100% 달성되며 칩의 크기를 최소화 할 수 있는 알고리즘을 고안해 낼 필요가 있다. 이 목적을 달성하기 위해서는 배치 및 배선설계를 동시에 행할 필요가 있다. 컴퓨터 계산시간이 막대하게 걸리기 때문에 현실적으로 불가능하다.^[11]

따라서, 배치 설계에서는 현실의 배선 처리에 가까우면 가까울수록 계산시간은 증대하므로 현실의 배선 처리 즉, 가상 배선 경로에 대한 연구는 시급한 과제인데 그림 9에는 가상배선 경로에 나타냈다.

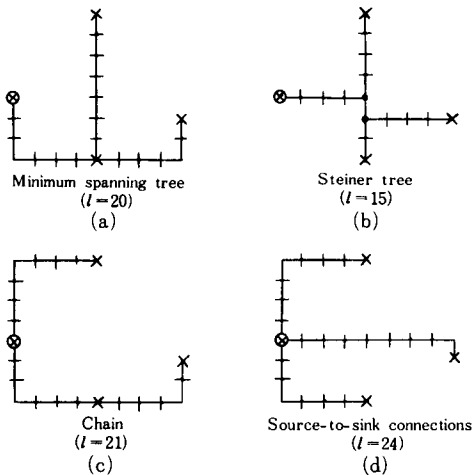


그림 9. 가상 배선 경로의 예

1. 배치 설계

배치 알고리즘은 초기 배치 알고리즘 및 촉차개선 알고리즘으로 구성되는 것이 일반적인데 초기 배치에서는 배치의 최적해에 비교적 가까운 해를 빠른 시간에 구하는 방법을 말하며 촉차개선에서는 초기배치에서 구한 초기해를 배치 목적함수에 따라 반복 개선하여 최적해에 촉차 접근시켜 가는 방법을 말한다.

원래, 배치 문제는 2차원 할당 문제로 NP-완전문제이기 때문에 규모가 커지면 현실적으로 최적해를 보장하는 알고리즘은 존재하지 않는다. 따라서, 최적해에 가까운 해라고 생각되는 근사해를 구하는 방법-휴리스틱 방법-의 개념을 도입할 수 밖에 없으며 지금까지의 연구 발표의 내용은 모두 이 개념에 속한다.

초기 배치 알고리즘으로는 클러스터성장법^[12] pair-

linking법^[12]Goto-Kuh법^[13]등이 있으나 모두 총배선장 최소화를 목적함수로 하여 총 배선장이 최소인 배치를 최적 배치로 간주하고 있다.

배치 개선법은 많은 연구 결과가 보고되고 있으며 대부분이 목적함수를 총배선장의 최소화로 하고 있다.

최근에 주목을 끄는 연구로서는 Breur^[14]에 의해 행하여진 배선 영역의 통과선수를 최소로 하는 것을 들 수 있으며 배선 혼잡도를 확률에 의해 구한 다음 최대 배선 혼잡도를 해소시키는 알고리즘도 발표되어 있다.^[15]

2. 배선 설계

배선 설계는 LSI/VLSI내의 기능 블록간의 접속해야 하는 등 전위점에 대해서 물리적인 조건을 고려하면서 정해진 접속 규칙에 따라서 신호선의 경로를 결정하는 것으로 100% 배선율이 목표로 더불어 총 배선장을 최소로 하는 알고리즘의 설계가 요구되어진다.

배선 설계는 일반적으로 배선 구간의 결정, 배선 순서의 결정, (다층의 경우)층의 결정 및 배선 경로의 결정 등으로 나누어서 행하여진다. 배선 경로에 있어서 동일 신호에 대하여 다점간 배선을 행하는 경우는 이것을 몇 개의 2점간 배선으로 분할해서 배선을 행하고 있다. 2점간 배선의 알고리즘으로서는 다음 3개의 기본적 방법이 있다.

1) 미로법^[16, 17]

Lee가 고안한 것으로 다수의 개량법이 발표되어 있는데 배선 영역을 셀상으로 나누어 파형으로 배선 경로를 성장시켜 가는 방법이며 경로가 있으면 반드시 그 경로를 찾아내는 탁월한 탐색 능력을 갖는다. 그러나 그 경로가 지그재그형이 되어 구멍의 수가 증가되며 분해능(칩을 셀로 나눌때 셀의 상대적 크기)이 증가되면 컴퓨터 기억 용량이 매우 많이 필요하다는 단점을 갖게 되며 배선 순서가 잘못 결정되는 경우 실제에는 배선 경로가 있으나 찾지 못하는 2-독립 경로 문제가 발생하게 된다.

2) 선분 탐색법^[18]

Mikami-Tabuchi에 의해 기본적인 알고리즘이 제안된 이래 많이 사용되고 있는 방법으로 배선 영역을 격자화하여 그 격자상이 선분을 연장하여 가는 휴리스틱 방법이므로 경로를 반드시 찾아낸다는 보장은 없다. 그러나, 구멍의 수가 최소인 경로를 찾아낼 수 있으며 더욱 선분 단위로 경로를 탐색하므로 기억용량이 적게 필요하며 계산 시간의 면에서도 다른 방법에 비교하여 적게 필요하다. 그러나 구멍의 위치가 고정되어 있는 칩에는 사용 불가능하다.

3) 채널 할당법

Hashimoto-Stevens^[19]에 의해 고안 발표된 이후 dogleg를 이용한 LTX^[20]가 연구 발표되었으며 최근에는 그래프 이론에 의한 최적화에 가장 근접한 방법이 제안되었다.^[21]

적용하기 쉬운 칩의 형태는 구멍의 위치가 등간격으로 존재하는 경우로 이 방법에서는 배선 구간을 표현하기 위해 사용되는 기억 용량이 적으며, 또 배선 구간을 전체적으로 평균 분산시키기 때문에 좋은 배선 결과를 얻을 수 있다.

그러나, 100% 배선율을 달성하기 위하여 가상기능 블록을 많이 사용하게 되는 경우 칩의 크기가 크게 되는 단점이 있다.

위의 3가지 2점간 배선 알고리즘은 수직과 수평층의 2층 배선인 경우는 유효하나 현재 많은 연구가 행하여지고 있는 다층 LSI/VLSI에서는 사용하기가 매우 힘들다. 다층 LSI/VLSI를 위한 알고리즘은 일렬 배선 알고리즘이 제안되어 있는데 전체적인 배선요구를 일렬, 일층 배선으로 분할하는 경우점 할당과 충분한 할을 행한 후 시행하게 된다.^[22, 23] 이 방식은 100% 배선율은 항상 보장할 수 있으나 충분한을 잘못 행하는 경우 층수가 늘어나게 되어 설계 비용이 매우 증가하는 단점이 있다.

IV. 결 론

본 원고에서는 LSI/VLSI의 대표적인 레이아웃 방식을 설명하고, 배치 설계 및 배선 설계 알고리즘을 취급했다.

현재 CAD기술은, 그 기술없이는 LSI 설계가 거의 불가능할 정도로 보급되고 있다. 그러나 그 수준은 반드시 만족할만한 것이 되지 못하고 있으며, 해결해야 할 많은 문제가 남아 있다.

今後, LSI의 진보가 계속되는 한 CAD 기술도 그 이상의 속도로 계속되어야 할 필요가 있다. 그를 위해서는 LSI개발에 참여하는 기술자를 비롯하여 광범위한 분야에 있어서 연구자의 협력이 바람직하다.

참 고 문 헌

[1] L.M. Rosenberg, *The Evolution of Design Automation to Meet the Challenges of VLSI*. Proc. 17th Design Automation Conf., PP. 3-11, 1980.
 [2] S. Trimberger, J.A. Rowson, C.R. Lang

and J.P. Gray, "A structured design methodology and associated software tools," *IEEE Trans. CAS*, vol. CAS-28, no. 7, PP. 618-633, 1981.
 [3] A.A. Szeplienice and R.H.J.M. Otten, *The Genealogical Approach to the Layout Problem*. Proc. 17th Design Automation Conf., PP. 535-542, 1980.
 [4] D. Gibson and S. Nance, "Slic-Symbolic layout of integrated circuits," Proc. 13th Design Automation Conf., PP. 434-440, 1976.
 [5] K. Kani, "Robin-a building LSI routing program," *Proc. IEEE ISCAS*, PP. 658-662, 1976.
 [6] I. Shirakawa, N. Okuda, I. Harada, S. Tani and H. Ozaki, "A layout system for the random logic portion of an MOS LSI chip," *IEEE Trans. Computers*, vol. C-30, no. 8, PP. 572-581, 1981.
 [7] K. Inagaki, "Design of high-density programmable logic arrays;" 일본전자통신학회 논문집, vol. J63-D, PP. 739-746, 1980.
 [8] 조중휘, 정정화, 임인철, "CAD를 이용한 1차원 MOS-LSI Gate 배열의 방법;" 한국정보과학회 발표 논문집, vol.2, no.1, PP.12-25, 1982.
 [9] O. Wing, "Automated gate matrix layout," *Proc. IEEE ISCAS*, PP.681-685, 1982.
 [10] B.T. Preas and C.W. Gwyn, *Methods for Hierarchical Layout of Custom LSI Circuit Masks*. Proc. 15th Design Automation Conf., PP.206-212, 1978.
 [11] 정정화, "LSI의 Layout CAD", Chapt.1, 와세다대학 박사청구논문, 1980.
 [12] M.A. Breuer(ed.), *Design Automation of Digital Systems*. vol. I, Chapter 5, Prentice-Hall, Englewood Cliffs, New Jersey, 1972.
 [13] S. Goto and E.S. Kuh, "An approach to the two-dimensional placement problems in circuit layout," *IEEE Trans. CAS*, vol. CAS-25, no.4, PP.208-214, 1978.
 [14] M.A. Breuer, *A Class of Min-Cut Placement Algorithms*. Proc. 14th Design Automation Conf., PP.284-290, 1977.

- [15] J.H. Jung, S. Goto and H. Hirayama, "A new approach to the two-dimensional placement with wire-congestion in master-slice LSI layout design," 일본전자통신학회논문집, vol. J64-A, no.1, 1981.
- [16] C.Y. Lee, "An algorithm for path connections and its applications," *IRE Trans. EC-10*, PP. 346-365, 1961.
- [17] S.B. Akers, "Some problems and techniques of automatic wire layout," *Digest of First Annual IEEE Computer Conf.*, PP. 135-136, 1967.
- [18] D.W. Hightower, *A Solution to Line Routing Problems on the Continuous Plain*. Proc. 6th Design Automation Workshop, PP. 1-24, 1969.
- [19] A. Hashimoto and J. Stevens, *Wire Routing by Optimizing Channel Assignment within Large Apertures*. Proc. 8th Design Automation Workshop, PP. 155-169, 1971.
- [20] G. Persky, D.N. Deutch and D.G. Schweikert, *LTX-A System for the Directed Automatic design of LSI Circuits*. Proc. 13th Design Automation Conf., PP.399-407, 1976.
- [21] T. Yoshimura and E.H. Kuh, "Efficient algorithms for channel routing," *IEEE Trans. CAD. of IC and Systems*, vol. CAD-1, no.1, PP.25-35, 1982.
- [22] S. Tsukiyama, E.S. Kuh and I. Shirakawa, "An algorithm for single-row routing with prescribed street congestions," *IEEE Trans. CAS*, vol. CAS-27, no. 9, PP.765-772, 1980.
- [23] S. Tsukiyama, E.S. Kuh and I. Shirakawa, "On the layering problem of multilayer PWB wiring," *IEEE Trans. CAD of IC and Systems*, vol. CAD-2, no.1, PP.30-38, 1983. ***

略語解説

PIEF (Proceeding of the Institute of Electrical Engineers (一般))

英國의 電氣學會雜誌.

PIF AMP (pre-intermediate frequency amplifier, 前置中間周波增幅器 (傳送))

MIP AMP의 項參照.

PIT (position incoming trunk; 座席入트링크 (交換))

事業所集團電話에 있어서 座席入트링크와 取扱者 링크間에 수용되는 接受台用座席入트링크이다. 다이얼 인呼의 話中轉送, 應答遲延, 缺番轉送, 不在轉送, 通話中取扱者呼出 등에 사용된다.

PIV (peak inverse voltage; 피크逆電壓 (電氣·

電子回路))

整流素子에 交流電壓을 가하여 동작시키는 경우에 역방향으로 걸리는 電壓의 波高值를 말한다.

PIX (photo-telegraphy; 寫眞電送 (電信))

原畫의 濃淡의 재현을 특히 고려한 픽시밀리의 일종으로 受信記線에 사진의 수단이 사용되는 것을 말한다. 送信側에서는 寫眞이나 畫面의 黑白이나 明暗을 走査에 의해서 画素로 분해하고 이를 電流의 변화로 바꾸어 보내고 受信側에서는 이 電流를 送信側와 同期走査하여 빛의 강약으로 바꾸어 感光紙나 感光필름에 구어 原畫와 동일한 寫眞이나 畫面을 재현시킨다.