

Al-nSi 쇼트키 다이오드의 접합면 주위의 얇은 계단형 산화막 구조가 항복 전압에 미치는 영향

(The Effect of Thin Stepped Oxide Structure Along Contact Edge on the Breakdown Voltage of Al-nSi Schottky Diode)

張志根\* 金鳳烈\*\*

(Gee Keun Chang and Bong Ryul Kim)

要約

종래의 쇼트키 다이오드들이 가지는 금속중첩 및 P보호환 구조와 비교하여 금속-반도체 접합면 가장자리에 얇은 계단형 산화막(약1000Å) 구조를 갖는 새로운 소자들을 설계 제작하였다. 얇은 계단형 산화막의 형성은 T. C. E. 산화공정으로 처리하였으며 이러한 새로운 소자들의 항복현상을 비교 검토하기 위하여 이들과 함께 동일한 소자 크기를 갖는 종래의 금속 중첩 쇼트키 다이오드와 P보호환 쇼트키 다이오드를 같은 웨이퍼상에 집적시켰고 항복전압에 대한 측정을 통해 고찰해 본 결과 금속-반도체 접합면 가장자리에 얇은 계단형 산화막 구조를 갖는 소자들은 종래의 쇼트키 다이오드들에 비해 항복현상에 있어서 월등한 개선을 보여 주는 것으로 나타났다.

Abstract

New Schottky devices with thin stepped oxide layer (about 1000 Å) along the edge of metal-semiconductor junction have been designed and fabricated.

The breakdown voltages of these diodes have been compared with those of conventional metal overlap and P guard ring Schottky diode structures. Thin stepped oxide layer has been grown by the process of T.C.E. oxidation. In order to compare and demonstrate the improved breakdown phenomena of these devices, conventional metal overlap diode and P guard ring diode which have the same dimension with new devices have also been integrated in a same wafer. New Schottky devices structured with thin stepped oxide layer have shown significant improvement in breakdown phenomena compared with conventional diodes.

\*正會員 檀國大學校 工科大學 電子工學科  
(Dept. of Electronic Eng., Dankook Univ.)

\*\*正會員, 延世大學校 工科大學 電子工學科  
(Dept. of Electronic Eng., Yonsei Univ.)

接受日字: 1983年 3月 4日

I. 序 論

금속-반도체간의 정류성 접촉에 대한 최초의 연구는 19C 말 Braun에 의해 시작되었으며 1938년 Schottky는 어떠한 화학적 층이 없이 반도체만에서도 안정된 공간전하로부터 장벽 높이가 존재한다는 것을 보였고,<sup>[1]</sup>

1957년에 이르러 Henisch에 의해 정류성 금속-반도체 접합에 대한 기본 이론이 체계화 되었다.<sup>[2]</sup> 쇼트키 다이오드란 금속-반도체간의 정류성 접합을 이용한 것인데 이의 전류 성분은 다수 캐리어의 흐름에 기인하므로 PN 접합 다이오드에 비해 매우 빠른 스위칭 시간과 높은 순방향 전류에 의한 낮은 임계 전압 특성을 가진다. 그외에도 제작과정이 매우 간단하여 집적회로(IC)에 적용이 용이하다는 장점을 지니고 있다. 그러나 초기에 개발된 쇼트키 다이오드는 이러한 몇 가지 장점이 있음에도 불구하고 큰 누설전류, 낮은 역방향 항복전압 및 과잉 순방향 전류 등의 바람직하지 못한 특성때문에 널리 이용되지 못하였다. 그리하여 과거 수년간 이러한 문제점들을 해결하기 위하여 꾸준히 많은 연구가 추진되어 왔으며, 그들중 대표적인 예로는 누설전류와 낮은 항복전압의 주요 원인이 되는 가장자리 효과(edge effect)를 없애기 위해 접합면 가장자리 주위에 P보호환을 넣은 P보호환 쇼트키 다이오드와 금속 전극을 쇼트키 접합면 위에 크게 겹쳐 놓으므로써 역전압 상태에서 금속 전극밑의 반도체 표면이 캐리어 공핍상태가 되어 접합면 가장자리에서 공간 전하 영역의 곡률 반경을 크게 하여 역방향 항복 전압 특성을 개선시켜 주는 금속 중첩 쇼트키 다이오드 등을 들 수 있다. 실제로 이들 쇼트키 소자들은 초기 개발된 쇼트키 다이오드 [BV(breakdown voltage) ≤ 10V]에 비해 그들의 전기적 특성들을 상당히 개선시켰으나 비저항이 1~5[Ω-cm]인 N형 Si를 기판으로 사용했을 경우 이들의 역방향 항복 전압의 크기는 수십 volt로부터 100V정도의 크기만을 나타내었다.<sup>[3, 4]</sup> 본 연구에서는 종래 P보호환 및 금속 중첩 쇼트키 다이오드들과 함께 금속-반도체 접합면의 가장자리 산화막을 1000Å의 얇은 계단형 산화막 구조로 나타낸 새로운 소자들을 설계하여 이들을 모두 동일 마스크 상에 집적시켜 같은 공정을 통해 제작 비교함으로써 금속-반도체 접합면 가장자리에 얇은 계단형 산화막 구조를 가지는 쇼트키 다이오드들이 종래 쇼트키 다이오드들에 비해 역방향 항복 전압에 있어 더욱 개선된 특성을 가질 수 있다는 것을 제시하고자 한다.

II. 쇼트키 다이오드의 항복 현상

플래너형 쇼트키 다이오드의 항복 전압은 소자의 기하학적 형태, 반도체의 성질 및 표면상태, 불순물 분포와 P보호환 영역의 접합곡률반경, 금속-반도체 접합면의 가장자리 효과 등을 비롯한 여러 복합적인 요인들에 의해 영향을 받으므로 이에 대한 이론적 표현을 정확히 나타내기는 매우 어려우나 역방향 항복 전

압의 개선을 위한 종래 쇼트키 다이오드들의 구조적 특성과 연구된 자료들을 분석 검토해 봄으로써 새로이 제시된 쇼트키 다이오드들은 더욱 개선된 역방향 항복 전압 특성을 지니는 소자가 될 수 있다는 것을 정성적으로 설명하고자 한다.

1. 종래의 Al-nSi 쇼트키 다이오드들에 대한 항복 현상

플래너형 쇼트키 다이오드는 평면 접합 구조와는 달리 접합면 가장자리 부근에서 공간 전하 영역의 유효 곡률 반경( $r_1$ )이 유한하고 반도체 표면에서 많은 결합 상태를 가지게 되는데,<sup>[5, 6]</sup> 측면 공간 전하 영역의 유효 곡률 반경이 벌크쪽의 수직 공간전하 영역폭보다 적고, SiO<sub>2</sub>-Si 경계면에서 많은 결합상태를 지니게 되면 소프트 및 낮은 항복 전압 현상을 초래하게 된다. 따라서 이러한 전기적 특성에 나쁜 영향을 미치는 가장자리 효과를 개선시키기 위해 측면 공간 전하 영역의 유효 곡률 반경을 넓혀야 하고 나아가 활성 영역부근의 산화막 질도 향상시켜야 한다. 종래의 플래너형 쇼트키 다이오드들에 대한 대표적인 예<sup>[7]</sup>가 그림 1에 보여진다.

그림 1의 (a) 구조는 반도체 표면상태의 결합과 산화막내의 양이온에 의해 접합 가장자리에서 공간 전하

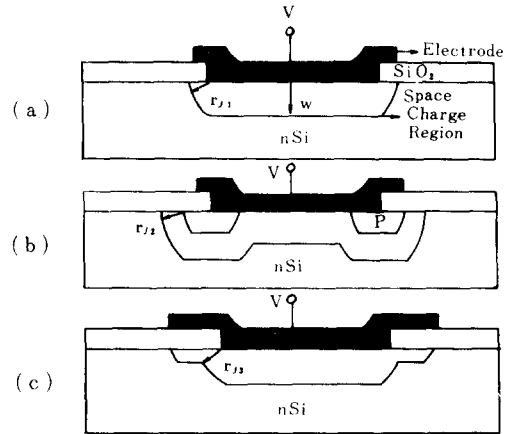


그림 1. 쇼트키 다이오드들의 대표적 구조  
 (a) 금속 중첩형이 아닌 쇼트키 다이오드  
 (b) P보호환 쇼트키 다이오드  
 (c) 금속 중첩 쇼트키 다이오드

Fig. 1. The representative structures of Schottky diodes.

- (a) Schottky diode without metal overlap.
- (b) P guard ring Schottky diode.
- (c) Schottky diode with metal overlap.

영역의 유효 곡률 반경( $r_{j1}$ )은 수직 공간 전하 영역의 폭(W)보다 적어 많은 누설 전류를 가지며 낮은 항복 현상을 나타내게 된다. 그림 1의 (b) 구조에서는 접합면 가장자리부근에 P 영역을 확산시키므로써 (a) 구조의 가장자리 효과를 제거하고 이 구조의 항복현상을 PN 접합 다이오드의 항복 현상<sup>[6, 8]</sup>으로 나타나게 한다. 그림 1의 (c)에서는 금속 전극을 금속-반도체 접합면보다 크게 SiO<sub>2</sub> 영역위로 겹쳐놓으므로써 금속 전극에 인가되는 부의 전압이 SiO<sub>2</sub>와 금속 전극간의 결친부분 밑의 반도체 표면에 공핍 영역을 형성시켜 결과적으로 이 구조의 유효 곡률 반경( $r_{j2}$ )은 (a)구조의  $r_{j1}$ 보다 증가하여 역방향 항복 전압이 커지게 된다. M. P Lepselter와 S. M Sze<sup>[3]</sup>는 <111> Oriented, 1.0[Ω-cm]N형 Si 기판에 P보호환 쇼트키 다이오드를 만든 후 SiO<sub>2</sub>위에 부가적 게이트 전극을 만들어 게이트 전압의 변화가 표면 전계 분포와 항복

전압에 미치는 영향을 조사하였다. 그림 2는 P보호환 쇼트키 다이오드의 산화막 위에 게이트 전극을 둔 경우 게이트 전압의 극성변화에 따른 전계 분포를 보여 준다.

그림 2의 (a)에서는 게이트 전극에 음전압(-100V)을 인가할 때 표면전계는 접합 가장자리부근에서 전계의 세기를 완만하게 하고 유효 곡률 반경을 증가시켜 항복 전압의 크기를 개선시킨다. 그림 2의 (b)는 게이트 전극에 양전압(+100V)을 인가했을 때이고 그때 표면 전계는 접합면 가장자리부근으로 압축되어 결과적으로 유효 곡률 반경을 감소시켜 낮은 항복 전압을 초래하게 된다. 그림 3에서는 게이트 전압의 함수로 P보호환 쇼트키 다이오드의 항복전압이 P 영역의 확산깊이( $X_j$ )를 변수로 하여 보여지고 있는 데 이 그림에서 게이트 전극에 부의 전압이 증가될수록 표면 전계분포가 금속-반도체 접합면 가장자리부근에서 공간 전하 영역의 유효 곡률 반경을 증가시키는 방향으로 형성되므로 역방향 항복 전압(BV)의 증가를 가져오게 된다.

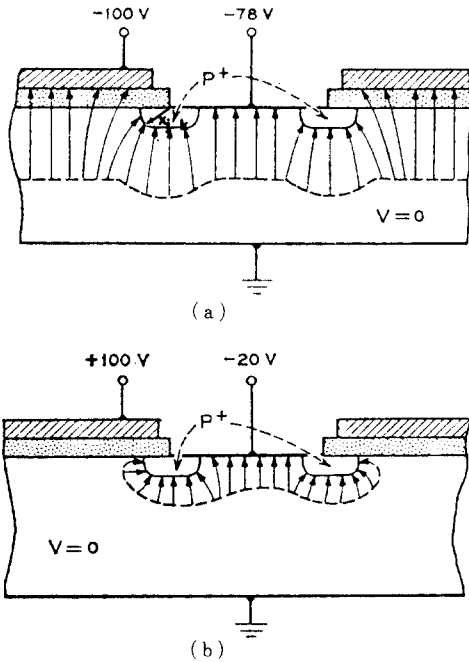


그림 2. P보호환 쇼트키 다이오드의 게이트 전압에 대한 전계분포

- (a) 음의 게이트 전압에 대한 전계 분포
- (b) 양의 게이트 전압에 대한 전계 분포

Fig. 2. Electric field distribution of P guard ring Schottky diode for gate voltages.

- (a) Electric field distribution for negative gate voltage.
- (b) Electric field distribution for positive gate voltage.

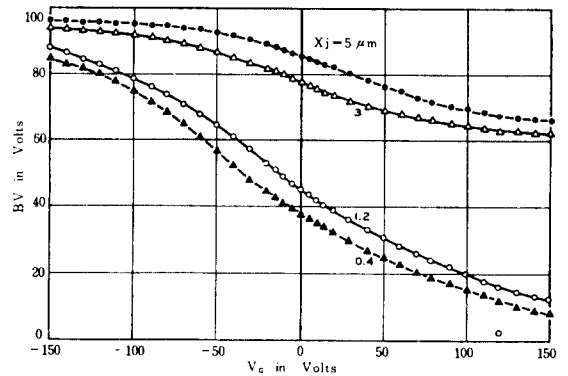


그림 3. P보호환 쇼트키 다이오드의 게이트 전압에 대한 항복전압(접합 깊이( $X_j$ ); 0.4, 1.2, 3, 5  $\mu$ m)

Fig. 3. Breakdown voltage versus gate voltage for Pguard ring Schottky diode(junction depths are 0.4, 1.2, 3 and 5  $\mu$ m).

- 2. 금속-반도체 접합면 가장자리에 얇은 계단형 산화막을 갖는 쇼트키 다이오드의 항복현상

II.1 절에서 논의한 P보호환 쇼트키 다이오드와 금속 중첩 쇼트키 다이오드는 어느 정도 그들의 전기적 특성을 개선시킬 수 있었으나, 이들도 산화막의 절적인면과 SiO<sub>2</sub>-Si 경계면에서 반도체 표면상태의 결함 및 충분치 못한 유효 곡률 반경때문에 거의 이상적에

가까운 전류-전압특성을 나타내는 데에는 아직도 부족한 점이 있다. 따라서 쇼트키 다이오드의 전기적 특성을 더욱 개선시키기 위해서는 접합면 가장자리부근에서 공간 전하 영역의 유효 곡률 반경을 가능한 크게 할 필요가 있으며 동시에 그 부근의 산화막 질도 높여 주어야 한다. 이러한 원리에 염두를 두고 그림 4를 살펴보자.

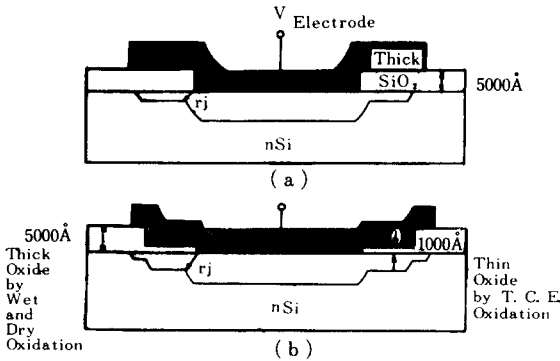


그림 4. 종래의 것과 비교된 얇은 계단형 산화막 구조를 갖는 쇼트키 다이오드

- (a) 종래의 금속 중첩 쇼트키 다이오드
- (b) 얇은 계단형 산화막 구조를 갖는 금속 중첩 쇼트키 다이오드

Fig. 4. Metal overlap Schottky diode with thin stepped oxide structure compared with conventional diodes.

- (a) Conventional metal overlap Schottky diode.
- (b) Metal overlap Schottky diode with thin stepped oxide structure.

그림 4의 구조에서  $r_j$ 를 최대로 하기 위해 가장자리부근에서 금속밀의 산화막 아래 캐리어 공핍 영역을 최대로 확장시켜야 하고 이를 위해서는 MOS 소자의 동작원리를 생각할 때 금속-반도체 접합면 가장자리부근의 산화막 두께는 적정치로 얇고 이 산화막내의 양이온 전하는 크게 감소되어야 한다. 그림 4의 (a) 구조에서는 산화막밀의 표면반전층(이때 공간 전하 영역의 폭은 최대가 됨)을 유도하기에는 산화막의 두께가(5000Å)가 너무 두껍고, 정상적으로 생각할 때 그림 4의 (b)와 같이 가장자리부근의 산화막 두께가 일반적 MOS 게이트의 두께(1000Å) 정도이면 낮은 전압상태에서도 산화막 밀의 공핍층을 최대 확장시켜 유효 곡률 반경을 보다 크게 할 수 있으며 나아가 T.C.E. 산화법에 의해 이 산화막을 형성하므로써 산화막의 질도 높일 수가 있다. 따라서 그

림 4의 (b)구조는 (a)의 구조에 비해 유효 곡률 반경( $r_j$ )이 증가하여 높은 항복 전압 특성을 보일 뿐만 아니라 누설전류도 크게 감소시켜 개선된 전류-전압 특성을 보일 것으로 기대된다.

III. 소자의 설계 및 실험

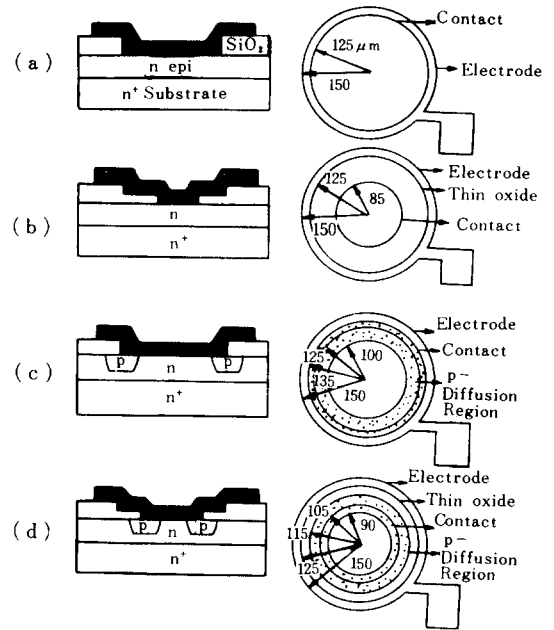


그림 5. 설계된 네 종류의 쇼트키 다이오드들에 대한 측면도(좌)와 평면도(우)

- (a) 종래의 금속 중첩 쇼트키 다이오드
- (b) 얇은 계단형 산화막 구조를 가지는 금속 중첩 쇼트키 다이오드
- (c) 종래의 P보호환 쇼트키 다이오드
- (d) 얇은 계단형 산화막 구조를 갖는 P보호환 쇼트키 다이오드

Fig. 5. The cross section view(left) and the top view(right) for four kinds of designed Schottky diodes.

- (a) Conventional metal overlap Schottky diode.
- (b) Metal overlap Schottky diode with thin stepped oxide structure.
- (c) Conventional P guard ring Schottky diode.
- (d) P guard ring Schottky diode with thin stepped oxide structure.

### 1. 소자설계 및 마스크 제작

실험에 이용될 소자들의 설계를 그림 5와 같이 착안하여 이들을 200X.로 확대한 방안지상에 그렸다.

다음으로 공정용 마스크를 (1)확산용 마스크, (2)얇은 산화막 성장용 마스크, (3)접점개방 마스크, (4)금속전극용 마스크로 각각 분류하여 그렸고 각 마스크별 제작 과정은 그림 6의 순서도에 따라 실시하였다.

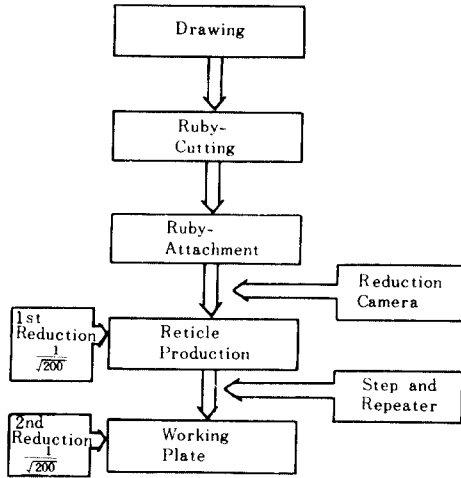


그림 6. 마스크 제작공정의 순서도

Fig. 6. Flow chart of mask making procedure.

### 2. 실험공정

실험에 사용된 실리콘 웨이퍼는  $\frac{N}{P}$  에피텍셀 웨이퍼로써 에피텍셀층의 결정 방향이 <111>이고 비저항은  $5\Omega\text{-cm}$ , 두께가  $15\mu\text{m}$ 이다. 제작 과정은 필드 산화막의 두께를  $5000\text{\AA}$ , 얇은 산화막의 두께를 T.C.E 산화법에 의한  $1000\text{\AA}$ , P 영역의 확산깊이를  $3\mu\text{m}$ 가 되도록 공정설계를 한 후 그림 7의 공정 순서도에 따라 실시하였다.

세척공정과 사진 식각 공정은 표준 IC공정에 따라 실시하였고, 초기 산화막 형성은  $T(\text{온도})=1000^\circ\text{C}$ 에서  $\text{Dry O}_2(\text{Flow Rate}; 1\ell/\text{min})$ 로 100분간 처리하였다. 그 후 마스크 1을 통한 사진 식각법에 의해 P 확산 영역의 창구를 개방한 후 Si 웨이퍼를 BN 웨이퍼 사이에 끼워넣어 predeposition을  $T=930^\circ\text{C}$ 에서  $\text{N}_2(1\ell/\text{min})+\text{Dry O}_2(1\ell/\text{min})$ ; 7분,  $\text{N}_2(1\ell/\text{min})+\text{Dry O}_2(1\ell/\text{min})+\text{H}_2(40\text{cc}/\text{min})$ ; 1분,  $\text{N}_2(2\ell/\text{min})$ ; 30분의 순서대로 처리하였으며 다시 저온 산화방법에 의한 boron glass를 제거함과 동시에 실리콘 표면의 산화막을 모두 제거하였다. P-drive in 과정은  $T=1000^\circ\text{C}$ 에서  $\text{Dry O}_2(1\ell/\text{min})$ ; 10분,  $\text{Wet O}_2(1\ell/\text{min})$ ; 40분,

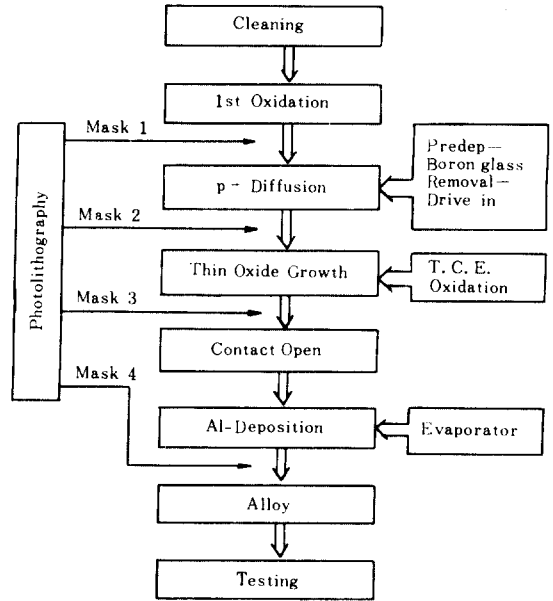


그림 7. 실험 공정 순서도

Fig. 7. Flow chart of device fabrication process.

$\text{Dry O}_2(1\ell/\text{min})$ ; 70분의 순서대로 실시하였고 이때 형광 조명아래 산화층의 색깔은 적색으로 나타났는데 oxide color chart에 의하면 산화막의 두께는 약  $4500\text{\AA}$  정도가 됨을 알 수 있다. 다시 마스크 2를 이용해 얇은 계단형 산화막의 영역을 개방한 후  $T=1000^\circ\text{C}$ 에서 T.C.E.와 산소의 체적비율 1%로 120분간 유입시킨 T.C.E. 산화 공정을 실시하였다. 이 결과 필드 산화층의 색깔은 청색(약  $5000\text{\AA}$ )이었고 얇은 산화층의 색깔은 암자색으로  $1000\text{\AA}$ 의 산화층이 형성되었음을 알 수 있다. 특히 이 과정에서 T.C.E. 산화법을 이용한 것은  $\text{SiO}_2$ 형성시 산소와 함께 T.C.E.를 유입하면 T.C.E.가 전리되어 Cl<sup>-</sup>를 만들게 되며 산화막내의 침투된 Cl<sup>-</sup>는 금속 원자의 양이온(주로 Na<sup>+</sup>)과 반응하여 이들을 중화시키는 gettering 효과를 주므로써 산화막의 질을 향상시키는데 목적이 있다.<sup>[9]</sup>

그림 8에서는 T.C.E 산화장치의 개요도를 보였다.

그 후 마스크 3을 통해 금속-반도체간의 접점부분을 개방하고 전자빔형 진공증착기를 이용하여 진공도가  $10^{-6}$ [torr]인 상태에서 Al 금속을 증착시켰다. 마지막 단계로 마스크 4를 사용하여 불필요한 Al을 제거하고 전극 패턴을 형성한 후 금속-반도체간의 원활한 접촉을 위해  $T=450^\circ\text{C}$ 에서  $\text{N}_2(2\ell/\text{min})$ 분위기로 30분간 alloy 공정을 실시하였다.

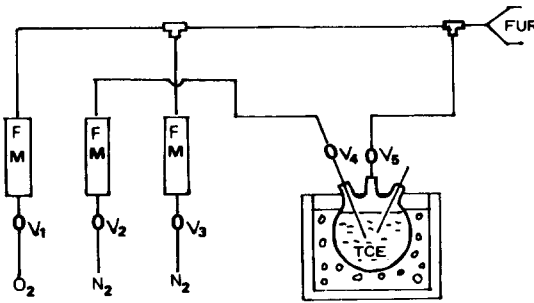


그림 8. T.C.E. 산화 장치도  
 Fig. 8. Figure of T.C.E. oxidation equipment.

IV. 측정 결과 및 검토

실험 완성된 네 종류의 쇼트키 다이오드들을 curve tracer를 사용하여 역방향 전류( $I_R$ )가  $100\mu A$  되는 점에서 항복전압을 측정하였다. 표 1에서 각 종류의 쇼트키 다이오드들에 대한 항복 전압의 측정된 값들을 보였다.

그림 9에서는 실험 제작된 윗 4 가지 종류의 쇼트키 다이오드들에 대해 그들의 대표적인 전류-전압특성 곡선들의 사진을 보였다. 여기서 수직전류축은  $1mA/div.$ 로, 수평 전압축은  $20V/div.$ 으로 조정하였으며 그림 9의 (a), (b), (c)는 원점이 X축으로  $40[V]$ 이동되어 있고 그림 9의 (d)는  $80[V]$ 이동되어 나타나 있다. 이상의 측정 결과를 고찰해 보면 종래의 금속 중첩

표 1. 각 종류의 쇼트키 다이오드들에 대한 항복 전압의 측정값( $I_R=100\mu A$ 에서)

Table 1. Measured values of breakdown voltages for each Schottky diode (at  $I_R=100\mu A$ ).

단위 [volts]

Kinds No.	Fig. 5 (a) Fig. 5 (b) Fig. 5 (c) Fig. 5 (d)			
	1	15	120	100
2	13	115	90	140
3	15	120	120	150
4	13	115	110	145
5	10	110	105	135
6	15	120	100	140
7	10	115	95	130
8	15	120	105	145
9	10	100	100	140
10	15	125	105	145
대표값	15	120	100	140

다이오드는 낮은 항복 전압(약 15V)을 보이는 데, 이는 점함 가장자리부근의 두꺼운 산화막아래 공핍층의 폭이 적게 되어 상대적으로  $r_f$ 가 축소되며 그외에도 산화막내의 많은 금속 양이온과 반도체 표면상태의 결함때문에 결과적으로 큰 역방향 누설전류를 갖는 소프트 및 낮은 항복 전압을 초래한 것으로 간주

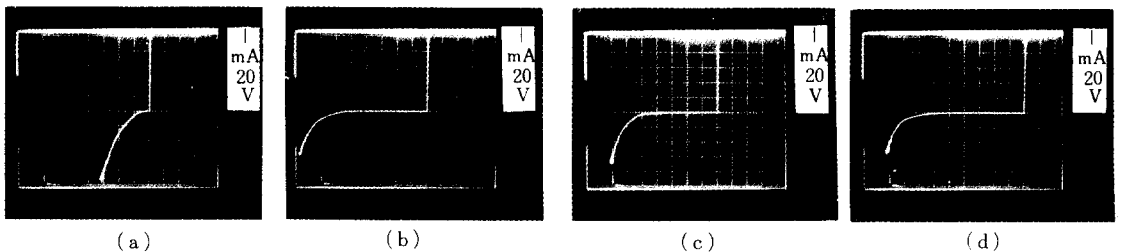


그림 9. 네 종류의 쇼트키 다이오드들에 대한 전류-전압특성 곡선들의 사진

- (a) 종래의 금속 중첩 쇼트키 다이오드
- (b) 얇은 계단형 산화막 구조를 가진 금속 중첩 쇼트키 다이오드
- (c) 종래의 P보호환 쇼트키 다이오드
- (d) 얇은 계단형 산화막 구조를 가진 P보호환 쇼트키 다이오드

Fig. 9. Photography of current-voltage characteristics for four kinds of Schottky diodes.

- (a) Conventional metal overlap Schottky diode.
- (b) Metal overlap Schottky diode with thin stepped oxide structure.
- (c) Conventional P guard ring Schottky diode.
- (d) P guard ring Schottky diode with thin stepped oxide structure.

된다. 얇은 계단형 산화막 구조를 갖는 금속 증착 쇼트키 다이오드의 항복전압은 종래의 P보호환 쇼트키 다이오드의 항복 전압(100[V] 정도)을 증가하여 120[V]의 크기를 보이는데 이는 접합면 가장자리부근에서 얇은 산화막(1000Å)으로 인한 공핍층의 확대로 유효 곡률 반경이 증가하였고 동시에 T.C.E. gettering 효과로 산화막의 질을 높여 주었기때문인 것으로 생각된다. 이는 분명히 쇼트키 다이오드를 제작함에 있어 부가적 확산 공정이 없이도 금속-반도체 접합면 가장자리부근의 산화막을 얇게 하고 동시에 질을 높인다면 충분히 훌륭한 전기적 특성을 갖는 소자를 제작할 수 있다는 것을 보여 주고 있다. 또한 P보호환 쇼트키 다이오드 구조에서도 금속-반도체 접합면 가장자리부근에 얇은 계단형 산화막을 이용하므로써 더욱더 개선된 전류-전압특성을 얻을 수 있으며 이때 항복 전압은 140[V] 정도로 나타나고 있다.

## V. 結 論

금속-반도체 접합면 가장자리부근에서 공간 전하 영역의 확장을 통해 유효 곡률 반경( $r_e$ )을 넓히고 그 부근의 산화막 질을 개선시키므로써 역방향 누설전류의 크기를 줄이고 항복 전압을 증가시킬 수 있다는 이론에 기초를 두어 접합면 가장자리부근의 산화층을 T.C.E. 산화법에 의해 1000Å 정도의 두께로 성장시킨 쇼트키 다이오드를 제작하였고 그 결과로써 금속 증착형 쇼트키 다이오드의 경우에는 항복 전압이 [15V]에서 120[V]로 크게 증가하였으며 P보호환 쇼트키 다이오드의 경우에는 100[V]에서 140[V]로 개선되었다. 특히 금속-반도체 가장자리 부근에 얇은 계단형 산화막 구조를 갖는 금속 증착 쇼트키 다이오드는 P 보호환이 없이도 매우 안정된 전류-전압특성을 주는 좋은 소자가 될 수 있을 뿐만 아니라 제작, 공정도 극히 간단하여 초고주파 소자 및 집적회로 소자<sup>[10]</sup>의 응용에 쉽게 적용시킬 수 있을 것이다. 끝으로 본 연구를 완성시키시기까지 물심양면으로 도움을 아끼지 않으신 한국과학기술원의 김충기 교수님께 충심으로 사의를

표합니다.

## 參 考 文 獻

- [1] W. Schottky, "Halbleitertheorie der sperrschicht", *Naturwissen Schäften*, 26, 843, 1938.
- [2] H.K. Henisch, *Rectifying Semiconductor Contacts*. Clarendon, Oxford, 1957.
- [3] M.P. Lepselter and S.M. Sze, "Silicon Schottky barrier diode with near ideal characteristics," *Bell System Tech. J.*, vol. 47, pp. 195-208, 1968.
- [4] A.Y.C. Yu and C.A. Mead, "Characteristics of aluminum-silicon Schottky barrier diode," *Solid State Electronics*, vol. 13, pp. 97-104, 1970.
- [5] C.A. Mead, "Metal-semiconductor surface barriers", *Solid State Electronics*, vol. 9, pp. 1023-1032, 1966.
- [6] Muller kamins, *Device Electronics for Integrated Circuits*. John Wiley & Sons, Inc., 1977.
- [7] A.Y.C. Yu, "The metal semiconductor contact; an old device with a new future," *IEEE Spectrum*, March 1970.
- [8] S.M. Sze, *Physics of Semiconductor Device*. John Wiley and Sons, Inc., 1969.
- [9] G.J. Declerck et al., "Some effects of trichloroethylene oxidation on the characteristics of MOS devices," *J. Electrochem. SOC.*, vol. 122, pp. 436-439, 1975.
- [10] Bruno. Kurz and Mark B.Barron, "Improved Schottky clamped ( $T^2 L$ ) circuits," *Solid State Circuits*, vol. SC-7, no. 2, April 1972.