

채널의 길이가 짧은 NMOS 트랜지스터의 Threshold 電壓과 Punchthrough 電壓의 減小에 관한 實驗的 研究

(An Experimental Study on the Threshold Voltage and Punchthrough Voltage Reduction in Short-Channel NMOS Transistors)

李 苑 植*, 林 享 圭**, 金 輔 佑**

(Wonshik Lee, Hyung Kyu Lim and Bo Woo Kim)

要 約

MOS 트랜지스터의 채널이 짧아짐에 따라 threshold 전압과 punchthrough 전압이 減小하는 현상을 실리콘 게이트 NMOS 技術로 製作한 素子로써 실험적으로 관찰하였다. 또한 게이트 酸化膜의 두께를 50nm와 70nm로 減小시키고 보론(boron)을 임플란트한 素子를 製作하여 게이트 酸化膜의 두께와 서브스 트레이트의 불순물의 농도가 threshold 전압과 punchthrough 전압의 減小에 미치는 영향을 測定하였다. 또 채널의 길이가 3 μ m인 素子에 대하여 hot-electron의 放出을 플로우팅 게이트 測定 方法에 의하여 測定하였으며 그 결과 채널의 길이가 3 μ m까지는 hot-electron의 放出은 문제가 되지 않음을 관찰하였다.

Abstract

The reduction of threshold voltage and punchthrough voltage of short channel MOS transistors has been measured experimentally with silicon gate NMOS transistors. The effects of the gate oxide thickness and substrate doping concentration on the threshold voltage and punch-through voltage have also been measured with sample devices with boron implantation and gate oxide thickness of 50 nm and 70 nm. Hot electron emission has been measured by floating gate method for the samples with 3 μ m channel length. It has been concluded from this measurement that hot electron emission is not significant for the channel length of 3 μ m.

I. 序 論

近間에 IC 業界, 특히 MOS 디지털 IC 業界를 지배 해 온 중요한 생각은 回路 素子의 크기를 축소시킴

으로써 集積도와 회로의 動作 速度를 증가시키고자 하는 것이라고 할 수 있다. 이러한 생각으로 반도체 素子의 工程 分野에 막대한 노력과 자금을 투입하여 여러 가지 혁신적인 技術을 개발한 결과, 素子의 크기를 持續的으로 축소시킬 수 있었던 것이다. 그러나 MOS 素子의 크기가 계속 減小하여 채널의 길이가 3~4 μ m 이하로 줄어들게 되면 threshold 전압^{[1],[2]}과 punch-through 전압^[3]이 減小하고, subthreshold conduction에 의한 漏泄 電流가 증가하고^[4], channel-length modulation의 영향이 증가하며, hot-electron의

* 正會員, 三星半導體通信(株)
(Samsung Semiconductor & Telecom.Co., Ltd.)

** 正會員, Univ. of Florida

*** 正會員, 韓國電子技術研究所
(Korea Institute of Electronics Technology)

接受日字: 1982年 6月 16日

방출이 많아지는^[5] 등의 쇼트 채널 효과들이 나타나게 되어서 신뢰성이 있는 素子를 제작하기가 어렵게 되었다.

이에 따라, 쇼트 채널 MOS 素子를 제작하기 위한 연구들이 많이 수행되었으며 이로부터 스케일링 原理에 따라 素子를 제작함으로써 threshold 전압의 감소를 줄이고^[2], double implantation을 이용하여 punch-through 전압을 증가시키는 방법^[6] 등이 발견되었다.

본 論文에서는 이와 같은 쇼트 채널 효과들을 관찰하고 또한 이러한 쇼트 채널 現象들을 減小시키는 방법들을 실험적으로 알아보기 위하여 N-channel 실리콘 게이트 MOS 트랜지스터들을 製作하여 보았다. 實驗 素子의 채널의 길이는 3 μm 에서 6 μm 까지 변화시켰으며 게이트 酸化膜의 두께는 50nm에서 100nm까지 변화시켰고 punchthrough 전압의 減小를 줄이는 방법으로는 보론을 임플랜테이션하였다. 이와 같이 製作된 샘플 트랜지스터들의 threshold 전압, punchthrough 전압이 채널의 길이에 따라 변화하는 정도를 測定하였으며 그 결과를 보고하고자 한다.

II. 쇼트 채널 效果

1. Threshold 電壓의 減小

NMOS 素子의 threshold 전압은 일반적으로 다음과 같이 나타낼 수 있다.^[13]

$$V_T = V_{FB} + 2|\phi_s| + F \cdot \frac{|Q'_d|}{C_{ox}} \quad (1)$$

식(1)에서 V_{FB} 는 플레트 밴드 전압, ϕ_s 는 실리콘 서브스트레이트의 fermi 준위, Q'_d 는 실리콘 서브스트레이트 内の 공핍 영역에 존재하는 단위면적당 電荷, C_{ox} 는 게이트 酸化膜의 단위면적당 캐패시턴스이며 F는 기하학적인 變數로서 Yau가 제안한 근사법^[8]에 의해서 그림 1로부터 다음과 같이 나타낼 수 있다.

$$F = \frac{\text{사다리꼴 } ABC'D \text{의 면적}}{\text{직사각형 } ABCD \text{의 면적}} = \frac{L_{eff} + L'}{2L_{eff}} \quad (2)$$

여기서, L_{eff} 는 소오스와 드레인 접합의 래터럴 확산을 고려했을 때의 채널의 길이이며, L' 은 소오스와 드레인의 공핍 영역의 경계와 게이트의 공핍 영역의 경계가 교차하는 점, 즉 B'와 C' 사이의 거리이다 (그림 1 참조). 소오스와 드레인의 접합이 모서리에서 圓形形이라고 보면

$$L' = L_{eff} - 2r_s \left(\sqrt{1 + \frac{2x_d}{r_s}} - 1 \right) \quad (3)$$

로 나타낼 수 있다. 식(3)에서 r_s 는 소오스와 드

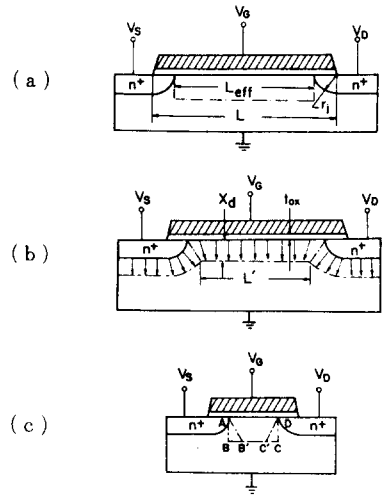


그림 1. Threshold 전압에 대한 쇼트 채널 효과
(a) 1차원적 해석에 의한 bulk 전하
(b) 사다리꼴 근사법에 의한 bulk 전하
(c) 쇼트 채널의 소자의 경우

Fig. 1. Short-channel effects on the threshold voltage.

- (a) Bulk charge for the one-dimensional analysis
- (b) Bulk charge for the trapezoidal approximation
- (c) Case of a short-channel device.

레인의 접합의 깊이가 되며 x_d 는 공핍 영역의 폭이다. 롱 채널 素子의 경우에는 $r_s \ll L_{eff}$ 이므로 $L_{eff} \approx L'$, $F \approx 1$ 이 되는 반면에 쇼트 채널 素子의 경우에는 $L' < L_{eff}$ 이므로 $F < 1$ 이 되어서 채널의 길이가 짧아질수록 threshold 전압이 減小함을 알 수 있다.

2. Punchthrough에 의한 電流의 증가

MOS 素子의 드레인 전압이 증가하여 드레인의 공핍 영역의 폭이 증가하여 일정한 전압 이상이 되면 소오스의 공핍 영역과 닿게 된다. 따라서, 드레인 과 소오스간에 형성된 電界에 의해서 space-charge-limited 電流가 흐르게 되어 드레인 電流가 급격하게 증가하게 된다. 이러한 현상을 punchthrough라고^[3]하는 데, 그림 2에서 볼 수 있듯이 채널이 짧은 素子일수록 punch-through 현상이 낮은 드레인 전압에서 일어나게 된다. 서브스트레이트의 불순물 농도가 균일하다고 가정하면, punchthrough 전압은 공핍 영역의 폭을 구하는 식으로부터

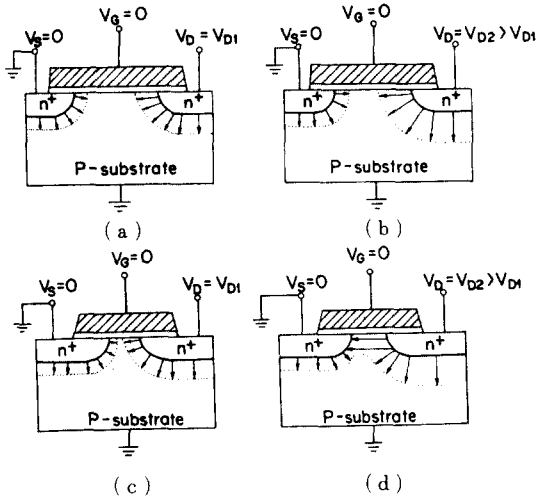


그림 2. Punchthrough에 대한 쇼트 채널 효과
 (a), (b) Long-channel 소자의 경우
 (c), (d) Short-channel 소자의 경우

Fig. 2. Short-channel effects on punchthrough.
 (a), (b) Case of a long-channel device.
 (c), (d) Case of a short-channel device.

$$V_T = \frac{q N_a L_{eff}^2}{2 \epsilon_s} \quad (4)$$

로 나타낼 수 있다.^[9] 식(4)에서 q는 電子의 電荷量, N_a 는 서브스트레이트의 불순물 농도, ϵ_s 는 실리콘의 유전율 ($\epsilon_s = 1.04 \times 10^{-12}$ F/cm)을 표시한다.

3. Hot-electron의 放出^[5]

MOS 素子에 인가되는 전압의 크기에는 변함이 없이 素子의 크기만을 수직, 수평방향으로 축소시키면 電界가 증가하게 된다. 따라서, 인버전 레이어에 흐르고 있거나 서브스트레이트의 공핍 영역에서 발생된 전자들이 강한 電界에 의해 가속되어서 표면의 에너지 장벽을 뛰어 넘어 게이트 酸化膜층으로 들어갈 수 있게 된다. 이 電子들이 酸化膜층으로부터 풀려 나오지 못하고 계속 묶여 있으면 threshold 전압과 트랜스컨덕턴스가 정상적인 값으로부터 변화하게 된다.

III. 實驗 素子의 製作

본 논문의 실험에서는 S_i -Gate NMOS 기술을 사용하여 채널의 길이가 3~10 μm 인 素子들을 제작하였다. 상세한 제작 과정은 다른 논문^[11]에서 다루고 있으므로 이곳에서는 생략하기로 한다. 단, 原試料는 p-type의 결정 방향이 (100)이며 저항율이 4~6 Ωcm 인 실리콘 웨이퍼를 사용하였다.

샘플 A는 쇼트 채널 효과를 관찰하기 위하여 종래

의 롱 채널 素子를 제작하는 공정으로 제작하였으며, 샘플 B와 샘플 C는 threshold 전압과 punchthrough 전압의 減小을 방지하기 위하여 게이트 酸化膜의 두께를 감소시키고 보론 임플랜테이션을 두번 遂行하여 제작하였다. 여기서 게이트 酸化膜을 얇게 해준 것은 그림 1(b)에서와 같이 공핍 영역의 電荷 분포와 電界 분포를 대응시켜 볼 때, 酸化膜이 얇을수록 電界 분포가 균일해지리라고 예상할 수 있으므로 식(1)의 F의 값이 1에 가까와지리라는 생각으로 한 것이다. 제작된 샘플들의 게이트 酸化膜의 두께는 칼라 차트와 비교하여 측정하였다.

한편, 임플랜테이션을 두번 해준 것은 threshold 전압의 증가에 따라 드레인 접합의 공핍 영역이 소오스 쪽으로 커지는 것을 막기 위한 것이다.

본 논문에서 제작된 실험 소자들의 게이트 酸化膜의 두께와 임플랜테이션 조건들은 표 1과 같다.

표 1. 실험 소자들의 게이트 산화막 두께와 임플랜테이션 조건

Table 1. Thickness of gate oxide and implantation conditions for experimental devices.

Sample	Gate Oxide Thickness(nm)	Implantation Dose(atoms/cm ²)	
		Shallow Implantation (40 keV)	Deep Implantation (150 keV)
A	100	8×10^{11}	
B 1	70	8×10^{11}	0.5×10^{12}
B 2			1×10^{12}
B 3			2×10^{12}
C 1	50	8×10^{11}	1×10^{12}
C 2			2×10^{12}
C 3			5×10^{12}

IV. 測定 結果 및 檢討

1. Threshold 전압의 측정

Threshold 전압은 세후레이션 영역에서 드레인 전압에 대한 드레인 電流의 제곱근을 plot 한 후 익스트러폴레이션으로 測定하였으며,^[10] 그 결과는 그림 3과 같다. 그림 3의 계산 결과는 SUPREM^[11]으로 프로세스 시뮬레이션을 한 결과를 이용하여 공핍 영역내의 불순물 농도의 평균값을 계산한 다음, 식(1)에 의하여 계산한 값이다. 한편, 식(1)의 V_{FB} 는 채널의 길이가 6 μm 일때의 threshold 전압의 測定값과 계산 결과가 일치하

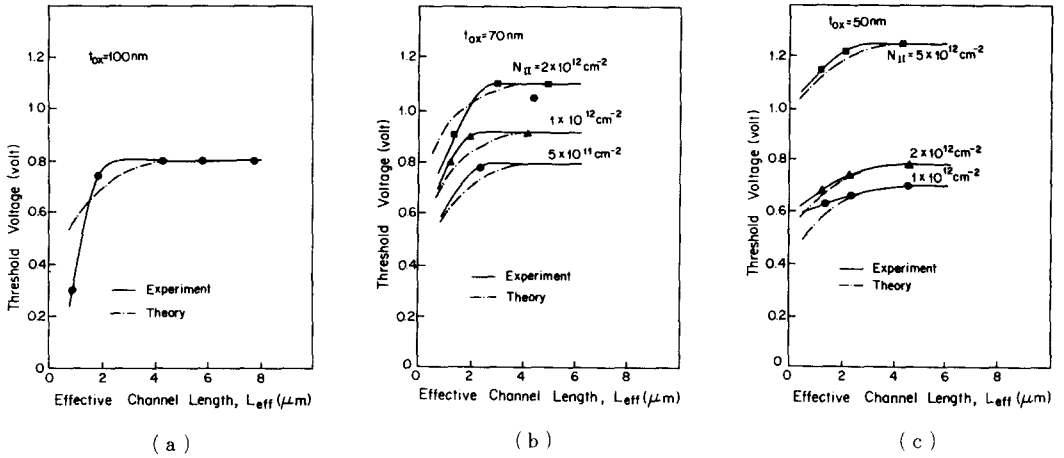


그림 3. 채널의 길이에 따른 threshold 전압의 변화

(a) 샘플 A (b) 샘플 B1, B2, B3 (c) 샘플 C1, C2, C3

Fig. 3. Threshold voltage vs. channel length.

(a) Sample A (b) Samples B1, B2 and B3 (c) Samples C1, C2 and C3.

도록 조정한 것인데, 이 값은 서브스트레이트와 poly-Si 게이트의 일함수의 차이가 -1V라고 가정했을 때 게이트 酸化膜의 Q_{ss} 밀도가 $1 \times 10^{11} \text{cm}^{-2} \sim 2 \times 10^{11} \text{cm}^{-2}$ 에 해당하는 값이었다. 이때 사용한 V_{FB} 의 식은 다음과 같다.

$$V_{FB} = \phi_s - \frac{Q_{ss}}{C_{ox}} \quad (5)$$

식 (5)에서 ϕ_s 는 서브스트레이트와 poly-Si 게이트의 일함수 차이를 말한다. 그림 3에 보인 계산 결과는 식 (1)로부터 계산한 것이며 기하학적인 變數, F의 계산에 필요한 L_{eff} 는 製作된 素子의 채널의 길이, L을 현미경으로 測定하고 접합의 깊이, x_j 를 lap-and-stain 방법에 의하여 測定한 후 다음 식에 의하여 계산하였다.

$$L_{eff} = L - 2x_j \quad (6)$$

그림 3의 N_{II} 는 표 1의 깊은(deep) 임플래이션의 注射량을 말한다. 그림 3 (b)의 샘플 B1에서는 yield가 낮아 충분한 양의 데이터를 얻을 수 없었으며 그 결과 그림에 표시된 것과 같이 큰 誤差가 발생하였다. 그림 3의 측정 결과들로부터 threshold 전압이 $L_{eff} = 2 \sim 3 \mu\text{m}$ 인 부근에서 급격히 減小하기 시작하는 것과 게이트 酸化膜의 두께가 얇아질수록 그 감소율이 작아짐을 알 수 있다.

표 2는 서브스트레이트에 역방향으로 5V의 바이어스를 걸었을 때 body effect에 의하여 threshold 전압

표 2. 서브스트레이트에 5V의 바이어스를 걸었을 때 body effect에 의한 threshold 전압의 변화

Table 2. Variation of threshold voltages due to body effect when substrate bias is 5 volt.

Sample	L(μm)	Body Effect, ΔV _T (V)	
		Measured	Calculated
A	2.6	0.7	0.57
	3.6	1.5	0.71
	6.1	1.9	1.31
B 2	3.3	2.0	2.28
	4.1	2.7	2.61
	6.2	2.8	2.89
C 1	3.5	1.3	1.45
	4.4	2.3	1.76
	6.7	2.6	2.01

이 변화하는 양을 측정된 결과이다. 표 2의 계산값은 앞에서와 동일한 근사법으로 서브스트레이트 바이어스의 영향을 고려하여 계산한 결과이다. 이 결과들로부터 샘플 B와 샘플 C의 경우에는 임플래이션을 한번 더 해준 이유로 서브스트레이트의 불순물 농도가 높아져서 body effect가 샘플 A보다 커졌음을 알 수 있다. 그런데 주목할 만한 것은 게이트 酸化膜이 얇아서 전하 용량이 큰 샘플 C가 샘플 B보다 body effect

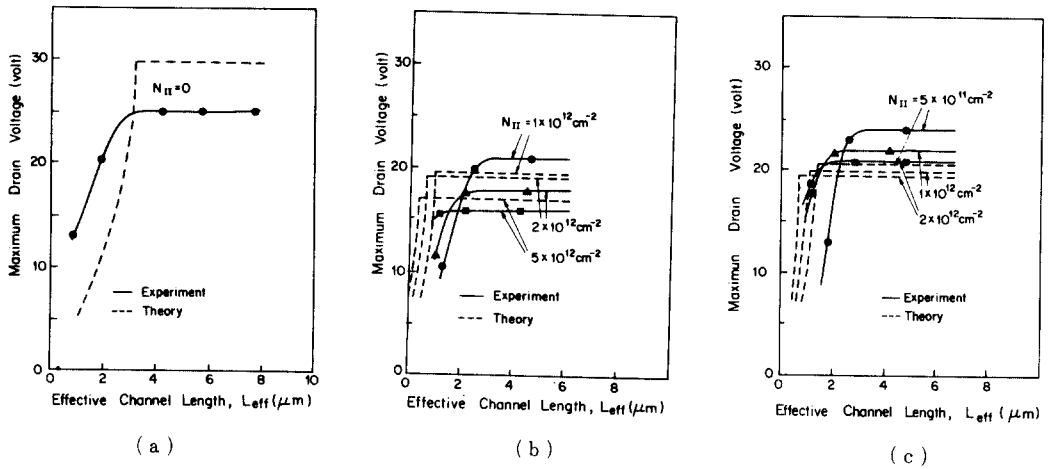


그림 4. 채널의 길이에 따른 최대 드레인 전압의 변화
 (a) 샘플 A (b) 샘플 B1, B2, B3 (c) 샘플 C1, C2, C3

Fig. 4. Maximum drain voltage vs. channel length.
 (a) Sample A (b) Samples B1, B2, B3 (c) Samples C1, C2, C3.

가 작고 채널이 짧을수록 역시 body effect가 작아진다는 것이다.

2. Punchthrough 전압의 測定

Punchthrough 전압은 게이트에 OV를 인가한 상태에서 드레인 電流가 5 μ A가 되는 드레인 전압을 測定했는데 그 결과는 그림 4와 같다. 이 그림에서 채널의 길이에 따라 변화하는 부분은 punchthrough 전압을 나타내며 채널의 길이의 變化에 관계없이 거의 일정한 부분은 avalanche breakdown 전압을 나타낸다. 한편, 이 그림에 표시된 계산 결과는 식(4)에 의하여 구한 punchthrough 전압과 드레인 접합이 one-side abrupt junction이라고 가정하고 아래의 식(7)에 의하여 구한 avalanche breakdown 전압 중에서 작은 값을 나타낸 것이다.

$$V_{AV} = \frac{\epsilon_m \times a}{2} = \frac{\epsilon_s \epsilon_m^2}{2qN_a} \quad (7)$$

식(7)의 ϵ_m 은 서브스트레이트의 불순물 농도에 따라 결정되는 값으로써 avalanche multiplication이 일어나기 시작하는 電界를 표시한다. 식(4)와 식(7)에서 사용한 불순물 농도의 값은 threshold 전압을 계산할 때 사용한 값과 같다.

그림 4의 결과들로부터 채널이 긴 소자에서는 avalanche breakdown이 먼저 일어나고 채널이 짧은 소자에서는 punchthrough가 먼저 일어나며 그 경계는

$L_{eff} = 3 \sim 4 \mu m$ 부근임을 알 수 있다. 또 implantation dosage가 클수록, 즉 서브스트레이트의 불순물 농도가 높을수록 쇼트 채널 素子의 punchthrough 전압이 증가하는 것을 알 수 있다.

3. Hot-Electron 電流의 測定^[7]

Hot-electron 放出에 의해서 게이트 酸化膜에 흐르는 전류는 매우 작기 때문에 이 전류를 직접 측정하기는 매우 어려우나 Gaensslen 등이 提案한 간접적인 방법을 사용하면 상당히 정확하게 측정할 수 있다. 이 측정을 위한 回路圖는 그림(5)와 같이 나타낼 수 있는데, 이 방법은 우선 게이트 캐패시터를 일정한 전압으로 充電시킨 후에 hot electron의 放出에 의해서 게이트 캐패시터가 放電되면서 플로우팅 게이트의 전위가 변하는 것을 측정하므로써 hot electron 전류를 계산하는 방법이다.

본 논문의 實驗 素子들에 대하여 이 방법으로 hot-electron 전류를 측정할 결과 채널의 길이가 너무 길어서 punchthrough나 avalanche breakdown이 일어나지 않는 범위 내에서는 hot electron 전류가 거의 흐르지 않고 있음을 알 수 있었다.

V. 結 論

MOS 트랜지스터의 채널의 길이가 減小함에 따라 threshold 전압과 punchthrough 전압이 減小하는 현상을 게이트 酸化膜의 두께가 100nm인 素子를 제작하

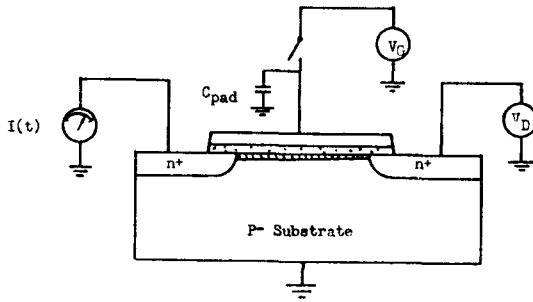


그림 5. Hot-electron 전류의 측정 회로도

Fig. 5. Schematic of hot-electron current measurement circuit.

여 실험적으로 관찰할 수 있었다. 또 double implantation을 하고 게이트 酸化膜의 두께를 각각 50nm 및 70nm로 한 素子들을 製作하여 실험을 한 결과 게이트 酸化膜이 얇을수록 threshold 전압의 減小가 줄어드는 것과 서브스트레이트의 불순물 농도가 높을수록 쇼트 채널 素子の punchthrough 전압이 증가하는 것을 알 수 있었다. 이에 반하여 body effect는 서브스트레이트의 불순물 농도가 증가함에 따라 같이 커지므로 double implantation에 의해서 쇼트 채널 素子를 제작할 경우에는 punchthrough 전압과 body effect를 고려할 때 서브스트레이트의 불순물, 즉 보론의 implantation dosage에 trade-off가 있어야 함을 알 수 있다. 또, MOS 素子の effective 채널의 길이가 약 $2\mu\text{m}$ 까지 줄어도 hot-electron의 放出은 거의 없음을 알 수 있었다.

參 考 文 獻

[1] 이종덕, "NMOS 소자의 제작 및 평가", 전자공학회지, 제 16권 4호, 9월 1979년.
 [2] H.S. Lee, "An analysis of the threshold voltages for short-channel IGFET'S," *Solid-State Electronics*, vol. 16, pp. 1407-1417, 1973.
 [3] J.J. Barnes, K. Shimohigashi, and R.W.

Dutton, "Short-channel MOSFET's in the punchthrough current mode," *IEEE J. Solid-State Circuits*, vol. SC-14, no. 2, pp. 368-375, 1979.
 [4] R.R. Troutman, "Subthreshold design considerations for insulated gate field-effect transistors," *IEEE J. Solid-State Circuits*, vol. SC-9, no. 2, pp. 55-60, 1974.
 [5] P.E. Cottrel, R.R. Troutman, and T.H. Ning, "Hot-electron emission in N-channel IGFET's," *IEEE J. Solid-State Circuits*, vol. SC-14, no. 2, pp.442-455, 1979.
 [6] P.P. Wang and O.S. Spencer, "Threshold voltage characteristics of double-boron-implanted enhancement-mode MOSFET's" *IBM J. Res. Develop.*, pp. 530-538, Nov. 1975.
 [7] F.H. Gaensslen and J.M. Aitken, "Sensitive technique for measuring small MOS gate currents," *IEEE Electron Device Letters*, vol. EDL-1, no. 11, pp. 231-233, Nov. 1980.
 [8] L.D. Yau, "A simple theory to predict the threshold voltage of short-channel IGFET's," *Solid-State Electronics*, vol. 17, pp. 1059-1063, 1974.
 [9] S.M. Sze, *Physics of Semiconductor Devices*, John Wiley & Sons, pp. 366, 1969.
 [10] R.S. Muller and T.I. Kamins, *Device Electronics for Integrated Circuits*, John Wiley & Son, pp. 361, 1977.
 [11] 최연익, 김충기, "실리콘 산화 공정에 대한 실험적 고찰", 전자공학회지, 제 16권 제 4호, 3월 1979년.
 [12] S.M. Sze, *ibid.*, pp. 114.
 [13] R.S. Muller and T.I. Kamins, *ibid.*, pp. 378-381.