

VLSI 時代に 있어서 집적회로 제조상의 문제점들

黃 好 正*

■ 차 례 ■

- 1. Mask
- 2. Lithography
- 3. Etching
- 4. Doping
- 5. Layer
- 6. 결 론
참고문헌

Texas Instrument 의 Jack Kilby 가 25 년전 Silicon-Substrate 에 Transistor 들과 Diode 들의 integration 시키는 방법을 제안한 이후 전기적인 information 을 처리하는데 있어서 더욱 신속하고, 정확하며, 단위 신호처리당 소요되는 power 및 생산비를 줄이고 한 chip 에 보다 많은 전기적인 기능을 바라는 인간의 욕망은 새로운 기술혁명시대를 도래시키고 있다. 지난 10 여년간 집적회로에 의해 단위소자당의 cost 가 1,000 배 가량 감소되었다는 것을 고려한다면 인류 역사상에 있어서 어떤 시대를 막론하고 이와같은 material 이나 product 의 값의 급격한 변화가 이루어졌던 시대는 없었으리라고 생각된다. 이와같은 집적회로는 Silicon 에 의해 주로 제조되며 따라서 석기시대, 청동기시대, 그리고 철기시대에 이어서 현대를 Silicon 시대¹⁾ 라고 하기도 한다. 초 집적회로(VLSI : very large scale integration) 는 하나의 chip 에 약 $10^5 \sim 10^7$ 개의 component 가 integration 되는 회로를 의미한다. 그림 1 은 서기 2050 년 까지의 집적회로의 집적가능성을 나타내고 있다²⁾. 1983 년은 집적도의 면에서 본다면, 아직 complexity 의 초기에 해당된다고 말할 수 있다. 이토록 많은 component 를 한 chip 에 집적시키는 일은 매우 복잡하고 고도의 정밀한 기술을 요하게 되며 다음과 같은 基本的인 과정을 거쳐야 한다.

Logic 작성, Simulation, Layout, Mask 제조,

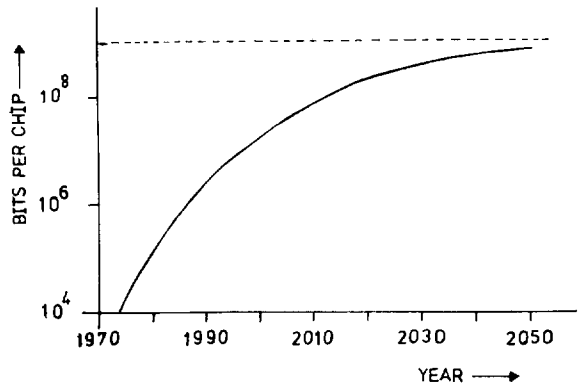


그림 1 . IC-complexity의 개발가능성

Technological process (lithography, etching, doping, layer), Test Logic 작성부터 Layout 까지를 一般的으로 design 이라 하며 Layout 의 data 를 가지고 Mask 제작을 하는 일 부터 Test 까지를 Technology 라 할 수 있다. 여기서는 VLSI 時代に 있어서 IC 製作時 Test 직전 까지의 Technology 上 어떠한 문제점이 대두되며 이와 같은 문제점에 어떻게 대응하여 나가는가에 관한 것을 論하려고 한다.

1 Mask

Mask 는 보통 10x 의 크기인 reticle 이 만들어져서 다음 1/10 로 축소가 되며 동시에 step-and re-

*正會員 : 中央大 工大 電子工學科 助教授 · 工博

peat 된 1 × master Mask 가 만들어 진다. 이때 Mask 의 quality 를 좌우하는 중요한 parameter 는 결함밀도 (defect density) 및 structure 의 최소크기 (critical dimension minimum) 이다. 결함밀도의 주된 원인은 Mask substrate 인 glas 위에 Cr 층이나 Cr 층 위에 석워지게되는 resist (photo resist 혹은 electron beam resist) 의 흠에 기인된다. 따라서 균일하며 良質의 Cr 층 형성이나 resist 의 개발은 sub-micron 時代에 있어서 필연적인 과제 中의 하나로 되어있다. 높은 집적度 및 high speed 회로를 爲해 필요한 dimension 의 축소는 Mask 質을 좌우하는 또 하나의 parameter 가 되는 것이다.

다음표는 이와 같은 최소크기를 나타내는 1980 년의 line width 분포 및 1985년의 추정분포를 나타내고 있다.³⁾

AN ESTIMATE OF CURRENT PRODUCTION LINEWIDTHS AND THE TREND TO 1985.

LINEWIDTHS	1980	1985
ABOVE 10 μm	10 %	— %
5—10 μm	30 %	5 %
2—5 μm	40 %	30 %
1—2 μm	15 %	50 %
< 1 μm	5 %	15 %
	100 %	100 %

현재 대부분의 industry 에서 제조되는 IC 의 minimal line width 는 2 ~ 5 μm 임을 이표를 通하여 알 수 있다. 10x reticle 의 製作時 사용되는 것 중 deep-UV pattern generator 는 그 속도가 (약 50h / reticle) 느릴 뿐 아니라 1 ~ 2 μm 정도의 정확도로 인해 submicron 時代에는 부적당한 것으로 생각되며 반면 Electron-beam writer 는 속도 (약 40min / reticle) 및 정확도에 있어서 submicron structure 에 적합한 것으로 보아지고 있다.

E-beam writer 로 만들어진 10 × reticle 을 deep-UV 로 projection 하여 step-and-repeat 를 함으로 많은 chip 의 배열로 이루어진 하나의 master Mask 를 얻게 된다. 이때 Mask 용 glas 가 놓여 있는 desk 의 x-y 축의 조정 차체에서 오차가 많이 생기므로 E-beam 을 직접 Mask 에 1 × 1 로 쓰는 방법이 대두되고 있는데 여기서 문제되는 것은 그 속도를 증가 시키는 방법이다. 이와 같은 E-beam writer 로 1 × Mask 를 제작 할 경우 1 μm 이하의

VLSI 가 요구하는 resolution 을 얻을 수 있으리라고 본다.

2 Lithography

Lithography 란 wafer 의 감광물질 (resist) 에 Mask 의 structure 를 옮기는 일종의 사진술을 의미한다. 그림 2 는 lithography 의 한 방법인 photolithography 를 나타내고 있다. resist 를 감광시키는 source 에 따라서

- photolithography
- electron beam lithography
- x-ray lithography
- ion lithography

등으로 대별할 수 있다. photolithography 에 사용되는 source 는 deep-UV ($\lambda < 0.35 \mu m$) 이며 빛의 회절효과 때문에 이와 같은 파장의 영역에서 최소선의 크기는 최근 개발된 Silicon-Repeater⁴⁾ 를 이용하여도 1 μm 이하로 감소시킬 수 없다. E-beam lithography 는 앞절의 Mask 제작시에 언급된 것과 같은 E-beam 이 resist 를 감광시키는 source 로 사용되며 이때 Mask 없이 computer 에 의해 E-beam 이 제어된다. E-beam 의 직경은 보통 0.1 μm 이하므로 이와 같은 것을 이용하여 1 μm 이하의 최소크기를 형성시킬 수 있으나 한 wafer 의 lithography 에 약 30분 이상의 시간이 소요되므로 chip 의 mass-p-

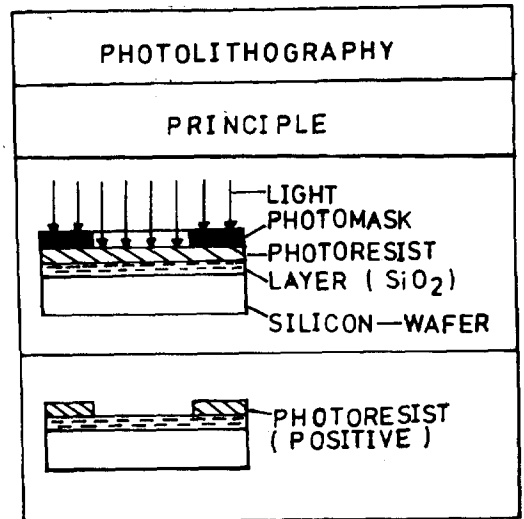


그림 2. Photolithography 의 원리

roduction 에는 부적당하다. 최근 Schaped beam machine⁵⁾ 이라는 새로운 E-beam lithography 가 개발되었으며 여기서는 하나의 모양 (예를 들면 doping 시킬 부분의 직사각형 등...)에 해당하는 E-beam의 pattern 이 형성되어 resist 를 감광시키는 방법이다. 속도는 증가되어 단위시간당 약 22~29 개의 wafer 를 처리할 수 있다. 이와 같은 것은 어디까지나 전 wafer 를 한번의 E-beam projection 으로 감광시키는 것이 아니고 부분적인 감광을 연속하여 한 wafer 를 전부 감광시키는 것이므로 자연 작업시간이 길어지게 된다. 보다더 고무적인 E-beam lithography 의 방법은 소위 Electron Image Projection⁶⁾ 이다. 여기서는 Mask 가 photocathode 로 되어 여기에 UV 가 projection 되면 Mask 로 부터 photoelectron 이 방출되어 약 20 KV 에 의해 가속되어 silicon wafer 의 resist 를 감광시키는 방법이다. 아직 실용화 단계는 아니지만 이 방법을 사용하면 UV-lithography 에 비하여 속도에 있어서도 결코 뒤지지 않으면서 정교한 submicrometer resist 감광을 시킬 수 있게 될 것이다.

X-ray는 0.005~0.008 μm 의 짧은 파장을 가지고 있기 때문에 1~0.1 μm 의 line width (최소크기)를 형성시킬 경우 회절현상을 무시할 수 있다. 이와 같은 X-ray 를 이용한 lithography 는 다음과 같은 장점을 가지고 있다.

-먼지를 투과하므로 먼지에 대하여 예민하지 않다.

-비교적 짧은 projection 시간이 필요(2~3 min per Mask)

이와 같은 장점을 가진 X-ray lithography 에 있어서 아직 해결해야 할 문제점은 다음과 같다.

-비틀림이 없이 전체가 균일하고 편편한 얇은 Mask 의 제조

-가격이 적당하며 강도가 충분히 큰 새로운 X-ray source 의 개발

-X-ray 에 예민하고 etching 특성이 좋은 resist 개발

따라서 X-ray lithography 의 연구는 약한 X-ray 에 예민한 resist 개발 및 강한 강도의 X-ray source 를 경제적인 가격으로 생산하는 두방향에 중점이 주어져 진행되고 있다. 강한 강도의 X-ray source 는 입자가속장치의 synchrotron 에서 나오는 X-ray 를 주로 대상으로 하여 연구중이며 시설비가 너무 많고 규모가 커서 (예, Bessy, 직경 20m) 반도체 산업체의 lithography 용으로 부적당하다. 최근

연구되고 있는 compact synchrotron⁷⁾ 을 사용 할 경우 직경이 약 1.3m로 줄어들며 생산비는 약 200만 \$ 정도 되리라한다. 하나의 compact synchrotron 을 이용하여 lithography station 을 5개정도 운용할 수 있기 때문에 단위 station 당의 시설투자 비율은 음극선 Tube X-ray 보다 더 경제적이라고 볼 수 있다. 이론 및 실험적인 단계를 거쳐 proto-type 생산을 착수하고 있다.

Ion-lithography란 빛이나 E-beam 대신에 ion 을 주사하여 resist 를 감광시키는 방법을 말한다. E-beam lithography 경우 resist 에 주입되는 electron 의 산란과 또 substrate (resist 밑에 놓여 있는 물질)에서 一次 E-beam에 의해 발생하는 二次 electron 의 산란에 의해 원하는 pattern 의 contrast 가 흐려질 수 있다. 이와 같은 현상은 X-ray 에서도 다소 나타나는 결점이다. 이에 반하여 ion 은 resist에서의 산란이 미소하고 二次 전자의 energy가 적어 산란현상이 무시될 수 있으므로⁸⁾ 미래의 초집적회로를 위한 lithography 로 가장 유력시 되고 있다. 이와, 같은 ion 을 이용하여 resist 를 감광시키는 방법은 IFT, Hughes Research Lab 및 Bell Lab^{9),10)} 등에서 집중적으로 연구되고 있다. Ion lithography는 다른 lithography에서는 행할수 없는 doping 시키고자하는 물질을 직접 implantation 시킬 수 있는 장점을 또한 가지고 있다.¹¹⁾ 이렇게 되면 Mask 제작 자체가 필요없게 되며 technology 상 획기적인 전환점이 마련되는 것이라고 생각된다.

③ Etching

Lithography 다음으로 이어지는 technological Process는 etching이며 이것을 통하여 resist로 보호되지 않은 SiO_2 , Si_3N_4 , Al_2O_3 혹은 Metal 등의 부분이 제거되게 된다. Etching은 처음엔 화학용액에서의 wet etching이 사용되었으나 이 wet etching은 等方向性이므로 수직과 수평 두 방향으로 같은 속도의 etching 이 나타나서 VLSI 시대의 line width 가 작은 device etching엔 부적당하다. 따라서 方向性을 가진 etching 방법이 필요하게 되며 여기에 적합한 것은 plasma-및 Ion-etching 이다. Plasma란 Ion, 자유전자 그리고 자유기 등을 가진 강한 반응을 일으킬 수 있는 입자들로써 이온화된 gas를 의미한다. 이와 같은 것을 이용하여 etching시키는 방법이 바로 Plasma etching인 것이다. Plasma는 etching 뿐 아니라 photoresist를 제거시키는 소위

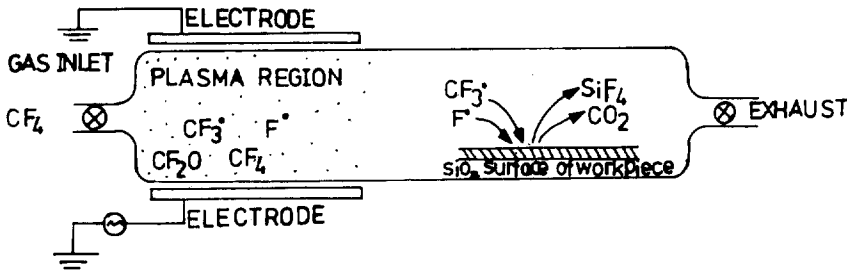


그림 3 Plasma etching 의 모양

Stripping에 사용되기도 한다. 그림 3은 Plasma etching의 일반적인 모양을 나타내고 있다¹²⁾ CF₄ gas가 rf-reactor에서 Plasma가 되어 CF₃•, F• 등의 자유基로 되어 이것이 SiO₂에 작용하여 SiO₂를 etching시키는 모양이다.

이와 같은 Plasma etching은 다음과 같은 利點이 있다.

- 반응 gas가 wet etching에 사용되는 화학물질보다 경제적이다.
- 정교한 structure, 미소한 undercutting (resist 아래의 lateral로 생겨나는 etching)
- 연속적인 etching 및 stripping이 한 기계 내에서 가능하므로 wafer의 삽입 및 추출 단계가 감소되어 wafer 손상의 감소.

Plasma etching에서의 문제점은 etching의 均一度이다. Plasma의 화학반응은 당연히 온도에 관계되며 따라서 wafer 전체의 부분적인 온도 차이라든지 연속적 etching에 있어서 출발점의 온도차 등에 의해서 균일도의 문제가 생겨나는 것이다. 해결 방법은 불활성 기체를 먼저 plasma화 하여 온도를 일정하게 하고 난 뒤 원하는 gas를 사용하는 plasma etching이라든지, plasma의 압력을 0.1 torr 이하로 한다든지 등등¹³⁾이 있으나, plasma 압력이 1 torr 정도 되어야 보호막(예, resist)아래로 etching되는 undercutting을 방지할 수 있으므로 실제 undercutting 일으키지 않고 균일도를 개선하는 방법은 아직 해결해야 할 문제로 남아있다.

Plasma etching 다음으로 또 중요한 dry etching은 ion etching이다. Ion etching이란 높은 energy의 ion이 etching 시키고저하는 물질에 bombarded 되어 etching 되는 현상을 말한다. Ion etching은 크게 두가지로 분류할 수 있는데 plasma 속에서 ion beam이 생성되어 etching을 시키는 소위 ion beam

milling이 있고 etching 시킬 물질을 cathode에 놓고 rf-주파수로 gas atom을 이온화하여 plasma로 만들어 ion이 cathode 주위에 나타나는 강한 電界에 의해 substrate에 bombard 되는 sputter-etching이 있다. Ion etching時 화학적 활성 gas 예를 들면 O₂를 넣으면 쉽게 산화되는 금속(Ti, Cr, Al등)에서는 산화막으로 인해 etching 속도가 느려져서 resist 대신에 이와 같은 금속을 보호막으로 사용하면 Au, Pt 등의 etching도 할 수 있다^{13)~16)}. Ion etching을 사용할때 나타나는 이점들은 다음과 같다.

- 물리적 ion 충돌현상은 화학적 etching보다 더욱 균일한 etching
- undercutting이 거의 생기지 않아 작은 line width(submicron)의 etching이 가능
- resist에 대해 화학반응을 일으키지 않는다.

이와 같은 장점들에 반하여 다음과 같은 단점들이 나타난다.

- resist가 ion beam에 의해 가열되어 제거하기 어렵다.
- etching된 물질의 재침적(redeposition)때문에 특히 metalization의 etching때 단락 및 leakage path가 많이 나타난다.
- 경사면을 이룬 etching이 photoresist에서 발생하여 etching 시킬 물질에 까지 영향을 미쳐서 lateral로 向한 etching된 line width가 넓어짐
- electronic damage가 발생

경사면을 이룬(전형적인 각도 ≈ 60°) lateral etching은 photoresist의 두께를 etching시킬것의 약 2~3배로 한다든지 ionbeam에 의한 damage는 화학적 etching을 잠깐 추가하여 행함으로 없어질 수 있으나 아직 reproducible한 이상적인 etching을 행하기가 어렵다. 따라서 electronic damage, 경사면 et

ching 및 resist의 제거들에 관한 적극적인 연구활동이 행하여져야만 ion beam etching이 production line에서 사용되어질 수 있다고 본다.

4 Doping

Semiconductor의 전기적 특성을 원하는 것으로 바꾸기 위하여 외부 불순물을 주입시키는 것을 doping이라고 한다. Doping의 방법 중에서 가장 널리 쓰이는 열확산(thermal diffusion)은 높은 온도에서 불순물의 운동 energy를 증가시키고 semiconductor의 atom의 열 운동을 증가시켜 불순물의 확산이 semico-

nductor 内로 이루어지게 하는 것이다. 이와 같은 thermal diffusion은 semiconductor 표면으로부터 내부로만 확산되어 가는 것이 아니고 그림 4와 같이 lateral로도 확산된다.

뿐만 아니라 고온에서 장시간 동안 process가 행하여 지기 때문에 wafer의 mechanical 한 stress 및 atom 격차 구조상의 손상이 일어날 수 있고 반응로의 벽으로부터 불순물이 침투되기 쉽다. Doping 시킨 불순물의 profile 역시 이론상의 계산값과는 오차가 많이 나게 되는데 그 주된 원인은 불순물의 확산 계수가 온도, 기존 불순물 농도, crystal의 atom 격차 구조의 손상 등으로부터 영향을 받을 뿐 아니라¹⁷⁾ 먼저 doping 시킨 물질의 profile이 나중에 doping 때에 열적 확산을 일으켜서 profile 상의 변화가 생겨나기 때문이다. Thermal diffusion에서는 한 wafer 全面에 균일한 doping profile을 얻기 힘들며 반응로에서 wafer의 위치에 따라 다른 profile을 나타낼 뿐 아니라 불순물 gas 통을 새것으로 바꾸면 전과같은 doping 조건일때도 전혀 다른 결과가 나타날 수가 있다.

이상과 같은 원인들 때문에 thermal diffusion은 VLSI technology 로써는 부적당 하다고 본다. lateral의 doping effect를 감소시킬 수 있는 방법은 Ion-implantation이다. 그림 5는 Ion-implanter의 principle을 나타내고 있다. Ion source에

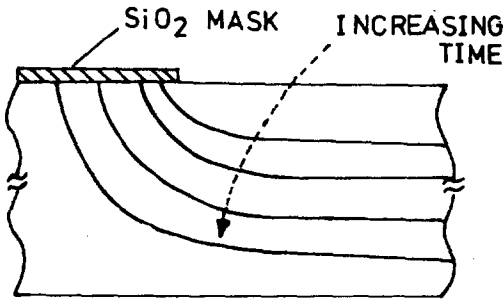


그림 4 열확산의 시간에 따른 수직 및 수평의 확산형태.

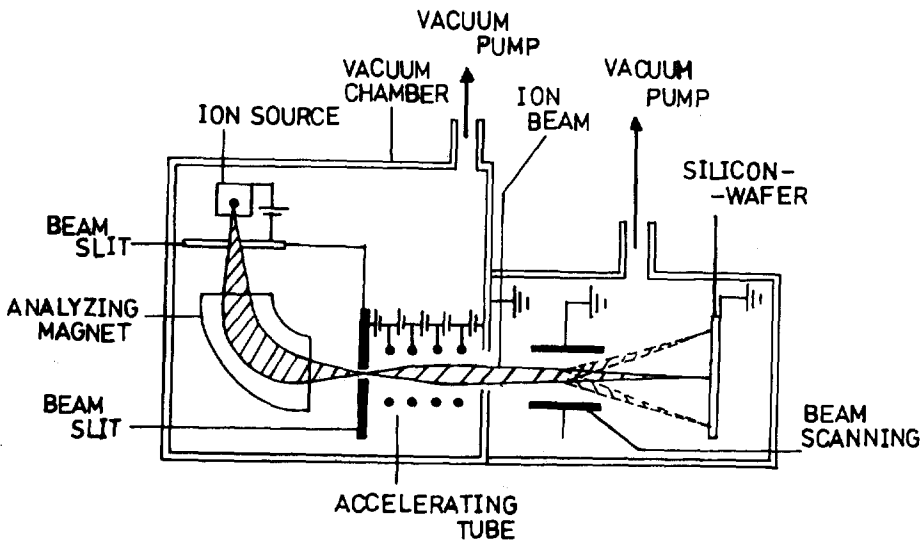


그림 5. Pre-analysis ion-implanter

서 gas 형태의 doping 시킬 물질이 ion 화 되어 분해 마그네트에서 각 물질이 무게에 따라 편향되며 원하는 물질만 Beam slit 를 통하여 나오게 된다. 이것이 가속장치를 통하여 silicon-wafer 에 주사되게 된다. System에 따라서 분해 마그네트가 가속장치 뒤에 있는(post-analysis)경우도 있고 또 앞의 System에 다시 가속장치를 하나더 삽입하는 경우(pre-analysis with post-acceleration)도 있다¹⁸⁾ 정확한 ion 의 量을 doping 시키고자 하는 위치에 implantation 시키기 위해선 ion 의 가속에 의해 생성되는 energy 와 ion 의 흐르는 量이 분리되어 control 되어야 하는데 그림 5의 pre-analysis system이 여기에 적합하다.

Ion Implantation 에서는 lateral effect 가 거의 나타나지 않고 0.1 μ m의 정확도로 doping profile 이 control 될 수 있다. 뿐만 아니라 ion 흐름의 integration 으로 reproducible 하고 정확한 doping concentration 을 얻을 수 있다(예, 저항체 $\pm 1\%$).

Ion 이 주사된 곳에는 crystal 의 격자손상이 나타나게 되는데 이것을 치유하기 위해서 높은 온도(700 $^{\circ}$ C \sim 900 $^{\circ}$ C)에서 가열해야 한다. Amorphous 상태에서의 implantation 은 비교적 낮은 온도(500 $^{\circ}$ C \sim 650 $^{\circ}$ C)에서도 치유(annealing)가 가능하다.

이와 같은 온도에서 약 30분 \sim 1시간 정도 annealing 을 시키면 profile 에 변화가 생길 수 있기 때문에 지금은 Laser 를 잠깐 주사하는 Laser-Annealing¹⁹⁾⁻²¹⁾ 이 연구 중이다. Implantation 의 균일도 control 을 위한 Ion dose Sampling 에 관한 연구들도 계속되고 있다. Ion beam의 direct writing (2절참조)에 의한 doping 의 연구도 활발하다.

5 Layer

VLSI-process technology 에는 다음과 같은 많은 층(layer)들이 사용된다.

- 절연층(예, SiO₂, Si₃N₄)
- 단결정 Silicon 층(예, Epitaxial layer)
- 소자의 연결을 위한 도체층(예, poly-Si, Silicide, Al 등)

Structure 의 극소형화는 doping 시킨 Atom 들이 |와 같은 층의 형성때 수직 혹은 수평 방향으로 다 확산되어 가는 것을 방지하기 위하여 짧은 process 시간과 낮은 온도를 요구할 뿐 아니라 Isolation 층에서는 전기적 파괴에 대한 높은 안전도를, 단결정 층에서는 결정격자의 주기적인 배열, 그리고

도체 층에서는 良質의 전기전도특성을 아울러 요구하고 있다. 절연 층으로는 주로 열적생성을 시킨 SiO₂ 가 사용되고 있다. 이것은 고온(>1000 $^{\circ}$ C)에서의 process 이므로 VLSI 에 적합하지 않고 SiO₂ 층의 균일도 및 질이 만족할 정도가 아니며 process 의 control 이 어렵다. LPCVD (low pressure chemical vapor deposition)로 이러한 단점을 제거하고 낮은 온도(약 300 $^{\circ}$ C \sim 650 $^{\circ}$ C)에서 균일한, 불순물이 들어있지 않는, 좋은 질의 isolation 을 형성시킬 수 있다.

Si₃N₄ 는 SiO₂ 보다 보호층으로 더욱 좋은 효과를 나타내므로 LPCVD에 의한 Si₃N₄ 제조방법에 관한 많은 연구가 진행되고 있다.²²⁾

단결정(single) 및 다결정(poly) Silicon 층들은 원래 1000 $^{\circ}$ C 이상에서 gas 상태의 반응을 통하여 얻어졌다. VLSI-process를 위해 150 $^{\circ}$ C \sim 200 $^{\circ}$ C 정도의 LPCVD²²⁾ system 이 소개되고 있으며 문제시 되는 것은 성장속도, 기계적인 stress, 균일성 등이다.

도체층은 주로 Al의 열적 증착에 의해 이루어지나 작은 line width에서 절연층과 접촉될 substrate의 표면과의 사이에 생성되는 step을 cover 하는 데는 증착보다는 sputtering 이 좋은 특성을 나타낸다.²³⁾ 잘 녹지않는 순수한 금속 뿐 아니라 Silicide (예: TiSi₂, MoSi₂, WSi₂……) 등도 sputter 시킬 수 있는 장점을 가지고 있기 때문에 강하게 doping된 poly-Si(표면저항 R_s \approx 20 \sim 50 Ω/\square) 보다 같은 두께에서 표면저항이 낮고 step cover가 잘 되는 도체층을 sputtering을 통하여 생성시킬 수 있다. 하나의 문제점은 역시 mechanical stress이다. CVD를 이용한 텅크스텐 Silicide들의 도체층도 낮은 표면저항(R_s \approx 0.25 Ω/\square)을 나타내고 있다.²⁴⁾ Silicide들은 비저항이 낮을 뿐 아니라 높은 용융점을 가지고 있고 산화층을 형성하여 스스로 보호될 수 있으므로 VLSI 도체재료로 관심이 증가되고 있는 물질이다.

6. 결 론

VLSI가 요구하는 Technology 상의 개발동향 및 문제점은 Mask 제작에 있어서 좋은 질의 resist 및 Cr 층의 개발과 electron beam writer로 1 \times Mask 제작을 효율적으로 할 수 있도록 속도를 증가시켜야 한다. Electron Image Projection이나 X-

rag lithography, lon - lithography 모두가 VLSI 에 적합한 것 들이나 가장 유력한 미래의 lithography로는 lon lithography를 들 수 있다. Etching 방법으로 화학용액에 의한 etching 보다는 plasma 혹은 lon - etching 등의 dry etching 이 필연적이다. Etching의 균일도 개선, electronic damage의 치유 redeposition의 제거 및 resist 제거의 용이점 등이 아직 개발되어야 하는 과제로 남아있다. Doping은 열 확산에 의한 것 보다는 lon Implantation을 이용해야 하며 격자손상의 Annealing에 관한 연구가 활발하게 진행되고 있으며 lon beam의 direct writing은 doping 뿐 아니라 Mask, lithography 등의 과정이 생략될 수 있으므로 Technology상의 획기적인 혁명을 가져 오리라 생각된다. 절연층, 단결정 혹은 다결정 Silicon 층, 도체층의 형성은 열적생성, 열 증착법 등에서 sputtering이나 LPCVD로 전환되고 있으며 아직 균일도 개선, 기계적인 stress 해소 및 정확한 성장속도의 control등에서 더욱 많은 연구 개발이 필요하다고 본다.

참 고 문 헌

- 1) Grssintegration Technologie-Entwurf-Systeme, B. Hoefflinger, Oldenburg Verlag Muenchen, Wien, 1978
- 2) G. Klasche; Bauelemente: Noch keine Grenzen in Sicht, Elektronik 13, 1982. 7
- 3) P. S. Burggraf; Photomask Making: Issues vs. Equipment, Semiconductor international, 1981. 3
- 4) H. Fehling; Neue fotolithografische Verfahren fuer kleine Strukturen. Direkts Step-und Repeatverfahren auf der Siliziumscheibe(Silicon-Repeater), BMFT-Forschungsbericht T81-019
- 5) R. Moore, et al.; Electron beam writers next -generation IC Patterns, Electronics, 1981. 11
- 6) R. Ward; Electron beam Projector suits for Submicrometer Race, Electronics, 1981. 11
- 7) 개인적인 Source ; 독일 Muenchen 공대 IC 연구소, Physic department, Muenchen Fraunhofer의 반도체연구소(IFT)
- 8) W. L. Broun ; T. Venkatesan, A. Wagner, Ion Beam Lithography, Solid State Technology, 1981. 8
- 9) D. B. Rensch, R. L. Seliger, G. Csosny, R. D. Olney, H. L. Stover ; J. Vac. Sci. Technol., Vol. 16, 1979
- 10) 개인적 Source, 독일 Fraunhofer 반도체 연구소
- 11) H. Vollmer ; Steuerung einer Feinfokus-Implantations anlage zur Direktimplantation und Ionenlithographie, Diplomarbeit, TU-Munchen, 1980
- 12) International Plasma Corporation, Fundamentals of Plasma-Etching, 1976
- 13) R. L. Bersin ; A Survey of Plasma-Etching Processes, Solid State Technology, 1976. 5
- 14) P. G. Gloersen, Ion-beam etching, J. Vac. Sci, Technol., Vol. 12, No. 1, 1975. 1/2
- 15) C. M. Melliar - Smith ; Ion etching for pattern delineation, J. Vac. Sci. Technol., Vol. 13, No. 5, 1976. 9110
- 16) L. Mader, H. Hoepfner ; Ion Beam Etching of Silicon Dioxide on Silicon, J. Electrochem. Soc.: Solid-State Science and Technology, 1976. 2
- 17) I. Ruge ; Halbleiter- Technologie, Springer - Verlag, 1975
- 18) H. Ryssel, H. Glawisching ; Ion Implantation Technigues, Springer Series in Electrophysics 10, Springer - Verlag, 1982
- 19) M. Takai, S. C. Tsou, et al.; Nd: YAG Laser Annealing of Gallium - Implanted Silicon, App. Phys., 24, 1981
- 20) P. H. Tsien, S. C. Tsou, et al. ; Annealing of Boron - Implanted Silicon Using a CW CO₂ Laser, Phys. Status Solichi 63, 1981
- 21) J. R. Ready, B. T. McClure ; Laser Annealing, Semiconductor international, 1981. 11
- 22) W. Brow, A. Kamins ; T. J. : Analysis of LPCVD System Parameters for Polysilicon, Silicon Nitride and Silicon Dioxide Deposition, Solid State Technology, 1979, 7
- 23) V. E. Hoffmann, H. M. Chang ; Individual Wafer Metallization utilizing loud- locked, close-coupled conical Magnetron Sputtering, Solid State Technology, 1981. 2
- 24) N. E. Miller, I. Beinglass ; Hot- Wall CVD Tungsten for VLSI, Solid State Technology, 1980. 12