最近日本의 LSI技術動向

<上>

堀崎修宏
〈日本 電電公社 技術局技術計劃調査役〉

1. LSI의 概要

1-1 LSI란

半導體集積回路(IC : Integreted Circuit)는 1959年 美國에서 發表된 이래 高集積, 高性能化를 指向하여 文字 그대로 日就月長의 發展을 거듭하였다.

LSI(Large Scale Integrated Circuit)란 IC가운데서 素子數가 1,000개 이상인 것, 또는 게트數가 100以上인 것으로 定義되어 있으며 그 이하의 것은 素子數에 따라 MSI(Medium Scale Integrated Circuit) 및 SSI(Small Scale Integrated Circuit)로 分類되고 있다.

그러나 이러한 定義는 그저 便宜上 나타내는 것이고 LSI보다도 더 규모가 크고 集積度가 높아지면 限界는 애매해지고 超 LSI, VLSI 따위로 불리워진다.

1-2 LSI의 特質

世界 最初의 콤퓨터 "ENICA"는 지금으로부터 36年前인 1947年에 개발되었다. 性能은 當時로서는 0.2ms(加算速度)라는 高速이었으나 그 구성은 眞空管 18,000개로 이루어졌으며 面積은 1,400m², 重量은 30t을 요하는 巨大型이었다.

그것이 오늘날에는 四方 몇 mm의 겨우 몇 g 정도의 실리콘 칩 1個로 바뀌어 性能도 當時의 그것을 훨씬 초월하기에 이르렀다.

이와같은 發展을 가져온 核心技術 그것이 다름 아닌 LSI技術이다. 즉, LSI는 形態는 작아도 거기에 實現되는 機能은 複雜하고 高度하며 部品으로서 性格을 지님과 동시에 사용방법에 따라서는 裝置로서의 機能을 實現하는 것도 可能하다. 이와같은 점이 LSI의 重要한 特質이며 通信機器를 비롯하여 모든 分野에 無限히 應用할 수 있는 原動力이 되고 있는 것이다.

1-3 LSI의 設計 製造

LSI는 數mm 4方의 작은 실리콘 칩에 보다 많은 機能을 集積하고 보다 高性能化한 方向으로 素子, 回路技術, 製造技術등의 여러 面에서 폭 넓은 硏究가 번져나가 있다.

다음은 그림 1에서 보이는 LSI의 設計에서부터 製造에 이르기까지의 흐름에 따라 그 槪略을 살펴 보기로 한다.

1) 裝置의 機能分析과 LSI設計

LSI化 對象의 裝置를 分析하고 LSI化의 範圍 및 LSI의 設計條件(機能, 性能등)을 검토한다.

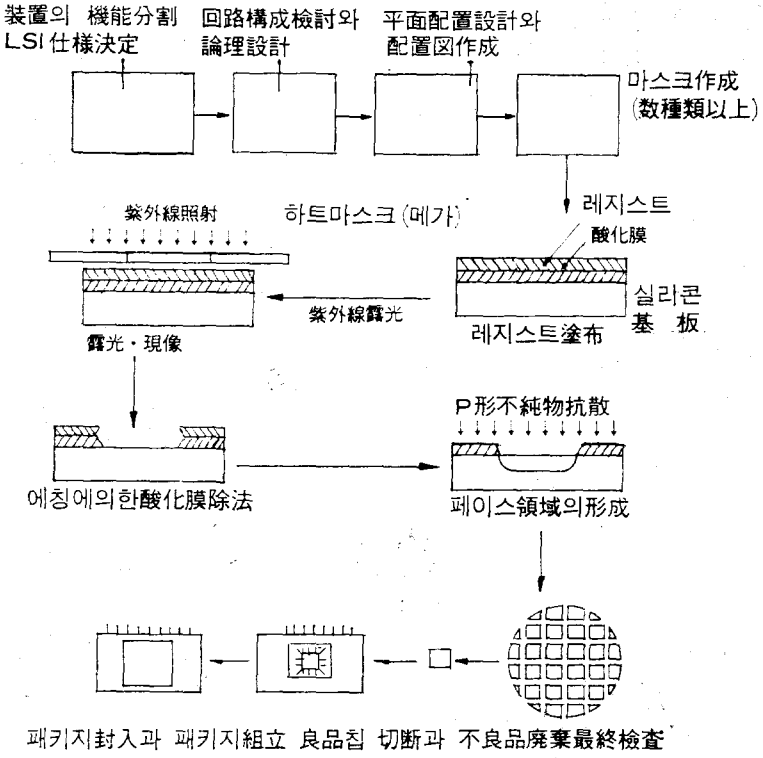
2) 論理設計 및 回路設計

1)에서 얻어진 機能, 性格등의 조건에 따라 LSI의 回路機能을 檢討한다. 우선 要求機能을 實現시키기 위해 論理設計를 하고 必要에 따라 計算機를 사용해서 시뮬레이션에 의해 그 動作을 確認한다.

다시 性能條件에 따라 論理設計로 그린 게트 알맹이의 回路設計를 한다.

3) 回路의 패턴 레이아웃

위에서 設計한 電子回路의 動作을 回路시뮬레이션에 의해 確認함과 동시에 이것을 구성하는 各素子의 실리콘 칩 위에서의 레이아웃을 검토



〈그림 1〉 LSI設計製造工程圖

한다.

여기서는 集積度 向上을 위해 各素子의 配列 및 相互의 結線을 最適化하고 素子마다의 面積을 되도록 縮少化하는 레이아웃이 요구된다.

4) 마스크原畵의 作成

回路패턴을 실리콘웨퍼上에 옮질하기 위해 原盤이라 할 수 있는 마스크原畵를 作成한다. 이 原畵는 보통 유리 基板上의 크롬薄膜에 그려진다.

5) 웨퍼加工

이어 마스크 原畵에 그려진 回路패턴을 感光劑로 塗布한 高純度의 실리콘 웨퍼上에 寫眞과 같은 方法으로 露光시켜 描畵한다.

LSI의 集積度는 이 工程에서 回路패턴의 線幅에 따라 다시 한層 높일 수가 있다. 하지만 現在의 자외선에 의한 露光으로는 다음에서 設明하는 바와 같은 다시 波長이 짧은 人線이나 電子線으로 할 必要가 있다.

6) LSI 칩의 作成

1개의 실리콘웨퍼上에는 수10개의 LSI칩을 作成할 수가 있다. 위의 作成된 웨퍼는 칩單位로 切斷해서 패키지로 組立하고 配線關리드線의 接續을 하여 하나의 LSI로서 形成한다.

1-4 LSI微細化의 限界

LSI記憶集積度는 이제까지 4年간 10倍의 속도로 증가하여 왔다. 1980年 中盤에는 製造工程에 있어서 微細加工技術의 發展을 背景으로 1메가비트/칩의 高密度 LSI의 出現이 豫想되고 있다.

그러나 이 이상의 LSI集積度에 대해서는 실리콘 不純物密度의 統計的 配線機抵抗, 加工技術 등의 問題로 인해 現時點에서는 대체로 다음과

같을 것으로 推定된다.

○ 論理 LSI : 50~100萬 게트/칩

○ 記憶 LSI : 10~20메카비트/칩

포스트실리콘素子로서 갈륨砒素 및 半導體는 아니지만 조셉슨接合, 素子가 있다.

갈륨砒素는 動作速度에서는 실리콘을 능가할 수 있으나 集積度에서는 실리콘을 上回한다는 것은 困難한 것으로 보인다.

조셉슨接合素子는 실리콘이나 갈륨砒素와는 달리 動作原理에 기초하고 있을 뿐 半導體의 限界를 打破할 可能性을 지니고 있는지의 與否는 아직 研究室水準의 技術에 머물러 있으며 實用化의 展望을 포함하여 금후의 檢討課題라 할 수 있다. 集積度에 관해서는 앞으로 5~10年은 실리콘時代가 계속될 것으로 내다보인다.

1-5 LSI의 開發

LSI의 開發은 電子交換機의 經濟化 등을 目的으로 이미 1965年 경부터 착수하고 있다.

그러나 LSI의 研究로서 組織的인 體制가 갖추어진 것은 1975年에 착수한 第1期 LSI研究 이후의 일이다. 즉, 이 第1期 LSI研究에서는 微細加工技術의 研立과 이에 따른 64킬로비트 MOS記憶의 試作을 重點項目으로 하여 이에 關聯된 基礎技術의 確立을 꾀하였다.

이어서 1978年부터 착수한 第2期 LSI研究에서는 뒤에 말하는 바와 같이 第1期에서 거둔 成果를 積極的으로 會社事業에 導入하기 위해 카스텀化 LSI技術의 確立을 目標로 研究를 거듭하여 世界를 앞서나가는 여러가지 성과를 올렸다.

다시 1981年부터는 카스텀化 LSI設計技術의 確立등 廣範圍한 基礎技術의 確立을 向한 研究를 개시하고 있으며 今後의 성과가 기대되고 있다.

2. LSI의 技術動向

LSI를 實現하는데 필요한 技術로는

① 素子, 回路技術

② 製造技術

③ 設計技術

3개를 들수 있다. 다음에 차례로 動向을 소개키로 한다.

2-1 素子·回路技術

1) MOS系素子

素子·回路技術은 LSI를 構成하는 트란지스터 등의 素子, 혹은 그 素子를 組合한 電氣的으로 接續한 回路를 構하기 위한 技術이며 LSI 가운데는 가장 基本이 되는 技術이다.

素子, 回路技術의 目標는

① 지연시간 消要電力積(Tpd.P)을 줄일 수 있는 것.

② 高集積化와 高歩留가 얻어지는 것 등의 2가지에 있다고 할 수 있다.

①의 Tpd.P는 게트등의 回路素子의 電氣的인 良好性을 간단히 表示하기 위한 評價尺度이며 이 値가 작을수록 성능이 좋은 素子라 할 수 있다.

한쪽을 改善하려면 다른 쪽이 犧牲이 되고 雙方을 同時에 改良하는데는 素子技術의 發達을 필요로 함을 의미한다.

②는 LSI의 코스트에 直接 관계한다.

歩留를 最續的으로 決定하는 것은 製造技術이지만 素子·回路技術도 커다란 影響을 미친다. 歩留를 向上시키기 위해서는 게트當 또는 비트當의 웨퍼占有面積을 작아지는 것과 그리고 製造工程의 單位 簡素化에 結付되는 素子技術이 有利해진다. 最近의 大容量 RAM이나 ROM에서는 冗長構成을 採用함으로써 結果的으로 高歩留를 얻는 技術이 흔히 채용된다.

즉, 冗長構成을 채택하면 칩面積의 增大를 가져오지만 그로 인한 歩留의 低下보다는 冗長構成에 의한 歩留의 向上은 더 이로우며 結果的으로 LSI의 코스트 다운을 가져오는 수가 있다.

즉, 현재의 交換機나 計算機도 能力의 向上을 꾀하기 위해 採用되고 있는 裝置構成技術이 다

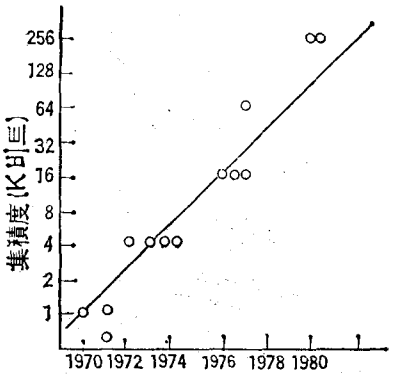
그렇지는 않다 하더라도 LSI의 歩留向上에 이용되기 시작하고 있다.

① 및 ② 모두에 주로 LSI의 素積度의 增大 즉, 규격의 微細化에 의해 同時에 實現될 수 있는 것이 LSI를 여기까지 發展시킨 最大의 要因이라 할 수 있을 것이다.

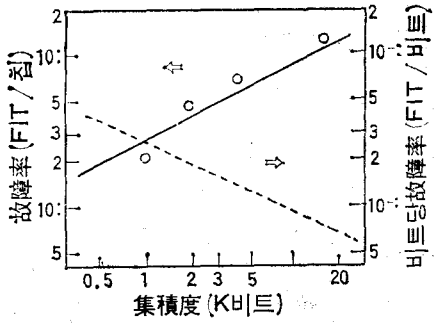
LSI를 構成하는 各素子의 규격 이것은 마스터 패턴上 平面 뿐만이 아니고 이를테면 게트산화막이나 확산층의 길등의 치수를 포함하나 이 치수를1/K로 한다면 앞서 말한 지연시간·消費電子積은 바리폴라系로 $1/K^2$, MOS系로 $1/K^3$~$1/K^4$의 改善이 試圖된다.

또한 同時에 1/K의 치수縮小에 의해 칩 面積이 $1/K^2$로 되며 1웨퍼에서 얻어지는 칩의 개수를 늘린다. 다시 칩面積의 減少는 歩留의 向上을 가져오므로 結果的으로 包質의 칩의 個數는

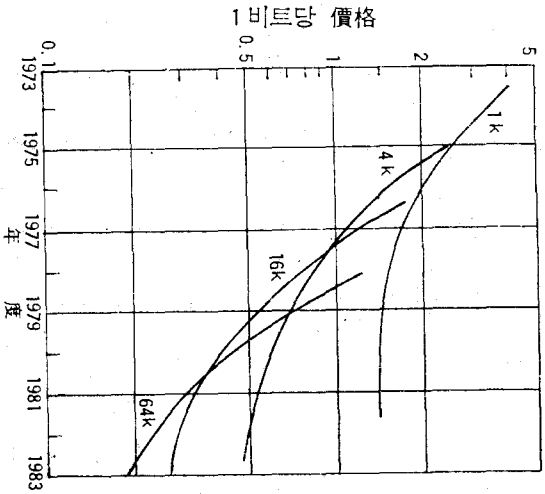
〈그림 2〉 MOS 記憶集積度推移



〈그림 4〉 MOS 記憶의 故障率



〈그림 3〉 MOS 記憶의 비트코스트 推移



K^2倍 이상이 되며 칩 코스트의 절감에 커다란 効果가 생긴다.

이와같이 素子의 微細化는 LSI의 性能向上과 低價格化의 두가지 有利한 點으로 나뉜다.

그림2, 3은 LSI 記憶의 高集積化와 비트코스트의 推移를 나타낸다.

또 그림 4에 나타난 바와 같이 高集積化는 비트當의 故障率의 低下를 가져왔다. 前述한 치수比率例則에서 보면 微細化에 의한 Tpd. P의 前減効果의 意味로는 分明히 바이폴라系素子보다도 MOS系가 有利하다는 것을 알 수 있다.

그래서인지 近來 10年間만큼 LSI關聯의 國際會議에서 發表된 論文에서도 바이폴라 系素子보다도 MOS로 代表되는 유니폴라系素子에 관한 것이 많아지고 있다.

2) 바이폴라系素子

바이폴라系素子는 그 構造上 素子間隔 分離가 필요하다는 것이 그 高集積化를 가로막는 障碍要因의 하나가 되고 있으나 性能面에서는 MOS를 능가하며 IIL(Integrated Injection Logic)은 바이폴라 LSI의 構造와 비교해서 素子相互間에 其用되는 領域을 넓힘으로써 單位回路當의 面積을 작게 한 것이다.

集積度라는 點에서는 MOS LSI의 수준에 한발 닥아서 있으나 相對的으로 MOS LSI의 高速化쪽이 눈부시고 따라서 IIL도 그 發表 當時만큼 迫力을 지금은 찾아볼 수 없다. 하지만 바이폴라 素子技術도 確實한 進步를 보이고 있으며 1980年에는 10K게트를 集積한 바이폴라 LSI가 發表되고 있다.

高速化라는 點에서는 1980年에 電氣會社에 의해 SST(Super Self-align Process Technology)에 의한 액세스타임 2.7ms의 超高速 RAM 및 같은 技術을 사용해서 1981年에 발표한 12K게트의 4LSI 프로세서가 바이폴라 LSI에 관한 世界 最高의 data로 되어 있다.

3) 新素子

現在 主流로 되어 있는 실리콘 LSI보다도 高速으로 보라서 低消費電力性을 갖는 갈리움砒素 IC에 관한 技術이 최근 1,2年사이에 急速히 進展을 보이고 있다. 갈리움砒素는 실리콘의 5倍 이상의 電子多動度를 갖고 있기 때문에 이전보다 高速素子로서 기대되고 있었으나 商品類의 갈리움砒素基板을 얻기가 힘들고 이온注入技術등 LSI化에 不可決한 技術이 不充分한 점등이 문제로 되었다.

그런데 1980年에 약 1,000게트의 LSI試作品이 發表되는 등 뚜렷한 진전을 보여 지금으로서는 가능성의 確認範圍를 넘어 實用化를 射程거리에 두고 研究가 추진되고 있다.

表 1은 LSI(IC)의 諸元을 나타낸다.

2-2 製造技術

LSI의 集積度의 증대는 微細加工을 特徵으로 하는 LSI製造技術의 進步와 보조를 맞추고 있다. 종래의 SSI에서 LSI까지는 미세가공방법으로서 포트링그라피가 사용되어 왔다.

포트링그라피기술로는 현재 機器에의 導入이 진전되어 있는 64K MOS RAM에 적용한 2μm가 微細化의 限界라고 보아 왔으나 그 후의 技術向上에 의해 지금은 1μm까지의 加工이 가능하게 되었으며 現在 가장 重要한 링그타피기술로 되어 있다.

1μm 이하 즉, 수년후에 발표가 예상되는 1메가비트 RAM에는 電子빔 또는 ×線링그라피가 필요하게 될 것이다.

1980年에 電電會社가 발표한 256킬로비트 RAM은 마스크를 사용하지 않는 電子빔의 直接露出에 의해 1μm로 實現되었다. 같은 時期에 日本의 다른 會社의 256킬로비트 RAM에는 1.5μm 줄의 포트링그라피技術이 適用되고 있다.

電子빔에 의한 直接描畵로는 마스크의 作成이 不要하게 되므로 그만큼 LSI開發期間의 短縮이 가능한 등 이제까지의 기술에 없는 특징이 있으며 少量生產時에서의 LSI코스트의 節減이 기대되고 있다. —계 속—