

MOS SC 여파기

이문기*, 박성모**

연세대학교 전자공학과 교수 (工博)*,
한국전자기술연구소 연구원**

I. 머리말

원하는 주파수 특성을 갖는 아날로그 여파기를 작은 면적의 실리콘 칩내에 집적회로화하려는 노력이 계속되고 있다. 집적회로 제작 기술의 발달로 고성능 저가격 모노리틱 OP Amp가 개발되면서 능동 RC 여파기가 등장하여 수동 RLC 여파기를 대신하게 되었다. 이러한 능동 RC 여파기는, 공정 기술상의 제약 때문에 RC값을 정밀하게 조절하기가 힘들어서 완전한 모노리틱 형태로 제작되지 못하고, 개별 부품들이나 하이브리드 집적회로의 형태로 제작되어 사용되고 있다.

최근에는 MOS(metal oxide silicon) LSI (large scale integrated circuit) 제작 기술이 발달하여 MOS 아날로그 회로에 대한 관심이 높아져 가고 있으며, SC (switched capacitor)를 이용하여 완전 집적회로화된 음성 주파수용 여파기를 제작하려는 연구가 활발히 진행되고 있다. 아날로그 sampled 정보 처리 방법을 사용하면 모든 저항을 SC로 대체시킬 수 있고 큰 저항값을 훨씬 작은 면적에 정확하게 제작할 수 있어서 능동 RC 여파기 회로를 SC 여파기 회로로 대체하여 집적회로화 할 수 있다. 또한 MOS LSI 제작 기술을 사용하면 소자들을 고밀도로 제작할 수 있으며, 캐패시터의 비를 정확하게 조절할 수 있고, 매우 이상적인 MOSFET 개폐기를 얻을 수 있고, 양질의 OP Amp도 제작 가능하므로, SC 여파기를 다른 회로들과 함께 한 칩내에 제작할 수 있어서 시스템 전체를 IC화 하는데 크게 기여하게 된다.

이제 SC 여파기 회로를 구성하는 각 부분 회로의 동작원리와 특성을 살펴 보고 원하는 주파수 특성을 갖는 SC 여파기를 구성하는 방법들을 살펴 보기로 한다.

1. SC 저항

샘플드 정보 처리 방법을 사용하여 저항 기능을 갖도록 구성된 SC 회로가 그림 1에 나타나 있다. 초기에 개폐기가 왼쪽 단자에 연결되어 있다면 캐패시터 C는 전압 V_1 까지 충전되고, 개폐기가 오른쪽, 단자로 연결되면 캐패시터는 전압 V_2 로 방전(충전)된다. 이때 V_1 로(에서) 흘러온(간) 전하량은 $Q=C(V_1-V_1)$ 이고 개폐기가 fc 라는 주파수로 개폐된다면 V_1 에서 V_2 로 흐르는 평균 전류는 $C(V_1-V_2)fc$ 가 될 것이므로 이러한 평균 전류를 가지는 회로의 등가저항은

$$R_{\text{eq}} = \frac{1}{C_{fc}} \quad (1)$$

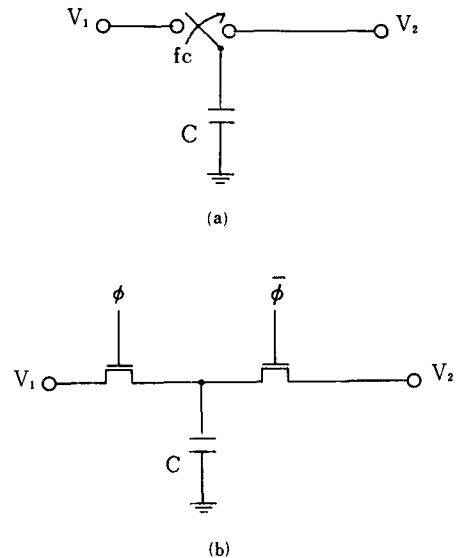


그림 1. (a) 저항기능을 갖는 SC 회로
(b) SC 저항의 MOS 실현

II. SC 여파기 회로 각 부분의 기본 동작 및 특성

로 표시할 수 있다. 주파수 f_c 를 원하는 신호 주파수보다 훨씬 높게 정해 주면 신호의 타임 샘플링 효과를 무시할 수 있고 SC는 저항으로서 작용하게 된다. 이러한 SC 저항은 아주 작은 면적으로 큰 저항 값을 얻을 수 있는데, 예를 들어 1 pf 캐패시터를 100 KHz 의 주파수로 개폐시킨다면 약 0.01 mm^2 의 면적으로 $10\text{ M}\Omega$ 의 저항을 얻을 수 있다.

(확산 저항을 쓰면 1 mm^2 이상의 면적이 요구됨)

이제 그림 2에 나타난 단일 pole 저역 통과 여파기에 대하여 살펴 보기로 하자. RC 여파기의 3dB 주파수 대역폭은

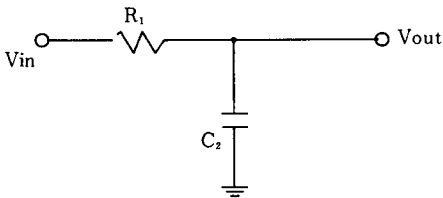
$$W_{3dB}^{RC} = \frac{1}{R_1 C_2} \quad (2)$$

이고, 저항 대신에 SC를 사용한 여파기의 대역폭은 (1) 식을 (2) 식에 대입하면

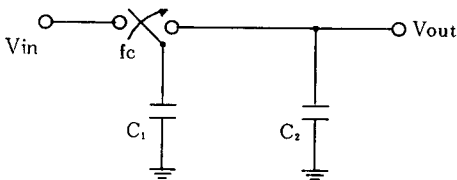
$$W_{3dB}^{SC} = f_c \left(\frac{C_1}{C_2} \right), \quad f_c \gg W_{3dB}^{SC} \quad (3)$$

를 얻는다. (3) 식을 보면 주파수 대역폭 W_{3dB}^{SC} 가 정전용량의 비로 나타나 있어서 MOS LSI 기술로 정확한 실현이 가능함을 알 수 있고, 또 W_{3dB}^{SC} 가 f_c 에 비례하므로 외부에서 가해 주는 주파수에 따라 여파기의 주파수 특성을 프로그램 해줄 수 있음을 알 수 있다.

2. SC 적분기



(a)



(b)

그림 2. (a) 단일 폴 저역 통과 여파기
(b) 회로 (a)의 SC실현

MOS LSI 기술의 발달로 양질의 NMOS, CMOS OP Amp가 개발되어서 SC와 OP Amp를 사용한 능동 SC 여파기의 제작이 가능해졌다. 능동 여파기 회로의 기본이 되는 적분기가 그림 3에 나타나 있다. RC 적분기의 전달함수는

$$H(\omega) = -\frac{1}{j\omega R_1 C_2} \quad (4)$$

이다. SC 적분기의 경우를 살펴 보면, n 번째 클럭주기일때 캐패시터 C_1 이 $V_{in}(nT_c)$ 로 충전되고 다음 순간에 개폐기가 오른쪽 단자로 연결되어 OP Amp를 통하여 방전하였다면 전하의 이동을 다음과 같이 나타낼 수 있다.

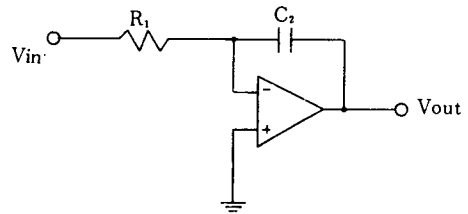
$$C_2 V_{out}(nT_c) = C_2 V_{out}[(n-1)T_c] - C_1 V_{in}[(n-1)T_c] \quad (5)$$

이것에 Z-변환을 취하면 다음과 같은 전달함수를 얻는다.

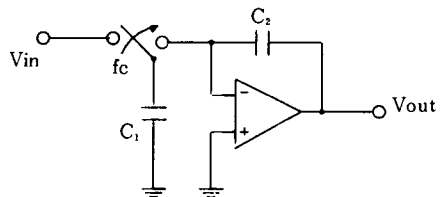
$$H(Z) = -\left(\frac{C_1}{C_2}\right) \frac{Z^{-1}}{1-Z^{-1}} \quad (6)$$

주파수 $f_c \gg \frac{\omega}{2\pi}$ 이라면 $Z = e^{j\omega/\omega_c} \cong 1 + j\omega/\omega_c$ 이므로 이것을 (6)식에 대입하면 SC 적분기의 전달함수가 얻어진다.

$$H(\omega) = H(Z) \Big|_{Z = e^{j\omega/\omega_c}} = H(Z) \Big|_{Z = 1 + e^{j\omega/\omega_c}} = -\frac{f_c C_1}{j\omega C_2}, \quad f_c \gg \frac{\omega}{2\pi} \quad (7)$$



(a)



(b)

그림 3. (a) RC 적분기
(b) SC 적분기

(4)식과 (7)식을 비교해 보면, 주파수 fc 가 원하는 신호 주파수보다 충분히 높고 $C_1 = \frac{1}{fcR_1}$ 일때 두 회로는 같은 전달함수를 가지게 됨을 알 수 있다.

3. SC 차동 적분기와 합산기

여파기 회로를 설계하는 과정에서 두 입력 전압의 차 전압을 적분해 줄 차동 적분기가 자주 요구되는데 그림 4에 간단한 차동적분기가 나타나 있다. RC 차동 적분기의 입력 전압과 출력 전압 사이의 관계를 살펴 보면 다음과 같다.

$$V_{out} = -\left(\frac{1}{R_1C_2}\right) \frac{1}{j\omega} (V_1 - V_2) \quad (8)$$

이와 같은 기능을 가지는 회로를 SC를 사용하여 구성할 경우에는 캐패시터에서 직접 입력의 차동 전압을 얻을 수 있으므로 회로가 보다 간단해진다. 즉 개폐기가 입력 전압에 연결되어 있을 때 캐패시터 C_1 에는 V_1 과 V_2 의 차동전압이 충전되므로, 다음 순간 개폐기가 적분기로 연결되면 출력에는 이 차동전압이 적분되어 나타난다. 주파수 $fc \gg \frac{\omega}{2\pi}$ 이고 $C_1 = \frac{1}{fcR_1}$ 이면 SC 차동 적분기의 입력력 관계식은

$$V_{out} = -fc \left(\frac{C_1}{C_2}\right) \frac{1}{j\omega} (V_1 - V_2) \quad (9)$$

로 표시할 수 있다. 출력전압은 캐패시터 C_1 과 C_2 의 비에 의해서 결정되지만, 직접회로 제조과정에서 생기는 패러시틱(parasitic) 캐패시턴스의 영향을 무시하기 위해서는 C_1 과 C_2 값이 패러시틱 값보다 충분히 커야 한다.

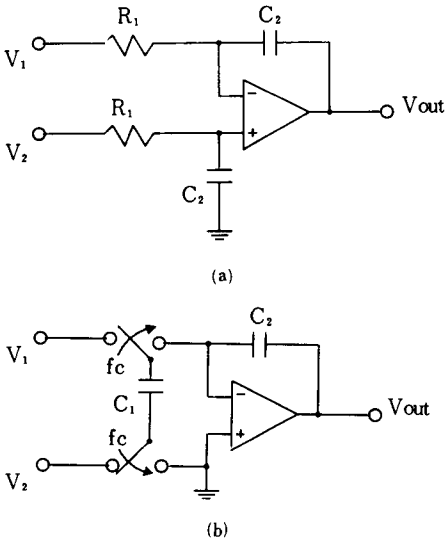


그림 4. (a) RC 차동 적분기
(b) SC 차동 적분기

그림 5에는 SC를 사용하여 입력신호를 적분하고 합산하는 회로가 나타나 있다. 입력신호 V_{in} 은 C_1 , C_2 , OP Amp로 구성된 SC 적분기에 의하여 적분되어 출력에 나타나고, 또 다른 입력신호 V_x 는 C_3 , C_2 , OP Amp에 의하여 일정한 상수가 곱하여져서 출력에 나타나게 되므로 결국 출력신호는 이 두 신호의 합으로 나타낼 수 있다.

$$V_{out} = -\left(\frac{fcC_1}{C_2}\right) \frac{V_{in}}{j\omega} - \frac{C_3}{C_2} V_x, \quad fc \gg \frac{\omega}{2\pi} \quad (10)$$

이러한 기본 회로들을 사용하여 원하는 주파수 특성을 갖는 SC여파기를 구성할 수 있다. 이제 SC 여파기를 MOS LSI 기술로 실제로 제작할 경우에 고려해야 할 몇 가지 사항들을 살펴 보기로 한다.

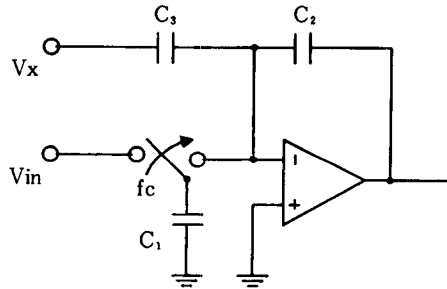


그림 5. SC 적분기/합산기

먼저 MOS 캐패시터, MOSFET 개폐기등을 제작할 때 생기는 패러시틱 캐피턴스를 고려해서 전체 회로의 동작이 이러한 패러시틱 캐피턴스의 영향을 가장 작게 받도록 회로를 설계해야 한다. 또한 각 캐패시터의 값들이 충분히 커서 패러시틱 캐피턴스 값을 무시할 수 있어야 되며, 플로팅된 단자가 없도록 주의해야 한다. 특히 OP Amp의 정입력단자(non-inverting input)에는 항상 정전압이 걸려 있도록 주의해야 회로의 동작이 안정되고 패러시틱 캐피턴스에 의한 영향을 최소화 줄일 수 있다.

SC 저항은 타임 샘플링 방식을 이용하고 있으므로 연속된 동작을 요구하는 회로에는 사용될 수가 없는데, 예를 들면 OP Amp 회로의 안정화를 위한 피드백 통로의 폐회로를 SC만으로 형성시킬 수는 없고, 시간적으로 연속인 피드백 통로가 없을 경우에 SC를 병행하여 사용하면 주파수 fc 에 따라 조절 가능한 특성을 얻을 수 있다.

MOS OP Amp는 바이폴러 OP Amp에 비하여 회로의 집적도는 뛰어나게 우수하지만 전체적인 성능

은 뒤떨어지고 있다. 따라서 전체 회로의 동작이 OP Amp에 의해서 영향을 덜 받도록 회로가 설계되어야 하며, 특히 MOS OP Amp의 주파수 특성이 허용되는 한계 내에서 샘플 주파수 f_c 를 선정해야 한다.

III. SC 여파기의 구성

원하는 주파수 특성을 갖는 SC 여파기 회로를 설계하는데에는 여러 가지 방법이 있으나, 대부분의 경우 공정 기술상의 제약때문에, 기존의 컨티뉴어스 타임 여파기와 같은 주파수 특성을 가지면서도 집적회로화하기 쉬운 SC 여파기를 구성하려는 시도를 하고 있다. 이 중 대표적인 두 가지 방법에 대하여 살펴 보기로 한다.

1 LDI(Lossless Digital Integrator) 변환

S영역과 Z 영역사이의 LDI 변환 관계식은

$$S \leftrightarrow \frac{1}{T_c} \frac{1-Z^{-1}}{Z^{-1/2}} \quad (11)$$

이고 $Z = e^{j\omega T_c}$ 를 (11) 식에 대입하면

$$S = j \frac{2}{T_c} \sin \frac{\omega T_c}{2} \quad (12)$$

를 얻는 데 이것은 허수항만을 가지고 있으므로 로스레스(loss less)한 변환이다.

타임 샘플링 과정이 회로의 동작에 미치는 영향을 분석하기 위하여 그림 3의 SC 적분기를 살펴 보자.

식에서

$$\begin{aligned} H(Z) &= -\left(\frac{C_1}{C_2}\right) \frac{Z^{-1}}{1-Z^{-1}} \\ &= -\left(\frac{C_1}{C_2}\right) \frac{Z^{-1/2}}{1-Z^{-1/2}} \cdot Z^{-1/2} \end{aligned} \quad (13)$$

이것의 주파수 특성을 구해 보면 다음과 같다.

$$\begin{aligned} H(\omega) &= H(Z) \Big|_{z=e^{j\omega T_c}} \\ &= -\left(\frac{C_1}{C_2}\right) \frac{1}{2j \sin \frac{\omega T_c}{2}} \cdot e^{-j\omega T_c/2} \quad (14) \\ &= \left[-\frac{f_c}{j\omega} \left(\frac{C_1}{C_2}\right) \right] \frac{\frac{\omega T_c}{2}}{\sin \frac{\omega T_c}{2}} \cdot e^{-j\omega T_c/2} \end{aligned}$$

(14)식에서 []안은 컨티뉴어스 타임 적분기의 특성이고 나머지 항은 타임 샘플링 과정에서 생긴 오차 성분인데 마지막 부분의 시간 지연 성분에 의한 위상오차가 가장 심각한 문제이다. (13)식에서 보면, 클럭 주기의 반 주기만큼만 시간 지연을 줄이면 LDI 변환과 같은 전달함수를 얻을 수 있고 위상오차도 없어지게 되므로 컨티뉴어스 타임 적분기와 동일한 특성을 얻을 수 있음을 알 수 있다.

실제 회로에서는 연속적으로 연결된 두 개의 SC 적분기에서 클럭주기의 한 주기만큼만 시간 지연이 일어나게 해 주면 되는데 이와 같은 두 적분기의 연결 방법이 그림 6에 나타나 있다. 이것은 사다리꼴 형태의 여파기에 쉽게 적용할 수 있으며, 사다리꼴 형태의 능동 여파기의 전달함수는 부품의 변화에 대한 센시티비티가 매우 낮아서 고차 여파기 회로를 구성하는 데 많이 쓰인다. 그림 7에 RLC 사다리꼴 회로의 한 부분이 나타나 있다. 인덕터를 흐르는 전류는

$$I_1 = \frac{V_2}{SL_1} = \frac{1}{SL_1} (V_1 - V_2) \quad (15)$$

이고 이것을 전압에 관한 관계식으로 나타내 보면

$$V_2' = RI_2 = \frac{R}{SL_2} (V_1 - V_2) \quad (16)$$

이다. 여기서 R은 전류를 전압으로 나타내기 위하여 사용한 scaling 저항으로 1Ω 으로 둘 수 있다. (16)식은

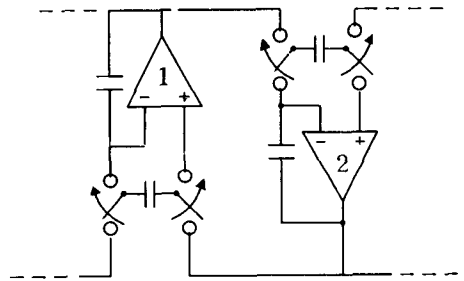


그림 6. 위상 오차를 없애기 위한 두 SC 적분기의 접속도

SC 차동 적분기로 실현시킬 수 있으며 그림 7 (b)의 등가회로에서 캐패시턴스 비는 다음과 같다.

$$\frac{C_{1,2}}{C_u} = \frac{f_c L_2}{\omega_{co}} \quad (17)$$

여기서 ω_{co} 는 여파기의 cut off 주파수이고, f_c 는 샘플링 주파수이며 L_2 는 원하는 주파수 특성을 갖는 RLC 사다리꼴 여파기의 한 인덕턴스 값인데 $\omega_{co} = 1 \text{ rad/sec}$ 로 표준화된 값을 여파기 설계표로부터 쉽게 구할 수 있다.

마찬가지로 캐패시터에 걸리는 전압을 구해보면

$$V_3 = \frac{I_2}{SC_3} = \frac{1}{SC_3} (I_2 - I_1) \quad (18)$$

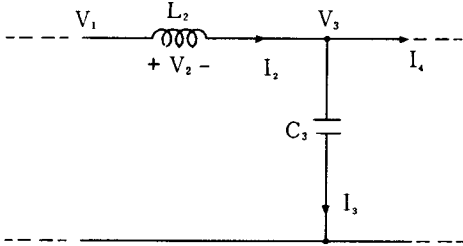
이고, 이것을 전압에 관한 관계식으로 나타내 보면

$$V_3 = \frac{1}{SRC_3} (RI_2 - RI_1) = \frac{1}{SRC_3} (V_2' - V_2') \quad (19)$$

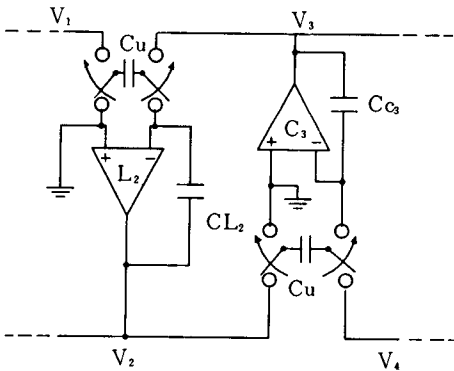
이며, 여기서도 R은 1Ω으로 둘 수 있다. (19)식을 SC 차동 적분기로 실현했을 때 캐패시턴스의 비는

$$\frac{C_{C3}}{C_u} = \frac{f_c C_3}{\omega_{c0}} \quad (20)$$

이므로, 원하는 주파수 특성을 갖는 RLC 사다리꼴 여파기를 설계하면 동일한 특성을 갖는 SC 능동 여파기를 쉽게 구성 할 수 있다.



(a)



(b)

그림 7. (a) RLC 사다리꼴 회로의 한 부분
(b) SC 적분기를 사용한 등가회로

그림 8에 5차 저역 통과 여파기의 설계 예가 나타나 있다. 각 캐패시턴스의 비는 다음과 같으며 SC 차동 적분기들은 위상 오차가 최소가 되도록 접속되었다.

$$\frac{C_{C1}}{C_u} = \frac{f_c C_1}{\omega_{c0}} \quad (21 a)$$

$$\frac{C_{L2}}{C_u} = \frac{f_c L_2}{\omega_{c0}} \quad (21 b)$$

$$\frac{C_{C3}}{C_u} = \frac{f_c C_3}{\omega_{c0}} \quad (21 c)$$

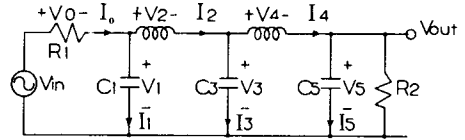
$$\frac{C_{L4}}{C_u} = \frac{f_c L_4}{\omega_{c0}} \quad (21 d)$$

$$\frac{C_{C5}}{C_u} = \frac{f_c C_5}{\omega_{c0}} \quad (21 e)$$

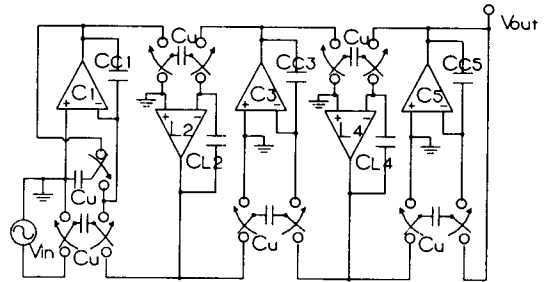
그림을 잘 살펴보면 터미네이션 회로에서 생기는 위상오차는 그대로 남아 있음을 알 수 있는데, 이 오차가 회로의 동작에 미치는 영향을 최소화 하기 위

해서는 샘플링 주파수 fc를 신호의 cut off 주파수보다 훨씬 높게 해줘야 한다.

이것이 LDI 변환을 이용하여 구성한 SC 여파기의 가장 큰 단점이며, 이러한 특성이 SC 여파기의 사용을 음성 주파수 영역내에 제한시키고 있다. 그러나 보다 주파수 특성이 우수한 MOS OP Amp의 개발을 위한 노력과 패러시틱 캐패시턴스의 영향을 덜 받는 회로에 대한 연구가 계속되고 있다.



a)



b)

그림 8. (a) 더블리 터미네이트드 (doubly terminated) RLC 5차 저역 통과 여파기
(b) SC로 실현한 5차 저역 통과 여파기

2. 바이리니어 Z-변환

SC 적분기에서 발생하는 위상 오차를 없애기 위하여 다른 형태의 SC가 연구되었는데, 바이리니어 Z-변환을 이용한 SC 회로가 그림 9에 나타나 있다. 먼저 저항의 경우를 살펴 보자. 시간 $t \leq nT$ 에 저항 R_k 에 흐르는 전하를 $q_k(nT)$ 라 하면, $(n-1)T \leq t \leq nT$ 동안에 저항 R_k 에 흐르는 전하량은 다음과 같이 나타낼 수 있다.

$$q_k(nT) - q_k(nT - T) = \int_{n-1T}^{nT} i_k(t) dt$$

$$= \frac{1}{R_k} \int_{n-1T}^{nT} v_k(t) dt \quad (22)$$

이것을 사다리꼴 근사법으로 적분하면

$$q_k(nT) - q_k(nT - T) = \frac{T}{2R_k} [v_k(nT - T) + v_k(nT)]$$

으로 표시할 수 있고, 이것을 Z-변환하면

$$Q_k(Z) = \frac{T}{2R_k} \frac{1+Z^{-1}}{1-Z^{-1}} V_k(Z) = \frac{1}{R_k} \frac{V_k(Z)}{F(Z)} \quad (24)$$

로 된다. 여기서 $F(Z) = \frac{2}{T} \frac{1-Z^{-1}}{1+Z^{-1}}$ 이고 이것은 bili

near Z -변환 관계식이다.

이제 SC저항의 경우를 살펴 보자. 개폐기가 샘플링 시간에만 접속된다고하면, 시간 $t=(n-1)T$ 일때 캐패시터 C_k 는 $C_k V_k(nT-T)$ 로 충전되고, 시간 $t=nT$ 일때 C_k 는 방전하였다가 다시 $C_k V_k(nT)$ 로 충전된다. 따라서 $(n-1)T \leq t \leq nT$ 동안에 C_k 를 통하여 전달된 충전하량은

$$q_k(nT) - q_k(nT-T) = C_k v_k(nT) + C_k v_k(nT-T) \quad (25)$$

$$Q_k(Z) = C_k \frac{1+Z^{-1}}{1-Z^{-1}} V_k(Z) \quad (26)$$

이므로, $C_k = \frac{T}{2R_k} = \frac{1}{4fcR_k}$ 로 정해 주면 식(26)은 식(27)과 같게 되고 SC 저항은 저항과 같은 작용을 하게 된다.

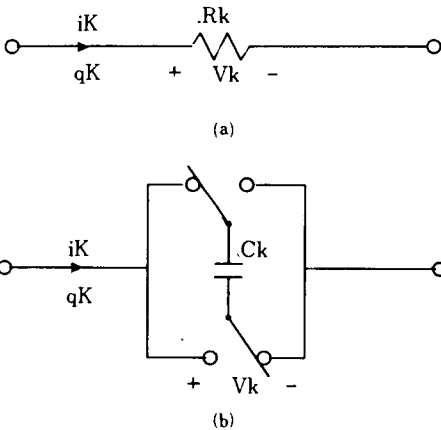


그림 9. (a) 저항
(b) 바이너리 Z-변환을 이용한 SC 저항

따라서 능동 RC여파기의 모든 저항을 그림 9의 SC 저항으로 대체시키면 동일한 주파수 특성을 갖는 능동 SC여파기를 쉽게 얻을 수 있다. 이것은 기존의 모든 능동 RC여파기 회로에 적용이 가능하므로 능동 여파기의 집적회로화가 가능해진 셈이다. 하지만 실제로 MOS LSI 기술로 실현시킬 경우에는, 회로에 플로팅된 단자들이 많고, OP Amp의 정극성 입력단에도 신호를 가해줘야 하므로, 전체 회로의 동작이 패러시틱 캐패시턴스, 저항 등에 의한 영향을 많이 받게 되어서 여러 가지 어려움이 많다. 이러한 것들을 극복하기 위한 연구가 계속되고 있으므로 좋은 결과가 기대된다.

IV. 끝 맺음

MOS SC여파기의 동작원리와 설계방법에 관하여 고찰해 보았다. 컨티뉴어스 타임 여파기와 같은 특성을 가지는 능동 SC여파기들이 모노리틱 MOS 집적회로로 제작되고 있으며, 통신분야에서는 CODEC용 여파기등에 벌써 응용되고 있다. MOS SC여파기는 MOS LSI 기술을 사용하기 때문에 작은 면적에 고밀도로 제작이 가능하고, 다른 회로들과 함께 한 칩내에 제작할 수 있으므로 더욱 더 많이 이용될 전망이다.

지금까지는 주로 전화기용 회로등 음성주파수 영역에서 사용되고 있지만, 더 우수한 MOS OP Amp의 제작기술 개발과 패러시틱 캐패시턴스에 영향을 덜 받는 회로에 대한 연구가 계속되고 있으므로, 머지않아서 더 높은 주파수에서도 사용이 가능하며 그 특성을 외부에서 프로그램 해 줄 수 있는 SC여파기들이 등장하리라 본다. 소비전력이 낮고 잡음특성이 좋은 CMOS 기술을 이용한 SC여파기에 대한 개발연구가 통신 장비 국산화와 더불어 절실히 요구된다.

參 考 文 獻

- [1] J. T. Caves, M. A. Copeland, C. F. Rahim and S. D. Rosenbaum, "Sampled analog filtering using switched capacitors as resistor equivalents," *IEEE J. Solid-State Circuits*, vol. SC-12, pp. 592-599, Dec. 1977.
- [2] B. J. Hosticka, R. W. Brodersen and P. R. Gray, "MOS sampled data recursive filters using switched capacitor integrators," *IEEE J. Solid-State Circuits*, vol. SC-12, pp. 600-608, Dec. 1977.
- [3] G. M. Jacobs, D. J. Allstot, R. W. Brodersen and P. R. Gray, "Design techniques for MOS switched capacitor ladder filters," *IEEE Trans. Circuits Syst.*, vol. CAS-25, pp. 1014-1021, Dec. 1978.
- [4] D. J. Allstot, R. W. Brodersen and P. R. Gray, "MOS switched capacitor ladder filters," *IEEE J. Solid-State Circuits*, vol. SC-13, pp. 806-814, Dec. 1978.
- [5] R. W. Brodersen, P. R. Gray, and D. A. Hodges, "MOS switched capacitor filters," *Proc. IEEE*, vol. 67, pp. 61-75, Jan. 1979.
- [6] R. Gregorian and W. E. Nicholson, JR., "CMOS

switched-capacitor filters for a PCM voice C-ODEC," *IEEE J. Solid-State Circuits*, vol. SC-14, pp. 970-980, Dec. 1979.

[7] T. C. Choi and R.W. Brodersen, "Considerations for high-frequency switched-capacitor ladder filters," *IEEE Trans. Circuits Syst.*, vol. CAS-27, pp. 545-552, Jun. 1980.

[8] G. C. Temes, H. J. Orchard and M. Jahanbegloo,

"Switched-capacitor filter design using the bilinear z-transform," *IEEE Trans. Circuits Syst.* vol. CAS-25, pp. 1039-1044, Dec. 1978.

[9] H. J. Orchard and G. C. Temes, "Spectral analysis of switched-capacitor filters designed using the bilinear z-transform," *IEEE Trans. Circuits Syst.*, vol. CAS-27, pp. 185-190, Mar. 1980.

알아봅시다

産業用 로봇이 사회와 經濟에 미치는 영향

