

論 文

Digital辨別器를 利用한 高速 A/D變換器

正會員 李 秉 洙* 正會員 李 鍾 岳**

A Fast A/D Converter using Digital Discriminators

Byung Soo LEE* and Jong Arc LEE**, Regular Members

要 約 數MHz의 대역폭을 갖는 표준 주파수 대역폭의 애널로그(analogue)신호를 8비트(bit) 정도의 디지털(digital) 신호로 정확하게 변환할 수 있는 대부분의 A/D변환기는 구성이 복잡하고 값도 고가이다. 따라서 본 논문에서는 전압제어 발진기(voltage-controlled oscillator)와 디지털 광별기를 사용하여 간단한 고속 디지털變換器를 구성함으로써 종래의 고속A/D변환기에서 사용되어 오던 복잡한 論理回路를 제거하여 속도를 개선함과 동시에 회로의 단순화에 따른 경제적인 실리를 기하였다. 이 방법은 음성이나 영상신호를 8비트 정도의 2진 부호로 변환 전송하는데 적합한 것이다.

ABSTRACT Most A/D converters which encode baseband signals of several megahertz band width to accuracies such as 8 bits are complex and therefore expensive. This letter suggests that a simple fast digital encoder can be formed the combination of V.C.O. and digital discriminator, automatically eliminating the complex logic process of conventional fast baseband A/D converters. The technique is suitable for encoding video signals to 8 bits.

1. 序 論

전기적인 신호는 거의가 애널로그 형태로 이루어져 있으므로 이를 디지털 입력으로 쓰기 위해서는 A/D변환기에 의해서 변환되어야 한다. A/D변환에는 여러 가지 방법이 있지만 이들 여러 종류의 變換器는 디지털 機器의 種類나 요구되는 變換速度, 精密度, 디지털 입력신호의 形態 및 경비에 따라 적당한 것이 선택되어야 한다⁽¹⁾.

A/D變換器는 並列型和 直列型으로 구분되며 일반적으로 並列型은 한 워드(word)를 동시에 변환하므로 순차적으로 變換累加시키는 直列型보

다 速度가 빠르다. 따라서 A/D변환에는 주로 병렬형이 사용된다. 특히 時分割多重通信(time division multiple)의 발달과 더불어 通話路의 증가에 따른 部品の 高速·經濟化가 시급하다.

本論文에서는 종래의 高速變換器와는 달리 디지털辨別器와 電壓制御發振器를 이용하여 並列型A/D變換器를 구성하여 辨別器에서 나오는 2進符號를 그대로 變換出力으로 사용함으로써 대부분의 同時型A/D變換器의 終端에 부착되는 엔코딩(encoding)회로를 생략시킬 수가 있었다. 變換速度를 좌우하는 디지털辨別器의 遲延回路는 strip line을 제작하여 사용함으로써 遲延時間을 최대로 감소시켰으며 오랫동안 문제시되어오던 디지털辨別器의 複素人力問題는 Gray符號出力을 얻어냄으로써 해결하였다.

2. 디지털周波數辨別器의 理論

디지털辨別器는 入力信號의 周波數偏移에 따라서 符號화된 出力을 얻어내는 일종의 變換器로 辨別器자체가 본질적으로 안정하고 정확한 전

* 大邱工業專門大學通信科
Dept. of Communication, Daeyoo Junior Technical College,
Sungnam-Si, 130 Korea

** 建國大學校工科大學電子工學科
Dept. of Electronic Engineering, Konkuk University,
Seoul, 133 Korea

論文番號: 82-15 (接受 1982. 8. 24)

달함수를 가지고 있으므로 回路設計에 크게 유익할 필요가 없다. 실수값을 갖는信號의 複素數變換은 Hilbert 변환을 사용하여 적교차표 형식으로 표시할 수 있다³⁾.

이것은 수신기의 中間周波信號와 이에 直交하는信號를 발생하는 發振器의 出力을 혼합함으로써 쉽게 얻을 수 있다. 따라서 複素信號 $f(t)$ 는 두 적교차표성분의 합으로 나타낼 수 있다.

$$f(t) = x(t) + jy(t) \quad (1)$$

$$= A(t) \exp \{j\theta(t)\} \quad (2)$$

여기서 $A(t)$ 는 신호의 순시진폭이며 $\theta(t)$ 는 순시 위상각으로 다음과 같이 쓸 수 있다.

$$A(t) = \{x^2(t) + y^2(t)\}^{1/2} \quad (3)$$

$$\theta(t) = \tan^{-1}\{y(t)/x(t)\} \quad (4)$$

따라서 순시 주파수는 $\theta(t)$ 를 시간에 대하여 1차미분하면 되므로

$$\frac{d}{dt} \theta(t) = \Delta(t) = \frac{xy - yx}{A^2} \quad (5)$$

순시진폭 $A(t)$ 를 시간에 관계없이 일정하게 하려면 진폭제한기(limiter)를 사용하거나 충분한 自動利得制御(automatic gain control)를 걸어줌으로써 가능하고 또 이 振幅制限作用은 종래의 에너지로그周波數辨別器에 비해 엄격하지 않아도 좋다. 일단 진폭을 제한해서 $A(t)$ 가 상수가 되면 변환계수로 취급할 수 있으므로 해석의 편의상 1로 두는 것이 좋다. 式(5)를 時不連續系로 가져가면 시간에 대해서 미분하는 대신에 r 표본치만큼 지연시켜 주면 되므로

$$\Delta(nT) = \frac{1}{rT} \{y(nT)x\{(n-r)T\} - x(nT)y\{(n-r)T\}\} \quad (6)$$

여기서 T 는 표본화 주기이다.

신호가 임의의 지수함수로 주어지는 경우 式(1)은

$$f(t) = A(\cos \omega t + j \sin \omega t) \quad (7)$$

이므로 式(6)은

$$\Delta(nT) = \frac{1}{rT} \{ \sin \omega nT \cos \omega(n-r)T - \cos \omega nT \sin \omega(n-r)T \}$$

$$= \frac{f_s}{r} \sin \omega rT \quad (8)$$

여기서 f_s 는 표본화 주파수이다. 따라서 이 辨別器는 f_s/r 를 주기로 하는 정현파 전달함수를 갖게 되고 비직선성을 갖는 이 辨別器의 이용 가능한 범위는 $\pm f_s/4r$ 이다. 이 辨別器는 이러한 전달함수의 비직선성때문에 대역폭이 좁아 주파

수 편이가 적은 F.S.K의 복조에는 적합하지만 광대역 직선성이 요구되는 FM신호의 복조에는 적합하지 못하다⁷⁾.

정현파 전달함수의 정질상 표본화 주파수 f_s 를 主値內에서 정하기 위하여 최대 주파수 편이는 $\pm f_s/4r$ 의 범위 내에 있어야 한다. 즉 최대 주파수 편이가 $f_s/2r$ 보다 작을 때만 直交入力信號는 적당하게 복조된다. 광대역 직선성을 갖는 辨別器는 돌니파형 전달함수를 가지면 될 것이다. 돌니파형을 Fourier 급수로 전개하면,

$$f(x) = K \left\{ \sin x - \frac{1}{2} \sin 2x + \frac{1}{3} \sin 3x \dots + \frac{(-1)^{r+1}}{r} \sin rx \dots \right\} \quad (9)$$

이다. 式(8)과 式(9)를 비교해 볼 때 임의의 변수 x 를 ωT 로 치환하여 놓은 것에 불과하므로 각 항의 변환계수를 맞추어 n 단의 디지털 판별기를 구성한 후에 그 출력을 합성해 줌으로써 $\pm f_s/2$ 범위 내에서 양호한 전달특성을 얻을 수 있다. 이 n 단의 디지털 판별기의 구성도와 전달특성을 그림 1, 그림 2'에 나타내었다.

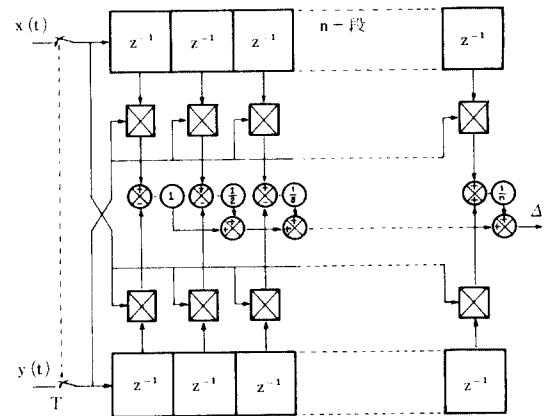


그림 1 n단 준직선성 디지털 주파수 판별기
n-stage quasilinear digital frequency discriminator.

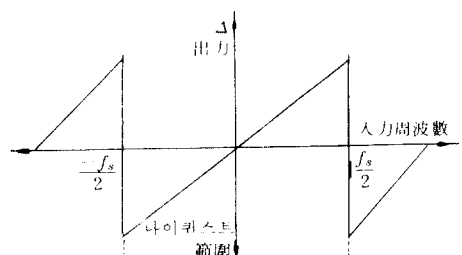


그림 2 n단 판별기의 전달특성
Transfer function of n-stage discriminator.

3. A/D변환기의 구성

디지털辨別器의 구성은 전술한 理論에 의하여 주파수 편이된 신호는 일단 혼성회로에 인가되고 혼성회로의 一端의 출력은 적당한 지연회로를 거쳐 위상 검파기에 가해지고 他端의 출력은 $\pi/2$ 移相된 후 위상 검파기의 기준입력이 된다. 위상 검파기를 구성하고 있는 2개의 다이오우드(diode)에 의하여 검파된 출력은 1개의 비교기에 공급되어 비교기의 이론출력은 0 또는 1의 상태로 정해진다. 1개의 디지털 판별기의 블록선도는 그림 3과 같다.

따라서 辨別器의 지연회로의 길이를 적당히 선정해 줌으로서 다양한 특성을 얻을 수 있고 n 개의 辨別器를 병렬의 형태로 사용하면 n 비트의 부호화된 출력을 얻을 수 있다. A/D변환기는 표준 및 維持回路와 병렬로 된 n 개의 디지털 판별기에 주파수 편이된 신호를 공급하는 전압제어발진기로 구성할 수 있으며 그 블록 선도는 그림 4와 같다⁽⁸⁾. 가장 짧은 지연선로의 길이를 l , 전파속

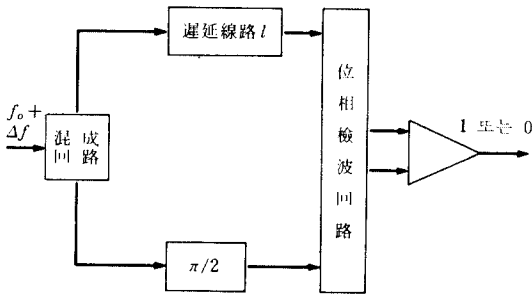


그림 3 디지털 판별기
Digital discriminator.

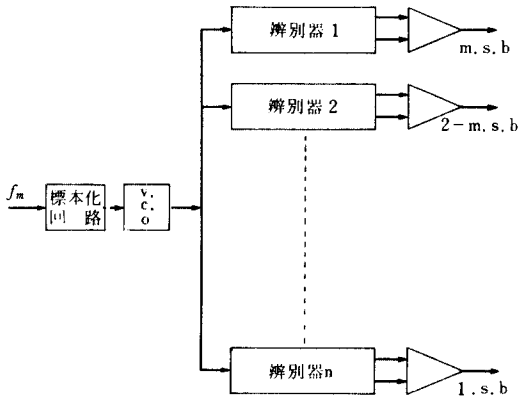


그림 4 A/D판별기의 블록 선도
Block diagram of A/D converter.

도를 v 라 하면 신호가 1. s. b의 가장 긴 지연선로를 통과하는데 걸리는 지연시간 τ 는 $(2^{n-1}l)/v$ [sec]가 된다. 이 시간이 표본화 시간보다 적어야 하므로 표본화 주파수 f_s 는

$$2^{n-1} \cdot l/v \leq 1/f_s \quad (10)$$

m. s. b辨別器에서 지연선로의 길이는 전압제어발진기의 최대 주파수 편이 Δf 에 의하여 결정된다. 零點通過時間(zero crossing rate)은

$$\sin(2\pi fl/v) = 0 \quad (11)$$

에서 발생한다. 따라서

$$2\pi fl/v = k\pi \quad (12)$$

여기서 $k = 0, 1, 2, 3 \dots$ 이다.

l 을 mv/f_0 , 여기서 $m = 1/2, 1, 2, 3 \dots$ 으로 두면 변환은

$$f/f_0 = k/2m \quad (13)$$

에서 일어난다.

전압제어 발진기의 \pm 의 周波數偏移만에 따른 단극성 대역의 신호만을 고려하여 m 으로 Δf 를 표시할 수도 있다. m. s. b辨別器는 최대 주파수 편이의 1/2이 되는 점에서만 논리출력의 변화가 일어난다⁽⁶⁾. 따라서 변환점은 f/f_0 가 $1/2m, 2/2m, 3/2m$ 에서 일어나야 하므로

$$\Delta f/f_0 = 1/m \quad (14)$$

式(10)에서 l/v 을 m/f_0 으로 치환하고 f_s 를 대역의 최고 주파수 f_m 으로 표시하면

$$2^{n-1} m/f_0 \leq 1/2 P f_m \quad (15)$$

여기서 P 는 \pm 의 정수이다. 式(14)와 式(15)에서 주파수의 最小偏差 Δf_{min} 은

$$\Delta f_{min} = 2^n P f_m \quad (16)$$

式(14)를 사용하여 τ 를 n 과 Δf 로 표시하면

$$\tau = 2^{n-1} / \Delta f \quad (17)$$

따라서

$$n = 1 + \log_2(\tau \Delta f) \quad (18)$$

Δf_{min} 에 대응하는 τ 의 最大値 τ_{max} 은

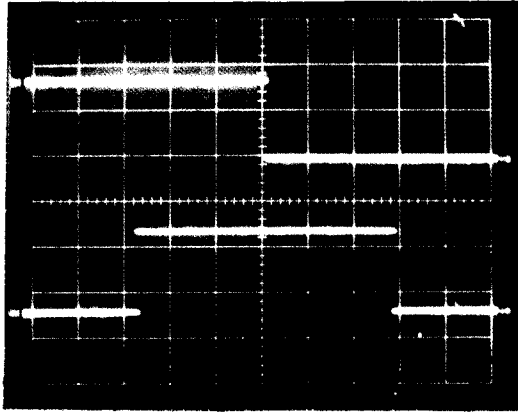
$$\tau_{max} = 2^{n-1} / \Delta f_{min} \quad (19)$$

이다.

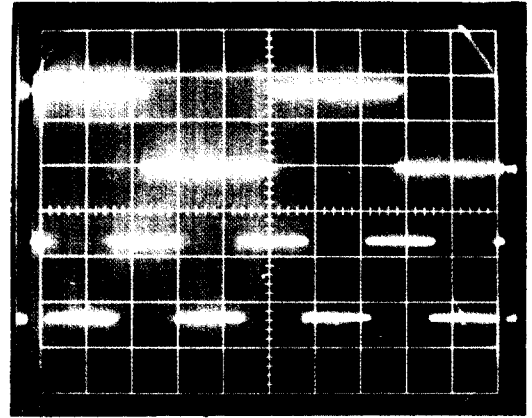
4. 실험 및 결과고찰

前述한 디지털辨別器는 複素入力を 요구하므로 辨別器回路에 90° 移相器가 부착되어야 한다⁽⁴⁾. 그러나 Gray부호는 자연 2진부호와는 달리 隣接워드는 한비트의 변화밖에 없고 隣接비트는 직교한다.

따라서 辨別器의 比較器出力을 n 비트의 Gray부호로 얻어냄으로써 그림 3에서 $\pi/2$ 移相器를 제거할 수 있다. 따라서 교환기는 더 간단해진다. 이러한 辨別器를 이용한 4비트A/D교환기회



(a) m, s, b와 2 m, s, b



(b) 3 m, s, b와 1, s, b

사진 1 1[kHz]정현입력에 대한 4비트 A/D변환기의 出力
Output logic states of 4-bit A/D converter in
response to 1kHz full-scale sinusoidal input.

를 그림 5에 나타내었다.

그림 5의 실험회로에서 애널로그入力信號는 일단 표준화 회로에서 표본화된 후 電壓制御發振器에 가해진다. 여기서 電壓制御發振器는 Motorola MC1648을 사용하였다. 電壓制御發振器의 출력은 8개로 分路되어 각기 式(17)의 지연시간을 갖는 4組의 strip line을 거쳐⁽²⁾ 페라이트 (ferrite) 變成器로 구성된 位相檢波器에 공급된다. 여기서 한쌍의 다이오우드에 의하여 위상검파된 두 신호는 비교기에서 위상비교된다. 따라서 4개의 비교기에서는 위상편차에 따른 Gray부호출력 4비트를 동시변환에 의하여 얻을 수 있다. 애널로그 입력신호를 1[kHz]의 정현파로 했을 경우 4개의 比較器의 論理出力狀態는 사진 1과 같으면 이것은 Gray부호와 잘 일치하고 있음을 보여준다.

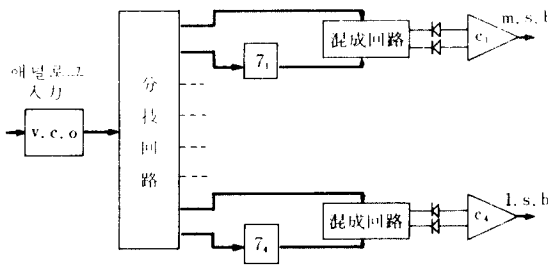


그림 5 4-bit A/D교환기의 블록 선도
Block diagram of 4-bit A/D converter.

애널로그 입력 주파수의 변화에 따른 변환시간은 표 1과 같다.

표 1 입력 주파수에 의한 변환시간
Conversion time to input frequency.

애널로그入力 f_m [kHz]	最大變換時間 t_m [μ s]	애널로그入力 f_m [kHz]	最大變換時間 t_m [μ s]
0.2	49.74	6.0	1.66
0.4	24.87	8.0	1.24
0.6	16.59	10.0	1.00
0.8	12.44	12.0	0.83
1.0	9.95	14.0	0.71
2.0	4.98	16.0	0.62
4.0	2.49	18.0	0.55

본 실험에서 사용한 4비트 A/D變換器는 비교적 낮은 周波數에서는 안정하게 동작하였다. 그러나 입력 주파수가 80 [kHz]를 넘으면서 동시에 변화하는 비트가 생겨 論理出力은 Gray부호를 추종하지 못하였다. 종래의 A/D變換기와 비교해 볼 때 4비트, 100[kHz]클럭 (clock)에 의해 구동되는 계수형 A/D變換기의 최대변환속도는 0.16 [ms]인 반면에 디지털 판별기를 이용한 A/D 변환기는 표 1에서 보면 애널로그 입력 6 [kHz]에서 1.66 [μ s]로 약 100배 정도의 속도의 개선이 있음을 보여주고 있다. 또 경제적인 측면에서 비교해 볼 때 4비트 동시 A/D變換기는 $2^4 - 1 = 15$ 개의 비교기가 필요하게 되나 디지털辨別器를 이

용한 A/D변환기는 비트수 만큼인 4개만 있으면 되었고 그 외에도 비교회로 다음에 오는 인코딩 매트릭스, 리드 게이트, 출력 레지스터 등을 모두 제거할 수 있었다.

5. 結 論

디지털辨別器를 이용한 A/D변환기는 다른 고속A/D변환기에 비해 애널로그 입력신호를 높은 변환속도로 정확하게 동시변환시켰다. 특히 디지털 판별기 회로에서 복소입력을 사용해야 한다는 종래의 결점을 Gray부호로 출력을 抽出해냄으로써 해결하였다. 이 판별기는 부품의 高周波化에 따른 기술, 가격에 관한 문제의 해결과 함께 장래의 고속 디지털通信에 실용될 수 있으리라 생각한다.

参 考 文 献

(1) A. P. Malvino and O. P. Leach, "Digital principles and applications," New York: McGraw-Hill, 1969, pp. 303~346.

(2) J. Millman and H. Taub, "Pulse, digital and switching waveforms," New York: McGraw-Hill, 1965, pp. 798~808.
 (3) A. V. Oppenheim and R. W. Shafer, "Digital Signal Processing," Englewood Cliffs, N. J: Prentice - Hall, 1975, pp. 337~375.
 (4) Myers and Cummings, "Theoretical response of a polar display instantaneous frequency meter," IEEE Trans. IM -20, pp. 38~48, 1971.
 (5) N. E. Goddard, "Instantaneous frequency measuring receivers," ibid MTT-20, pp. 292~293, 1971.
 (6) R. N. Alcock, "A digital directional finder," Philips Tech. Rev 28, pp. 226~230, 1967.
 (7) C. S. Aitchison and R. V. Gelsthorpe, "A circuit technique for broadbanding the electronic tuning range of Gunn oscillators," IEEE J. Solid-State Circuits, Sc -12, 1977.
 (8) C. S. Aitchison, "Fast A. D. convert using a digital discriminator and a V. C. O.," Electron. Lett, 13, pp. 281~282, 1977.
 (9) E. R. Hantek, "A user's handbook of D/A converters", New York: Wiley, 1976, pp. 319~320.



李秉洙(Byung Soo LEE) 正會員
 1950년 3월 26일생
 1975년 2월 : 한양대학교 공과대학 전자공학과 졸업
 1980년 10월 : 건국대학교 대학원 전자공학과 수료
 1982년 3월 : 건국대학교 대학원 전자공학과 박사과정 입학
 1982년 3월 ~ 현재 : 대우공업 전문대학 통신과 전임강사



李鍾岳(Jong Arc LEE) 正會員
 1940년 6월 20일생
 1953. 4 ~ 1959. 3 : 국립 서울사범학교
 1960. 4 ~ 1966. 2 : 한양대학교공과대학 전기과 (공학사)
 1967. 9 ~ 1970. 2 : 연세대학교전기과석사과정 (공학석사)
 1970. 9 ~ 1974. 2 : 연세대학교공과대학 전기과 박사과정 (공학박사)
 1974. 4 ~ 1975. 3 : 일본 京都大學 전자과 연구원
 1979. 8 ~ 1980. 7 : 프랑스 Lyon세일대학 물리과 연구원
 1982. 8 ~ 현재 : 건국대학교 전자공학과장