

集積회로의 教育과 研究

(Education and Research on Integrated Circuit)

庄野克房*, 金鉄柱**

(Katsuhusa Shono and Chul-Ju Kim)

要 約

半導체 技術은 갖지 않고 設備나 資金에만 의존한다면, IC, LSI의 實習 敎育은 물론 연구도 實現될 수 없다. 集積회로의 製作方法, 즉 웨이퍼 프로세스에 있어서 허락되는 조건이 시스템 構成, 論理 및 電子 回路 設計의 基準이 되므로, 考案된 製作 方法이 全 工程을 통하여 確立되지 않으면 안된다. 學生은 每年 새로이 들어 오고 나가며 流動성이 심하다. 短期間(2~3週間)의 訓練으로 必要한 技術을 習게 터득할 수 있도록 改善된 프로세스의 구체적인 예를 들어 본다. 아울러, 長期의 展望에 依據한 研究를 구체적으로 進展시키는 例도 함께 보았다.

Abstract

In the university IC laboratory we can use only a limited number of experimental arrangements. Since practical process parameters determine the fundamental design rules of ICs, appropriate fabrication process must be constructed. Examples of the process to train the engineering students in two or three weeks will be shown.

I. 序 論

美國의 반도체 산업은 연구 개발형의 성질을 띠고 있으나, 日本의 그것은 생산형이다. 日本의 대학은 생산형의 日本 企業에 人材를 供給하고 있다. 敎育과 연구는 靚연적으로 生産에 寄與하는 人材의 育成을 목표로 하지 않을 수가 없다. 또한, 日本 대학에서의 연구 목표는 높은 생산성을 띠고 있는 기술을 체계화하여 과학으로 발전시키는 것이라고 말할 수 있다. 美國에서 이미 행하여지고 있는 개발 연구의 흥내를 낼 필요성은 없다. 지금은 그러한 경쟁의 시대는 아니다. 생산 기술을 체계화한 工學을 학문으로 美國 社會에 제공함으로써, 美國의 生産이 완성되었을 때, 日本의 工

學이 기여했다고 말할 수 있는 역할 분담의 시대이다. 이 논문에서는, 日本의 대학에서 행하여지고 있는 생산성에 적합하며 대학 敎育에 적합하도록 고안된 집적 회로에 대한 敎育과 연구에 관하여 논술하고 있다.

II. 간소한 웨이퍼 프로세스의 개략

포토마스크 原圖의 데-타를 마이크로컴퓨터(NEC, PC-8001)에 入力시켜, Rubyolith Sheet를 XY 플로터(渡辺測器 WX 4601)의 펜홀더에 2개의 超硬 cabide 비트를 끼워서 각각 X와 Y방향으로 커팅하여, IC의 原圖를 만든다. 必要한 칩의 크기와 個數는 자유로이 선택할 수 있으며, 스탬과 리피이트는 행하지 않고 제작된다. 原圖를 라이트 박스(100×120cm)에 고정하여 超微粒子 高解像度 2.5인치 유리 건판에 카메라(MAMIYA光機 RB67/PROS)로 1/50로 축소 촬영하여 최소 선폭 10 μ m의 포토마스크를 완성한다.¹⁾ MOS-IC의 4장-마스크 세트를 1주안에 설계하여 自作할

*非會員, **正會員, 上智大學 理工學部 電氣電子工學科
(Sophia Univ., Faculty of Science and Technology)
接受日字: 1982年 7月 1日

수 있다. 1장의 가격은 900원 정도이다. 마스크의 데이터는 디스크에 보존되고 있으므로, 수정등을 자유롭게 행할 수가 있다.

電氣爐(石英管 2개), 플라즈마 에칭장치, CVD장치, 에피택시장치, 진공 蒸着 장치, 마스크 어라인어가 중요한 프로세스의 설비이다. 어떠한 프로세스라도 자유로이 할 수 있다고는 말할 수 없으나, 고안함에 따라서, MOSIC로는, p-MOS, n-MOS, c-MOS가, 바이폴라에서는 npn 縦型 및 pnp 横型을 겸비한 I²L 나 硼素(boron)의 깊은 확산에 의한 素子間 分離도 가능하다.

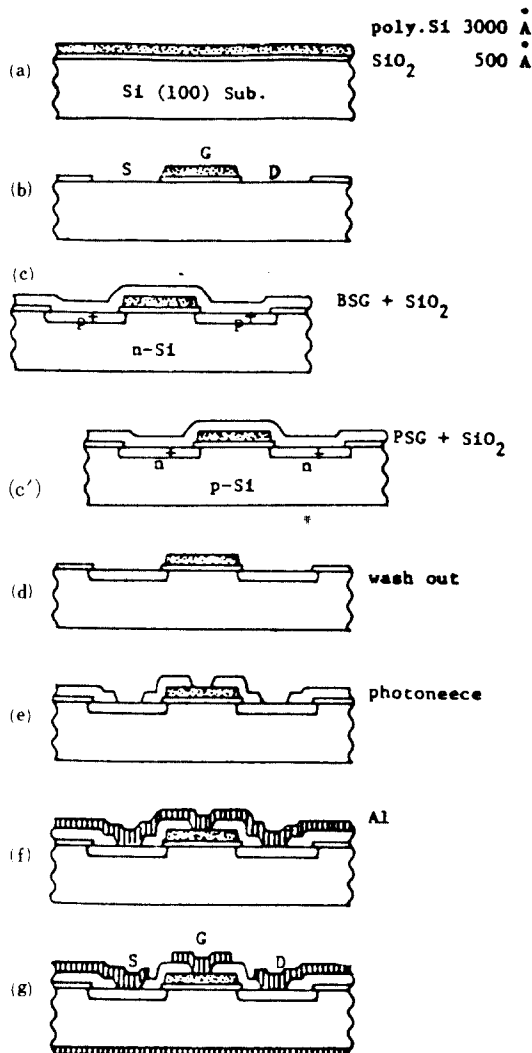


그림1. 간편한 n- 또는 p-MOSIC의 제조 과정
Fig. 1. Fabrication sequence of simplified n or p-MOSIC.

학생의 個人은, 자기의 프로세스 기술의 능력에 맞는, 自力의 프로세스를 확립할 수 있다. 그림 1은 n- 또는 p-MOSIC를 동일한 포토마스크와 프로세스 기술로 형성하여, 正孔의 전도에 의해 정보가 전송되는 경우와 電子에 의해 정보가 전송되는 경우를 비교 검토하여 이해시킬 수 있는 점을 목적으로 한 프로세스이다. p-MOSIC에서는 n형 6~8 Ωcm Si (100) 웨이퍼를 사용하고 있으며 硼素 확산원은 CVD-BSG를 사용하고 있다. n-MOSIC는 p형 0.6~0.8 Ωcm Si (100) 웨이퍼를 사용, 磷(phosphorus) 확산원으로 CVD-PSG를 사용하고 있다.

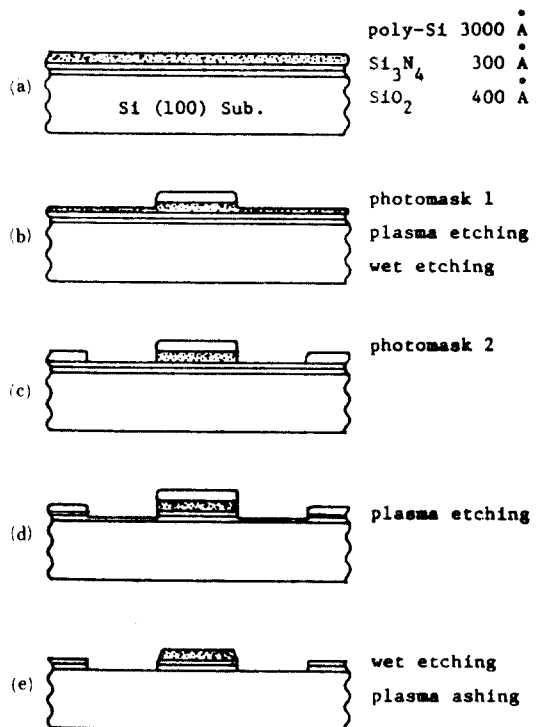


그림2. 게이트와 소오스-드레인을 自己 整合으로 形成하는 프로세스
Fig. 2. Detailed process of self-aligned gate and source-drain.

프로세스의 구성은, 單體의 MOS 트랜지스터를 必要한 위치에 必要한 크기로 형성하는 제 1 단계와 各々の 트랜지스터를 상호 배선하여 회로를 형성하는 제 2 단계로 나누어진다. 제 1 단계에서는, 2장의 포토마스크를 必要로 한다. 두번의 포토리도그래피와 가공 공정에서 소오스-드레인에 대하여 多結晶 Si 게이트가 自己 整合형(self-align)으로 형성된다. 누가

제작하든지 일정한 높은 精度로써 가공될 수 있도록 약간의 고안이 결되어 있다. 고안된 공정을 상세히 나타낸 것이 그림 2이다. 게이트 절연막으로는 SiO_2 / Si_3N_4 2層 구조로 한 경우를 나타내고 있다. 플라즈마를 使用하여 거의 대부분의 에칭이 행하여지고 있으나, 어떠한 高價의 플라즈마 장치를 사용하더라도 웨이퍼 변두리부와 중심부의 에칭 속도의 차이가 많다. 변두리 부분에서 에칭 속도가 빠르므로, 변두리 부분의 가공이 끝났을 때를 엔드 포인트로, 중심부의 남은 부분을 웨트 체미컬로 에칭된다. 多結晶 Si와 Si_3N_4 / SiO_2 의 에칭을 같은 방법으로 행한다.

확산열 처리에 의해 소오스-드레인의 pn 정크선을 형성시킨 후, 확산원의 CVD 막은 $HF-NH_4F$ 混液으로 에칭 제거한다.

제 2 단계의 상호 배선을 위해, polyimide에 感光性을 갖도록 한 photoneecee¹²⁾ (TORAY 感光性 耐熱 코에팅劑)를 웨이퍼 전면에서 스핀-코에팅 한다. 80°C에서 프리베킹한 후, 전택 홀을 형성키 위해 露光하여, 현상과 定着처리를 한다. 접착을 원활히 하기 위하여 열처리를 하고, 그대로 Al을 全面 蒸着한다. Al 상호 배선을 위해 포토마스크를 사용하여 Al을 가공하면 프로세스는 완성된다.

III. 프로세스 체크 기술의 확립

학생들이 반복하여 제작할 때 디바이스가 확실히 동작되는 곳까지 프로세스를 간단히 한다. 어디까지 간단화 시키면 될까는 연구실의 기술이 어느 정도로 확립되어 있는가에 달려 있다. 직접 디바이스를 만들어 연구를 하는 학생에게는, 단순한 作業을 충실히 반복하면 동작하는 디바이스가 제작되어 디바이스의 특성이 보증되도록 각 공정의 체크 기술이 확립되어야 한다. 학생들이 매년 바뀌므로 복잡한 프로세스가 가능할 수 있도록 프로세스 체크 기술이 조직화 되어야 한다. IC 연구실에 있어서 스태프의 중요한 일은, 학생이 프로세스의 경험을 쌓을 수 있는 기회를 갖도록 하면서 프로세스 기술을 조직적으로 확립해 나가는 일이다.

필자가 소속되어 있는 연구실에서는, 최소 선폭을 10 μ m로 설계했을 때, 그림 1, 2의 MOS 프로세스로 1,000素子정도까지 집적화가 가능한 것은 보증되고 있으나, 체크 기술의 내용을 하나 하나 구체적으로 記述하는 것은 도저히 불가능하다. 내용 전체를 그 래프나 데이터로만 나타내기는 쉬운 일이 아니므로 경험에 의해서만 체크되는 경우도 많다.

체크 포인트의 주가 되는 내용을 표 1에 정리했다. 물론, 웨이퍼 프로세스마다 한 명의 학생이 전부 체크하는 것은 아니다.

표 1. 간소한 MOSIC 프로세스에 있어서의 체크 포인트

Table 1. Checkpoints in simplified MOSIC fabrication.

1. Si 웨이퍼의 체크
1) 웨이퍼 표면 청결도의 체크 • 初期酸化의 酸化 速度 係數를 측정한다. • 酸化膜中の 보론의 확산 계수를 측정한다. • MOS 다이오드의 CV 특성을 측정한다. 2) OSF(酸化 積層 欠陥 · oxidation - induced stacking fault)에 의한 표면 結晶 完全性的 체크. • 出發할 Si 웨이퍼의 OSF를 측정할 뿐만 아니라 프로세스를 종료한 후의 웨이퍼에 관한 OSF를 측정한다.
2. 포토리도그라피의 체크
• 포토마스크 原圖는 線幅 0.3, 0.4, 0.5, 0.6, 0.7mm의 크기, 轉寫의 精度, Si 웨이퍼 위에 있는 포토레지스트를 마스크로 한 薄膜 加工의 정밀도를 측정한다.
3. 웨이퍼 프로세스 工程의 체크
1) 프로세스 淸淨度의 체크 • 電氣炉의 石英管및 웨이퍼 세트와 石英棒의 淸淨度를 조사한다. • CVD 및 에피택시 장치의 反應管, 銅가스 配管의 淸淨度를 조사한다. • 진공 증착에 의하여 증착된 Al의 저항율로써 장치의 淸淨度를 조사한다. 2) 프로세스 파라미터의 체크 • 게이트 酸化膜 두께의 측정 • CVD-Si ₃ N ₄ , 多結晶 Si, PSG, BSG, SiO ₂ 의 光學 定數의 측정 • 보론 또는 磷 확산층의 측정

웨이퍼 프로세스를 성공시키기 위해서는, 프로세스 타임을 될 수 있는 한 짧게 하는 것이 좋다. 보통 1주일(5일) 정도이다. 실험의 목적에 따라서 체크의 구체적인 방법은 바뀌게 된다. 2명의 학생이 포토리도그라피 관계와 프로세스 파라미터 관계를 분담하여 검사하고 이를 종합하는 방법이 좋을 것이다. 데이

타나 경험이 분리되지 않도록 하나로 합쳐질 수 있는 조직을 세우는 노력이 필요하다.

IV. 収率(Yield)

필자들의 yield에 관한 데이터는 매우 불충분하다. 학생들에게 IC를 만들게 하여 교육을 시키며, 연구를 하려고 할 때, 만든 IC가 동작하지 않을 시는 학생에게 의욕을 잃게 만들어 버릴뿐 아니라 교육 효과도 기대할 수가 없다. IC의 동작 如否는 확률의 문제이므로, 성공하는 확률이 어느 정도로, 주로 무엇에 의하여 결정되는 가를 알아둘 필요가 있다.

그림 1에 보인 간단화 시킨 MOS 트랜지스터는 MOS 다이오드와 플라나 다이오드가 평면으로 배열되어 있고, MOSIC는 MOS 트랜지스터를 상호 배선한 것에 불과하다. 최소 선폭 $10\mu\text{m}$ 로 설계된 그들의 요소의 특성을 직접 측정하여 그것의 yield를 조사하는 것은 각각의 면적이 너무 좁아서 할 수가 없다. MOS 다이오드와 플라나 다이오드 각각의 不良率을 기본으로 MOSIC의 원리적인 것에 도달 가능한 yield를 예측해 본다. 적어도 수백 素子를 염두에 두고 있으므로 Al 상호 배선에서의 不良은 없는 것으로 간주한다. 진택홀이나 선폭에도 여유를 갖게 하여, Al 배선에서의 不良이 나오지 않도록 노력한다. 측정할 수 있는 다이오드의 크기는 $40\mu\text{m} \times 40\mu\text{m}$ 以上으로, 면적이 커지면 不良의 비율도 커지는 것은 당연한 일이다. 그 관계를 측정된 결과를 그림 3에 보였다.

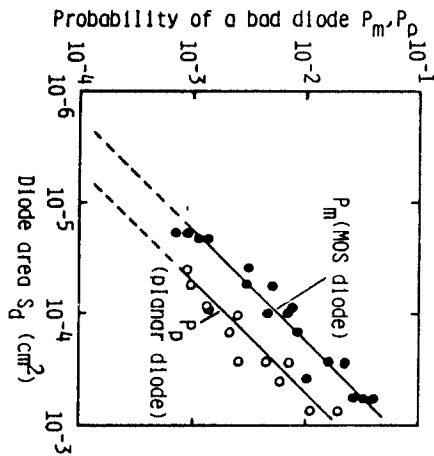


그림 3. 1개의 MOS 혹은 플라나 다이오드가 불량인 되는 확률

Fig. 3. Probability of a bad MOS or planar diode as a function of diode area.

면적이 다른 다이오드-어레이 ($27 \times 38 = 1,026$)를 Si 웨이퍼 위에 제작하여, 전부를 측정한다. 수동으로 하나하나를 측정하기 때문에 배속된 학생의 트레이닝을 겸하여 인내력을 시험하는 결과가 되는 것 같으나, 몇 素子까지의 집적화할 수 있는 기술력을 갖고 있을가를 數値로 把握하여, 적격한 노력 목표를 설정하기 위해서는 불가피한 일이다.

다이오드의 不良의 판단 기준을 어디에 둘까하는 것은 어려운 문제이다. 信賴性이 결정적으로 중요한 생산의 현장과 필자의 연구실처럼 교육과 연구를 겸하고 있는 곳에서는 판정 기준에도 차이점이 있다. 디자인하여 제작한 디바이스가 동작한다는 것은 교육이나 연구에 있어서 기본적으로 중요하므로, 플라나 다이오드에 관해서는 逆方向耐圧이 전원전압 이상이면은 되는 것으로 하고, leak 전류는 관계없는 것으로 한다.

MOS 다이오드도 약간 높은 전압이라도 좋으므로, 게이트에 전압을 加하여 反轉層이 형성되면 문제없는 것으로 한다.

不良率은 熟練度의 變化나 편-부-편의 차이에도 영향을 받게 되므로, 좋지 않은 데이터는 얼마라도 나오게 된다. 그중에서 不良率이 낮은 것만 골라지 잘못된 것이 그림 3이다. 이 데이터는 가장 좋은 조건에서 프로세스가 진행되었을 때 기대할 수 있는 최고의 yield를 나타내고 있다. 不良의 비율이 면적에 비례하고 있기 때문에 각 素子에 대하여 不良原因 密度를 구하면, MOS 다이오드에 대하여 60cm^{-2} , 플라나 다이오드에 대하여 20cm^{-2} 가 구해진다. 이 값으로 MOS 트랜지스터가 不良이 될 비율, 즉 MOS 트랜지스터의 不良原因 密度를 簡單히 代數 計算한 결과 33cm^{-2} 되었다. MOS 트랜지스터를 직접, $27 \times 38 = 1,026$ 개의 어레이로써 제작하여, 不良의 數를 측정할 수도 있다. 측정된 트랜지스터를 사용하여 인버터를 구성할 때 신호를 전달할 것 같지도 않는 것을 不良으로 判定하면, 다이오드로부터의 예상치보다 75%나 不良이 증가하고 있다. 다이오드 개개의 不良은 그림 3의 결과에 일치하고 있으나, 게이트와 소오스 또는 드레인 간의 리이크를 기본으로 한 트랜지스터의 不良이 나타나고 있다. 트랜지스터의 제작에 있어서는, 게이트와 소오스-드레인을 自己 整合型(self-align)으로 형성된 그림 2의 加工 工程이 중요한 것을 의미한다.

최소 가공 크기를 $10\mu\text{m}$ 로 MOSIC를 설계한 경우, 트랜지스터 1개당의 平均面積은 약 10^{-5} 가 된다. 트랜지스터의 不良原因 密度 33cm^{-2} 를 이용하여 기대할 수 있는 최고의 yield를 구해 보면, 素子數 500개로 85%, 素子數 1,000개로 75%가 된다. 상호 배선의

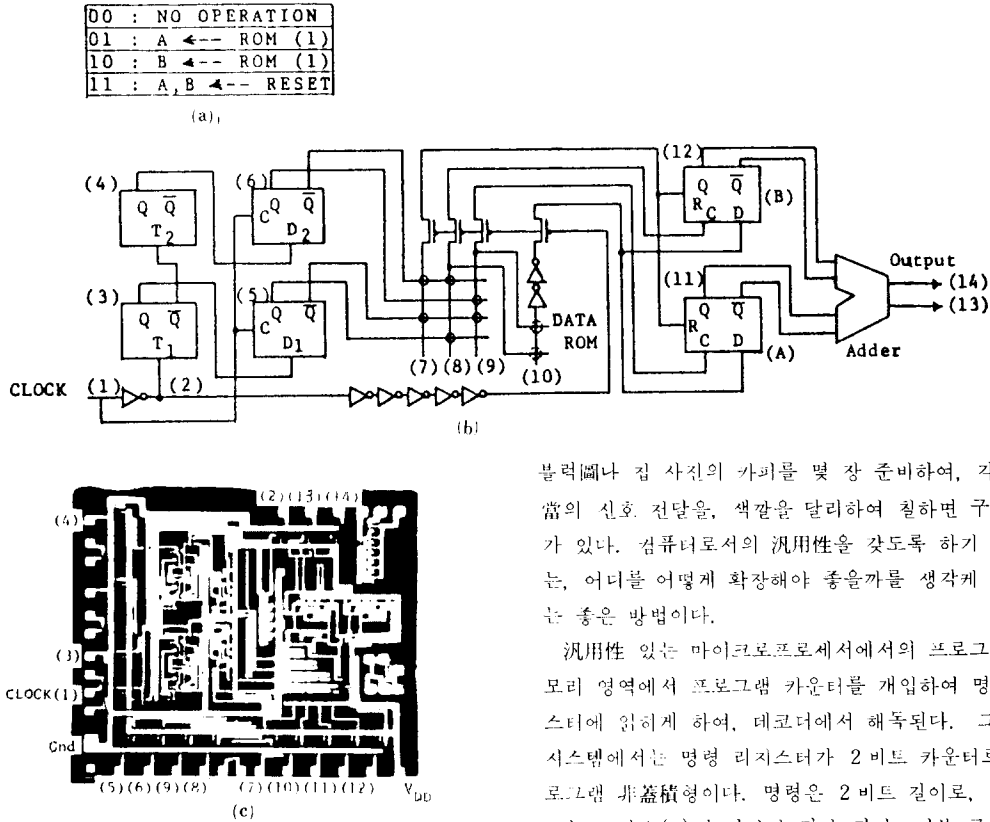


그림4. 2 비트 마이크로컴퓨터 SL-M2002의 명령 코드(a), 블럭圖(b)와 칩 사진(c)
 Fig. 4. Operating code(a), block chart (b) and chip's photograph (c) of 2 bit microcomputer SL-M2002.

不良等을 고려하면 실제의 yield는 그 이하이지만, 칩 사이즈 3mm×3mm에 있어서, 1,000 素子 精度的 집적화는 노력하면 가능한 일이다.

V. 시스템의 集積化

1972年 Intel 4004가 발표된 이래, 예상되었던 대로, 원 칩 IC에 완전한 제어 기능을 완비한 마이크로프로세서 마이크로컴퓨터의 시대가 되었다. 單體의 트랜지스터로부터 게이트 레벨의 IC를 거쳐 1개의 제어 시스템이 원 칩에 IC화 된다. 대학에 있어서의 교육이나 연구도 이 수준에서 가능하도록 해야만 한다.

μC에 있어서 필요한 기능은 갖추어져 있으며, 최초의 규모로 설계된 시스템의 예는 그림 4와 같다. ROM에 데이터를 2비 넣어서, 加算하는 기능을 외부 기본 클럭으로 행한다. 이것들은 약 150 素子의 p-MOS 나 n-MOS 트랜지스터로 구성되어 있다. 이 강도이면,

블럭圖나 칩 사진의 카피를 몇 장 준비하여, 각 클럭當의 신호 전달을, 색깔을 달리하여 칠하면 구별할 수가 있다. 컴퓨터로서의 汎用性을 갖도록 하기 위해서는, 어디를 어떻게 확장해야 좋을지를 생각해 하는데는 좋은 방법이다.

汎用性 있는 마이크로프로세서에서의 프로그램은 메모리 영역에서 프로그램 카운터를 개입하여 명령 리지스터에 읽히게 하여, 데코더에서 해독된다. 그림 4의 시스템에서는 명령 리지스터가 2 비트 카운터로 된 프로그램 非蓋積형이다. 명령은 2 비트 길이로, 명령 코드는 그림 4(a)에 나타낸 것과 같다. 기본 클럭 4 사이클로 일련의 동작을 완료하게 되며 오실로스코프를 사용하여 各部 (1)~(13)의 파형을, 미리 디자인한 인버터를 개입시켜 측정할 수 있도록 고안되어 있다.

각 부의 동작 파형을 그림 5에 보였다. 이 시스템의 타이밍 차트에 상당되며, 인버터를 개입하여 관찰하고 있으므로 타이밍 차트와는 반대로 되어 있는 곳이 있다. 리셋트 직후의 클럭의 on 상태로 실행이 개시된다. 각 명령의 실행은 클럭의 일주기 사이에 행해진다. 리셋트가 걸렸을 때의 명령 리지스터 T₁, T₂(T형 flip flop)의 내용인 0, 0을 印加하게 된다.

버퍼(buffer)는 다음 클럭이 on 상태 되기까지 이 값을 維持한다(5, 6). 클럭 2의 on 상태에서 바뀌어진 명령 리지스터의 내용 0, 1을 버퍼가 받아, ROM으로부터 A 리지스터(D형 flip flop)에 데이터 "1"이 轉送되고, 그 出力이 애더(adder)에 入力되어, 出力 2* (13)이 "1"로 된다. 클럭 3의 on으로 바뀌어진 명령의 내용 1, 0을 버퍼가 받아 ROM으로부터 B 리지스터에 데이터 "1"이 轉送되고 (8), 그 出力 (12)이 애더에 入力되어 캐리아웃 2 (14)가 "1"로 된다. 클럭 4에서 명령 리지스터의 내용 1, 1을 버퍼가 받아, 리셋트 信號(7)을 각 리지스터에 보내게

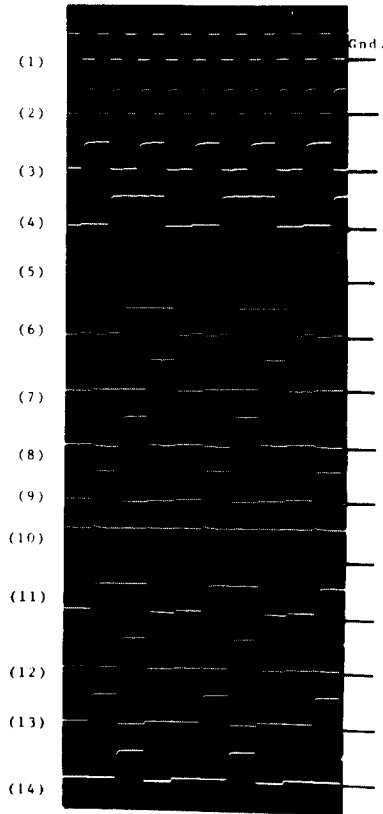


그림5. 2 비트 마이크로컴퓨터 SL-M2002의 動作波形
Fig. 5. Wave forms of 2 bit microcomputer SL-M 2002 on oscilloscope.

된다.

이 시스템의 論理回路가 설계대로 기능 발휘가 될까 하는 것을 체크하기 위해 PC8001을 사용하여 論理回路 시뮬레이션을 한다. 시뮬레이션이 "no"라고 나온 것은 기능 발휘가 되지 않는다. 順序論理 回路처럼 回路에 歸還을 포함하고 있어서, 신호의 順序가 틀림으로 인한 지연을 고려할 필요가 있을 때에는, 시각(時刻) 테이블을 가진 論理 시뮬레이션을 한다. 필자들의 연구실에서는 인터버 1段을 1單位로 한 지연을 시각 테이블로 하는 시뮬레이션을 행하여 論理 回路 設計에 여유를 갖게 하여, 電子 回路 시뮬레이션을 생략하고 있다.

VI. 三次元 集積化의 研究

오늘 날의 집적회로는 플라나 프로세스를 기본으로 한 2次元의 집적화가 Si 웨이퍼의 표면에서 실현되고 있다. 포토리도그라피 1程의 한계를 추구함에 의해 고밀도 집적화와 고속화를 달성시키려 하고 있다.

하지만 언젠가는 한계에 달하게 된다. 기술의 필연적인 흐름으로 3次元의 집적화로 발전한다. 3次元 집적화의 표적은 단순히 MOS나 바이폴러 트랜지스터를 3次元으로 積層하여, 상호 배선 하는 것만은 아니고, pn 정크션이나 MOS 게이트라는 요소가 3次元적으로 배치됨으로 새로운 기능을 부가하는, 보다 높은 기능을 실현할 수 있는 가능성에 있다.

大學의 研究室은 10여년 앞을 목표로 한 연구 테마를 설정하여 놓는 것이 바람직하다. 컴퓨터는 分散-並列處理를 非 neumann方式으로 행하고, 時間軸과 空間軸을 가진 畫像 處理가 實現될 것이다.

가능성 있는 한 가지의 예로써 BP-Si 多層 에피택시 성장의 이용을 들어 본다. 結晶 成長과 電子線 反射 回折(RHEED)에 의한 構造 解析으로부터 출발하여, 디바이스나 시스템의 성능으로 物理的 性質을 평가하는 실험은 야심적인 학생에게는 매력있는 연구 테마-마로 되어 있다.

III-V족 화합물의 하나인 BP(boron monophosphide)는 에너지 갭이 2.0eV의 間接遷移형 반도체이다. Si의 그것이 1.1eV인 것에 비하여, 約2倍 정도 넓은 에너지 갭을 보유하고 있으므로 化學量論(stoichiometry)의 相異를 열처리해 의해(1050°C) 1:1에 접근 시킴으로 저항율을 $10^9 \Omega \text{cm}$ 로 실현할 수 있다. 그림 6은 Si(100)위에 BP면을 모의적으로 나타내고 있다. Si위에 놓여진 BP의 성장 초기에는 언젠가 특징적인 結晶欠陥이 나타나는데, 그것을 *표로 표시하였다. 다행히 400Å정도 성장하면 초기 성장에

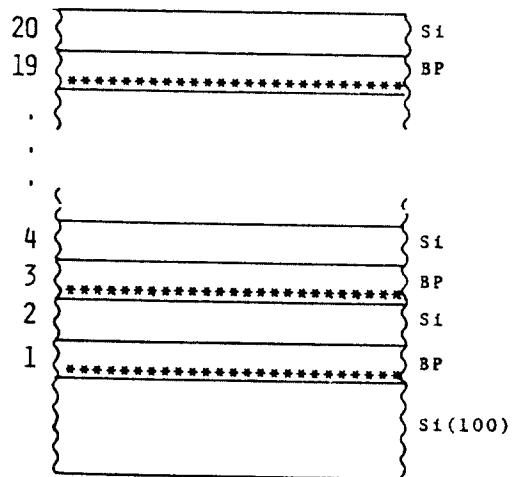


그림6. BP-Si 多層 成長 構造
Fig. 6. Structure of BP-Si multi-layer epitaxial growth.

있어서의 欠陥은 없어지고, 原子의 레벨로 平坦하다고 말할 수 있는 $C(2 \times 2)$ 表面長周期構造(surface structure)가 관찰되는 BP가 성장한다. 電子線 反射 回折에 의한 表面長周期構造의 관찰은 鏡面的 Si 성장층을 성장시켜 多層 成長을 가능하게 하는 조건이다.^[3, 4, 5]

BP의 저항율은, BP를 Si_3N_4 (silicon nitride) 로 오버코오트 하여 열처리를 하면, 그 온도와 시간의 제어로 p-type, n-type 의 導傳型 및 $10^{-3} \Omega cm$ 로 부터 $10^9 \Omega cm$ 의 범위에서 저항율을 임의로 제어할 수 있다.

단, 過剩의 燐 혹은 硼素는 Si 층에 擴散되는 고로, 이 점을 미리 고려하여 Si 층에 디바이스를 만들어 놓을 필요가 있다. BP의 Stoichiometry로 부터의 相異가 없도록 하여 Si 층을 BP로 절연 분리할 수 있고, 국부적으로 相異가 있도록 하여 低저항의 BP로 上下의 상호 배선이 실현된다. Si의 저항율은 에피택시얼 성장시 불순물의 터핑에 의해 조절이 가능하며, 플라나 프로세스로 디바이스를 형성한다. 3차원 집적화를 시험하는 結晶學的 조건은 갖추어졌다고 할 수 있다.

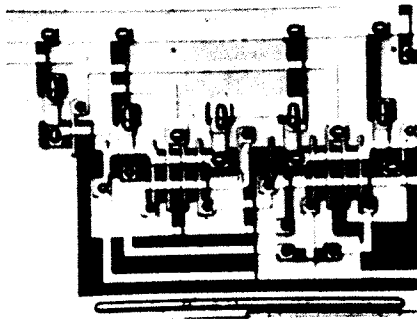


그림7. Si-iBP-Si 구조 위에 형성된 T flip flop의 사진

Fig. 7. Photograph of T flip flop on Si-iBP-Si structure.

第1層의 BP를 고저항으로 하여, 第1層의 Si 층을 그 위에 형성시켜 제작한 디바이스의 전기적 특성으로 평가하는 단계에 달하고 있다. 그림 1, 2의 프로세스와 同一한 과정으로 불요한 Si을 에칭 제거하여 절연 분리한 그림 5와 같은 패턴의 2비트 스테릭 마이크로 컴퓨터의 칩 사진의 일부를 그림 7에 보였다. SO S의 sapphire 또는 spinel을 고저항 BP로 바꾸어 놓은 구조가 실현되고 있다.

3次元 집적화를 목표로 하는 기능 향상을 지향하는 연구는 고저항 BP를 사이에 넣은 Si(epi.)-BP(epi.)-Si(Sub.) 구조의 CV특성의 측정과 解析으로 부터

출발한다. BP양층의 Si의 傳導 타입과 저항율을 조절하여, 양측에 空間 電荷層을 넓혀, 反轉層을 形成시키며 또한 BP의 에너지 갭 폭이 2.0eV 정도이므로, 조금 큰 바이어스를 가하여 베리어의 폭을 변화시켜, 反轉層의 캐리어를 반대측에 터널링 시킨다. 單結晶 사이의 경계면에 대한 특성에도 흥미를 갖게 된다. 실제로, BP의 두께를 400\AA 으로한 Si-BP-Si 다이오드에서 터널링에 의한 것으로 보이는 傾向이 C V 특성에서 관측되고 있다.

Ⅶ. 結 論

IC, LSI의 프로세스와 어떠한 것을 형태 있는 것으로 만들어 가는 工程은 일방 通行, 非可逆 過程이다. 定常狀態, 準定常狀態, 可逆 過程에 관해서는 통계 力學이나 열 力學의 체계를 갖고 있다. 실제로 만들어 가는 非可逆 過程에 관해서는, 브라운 운동과 같은 예외를 제외하고는, 체계적으로 완성된 학문은 없다. 과학의 확고한 근거없이 불건을 만들어 가지 않으면 안될 불가피한 경우에는, 경험을 집적하여, 해서 좋은 것과 나쁜 것파를 적격으로 판단하여 기술을 확립해 나가지 않으면 안된다. 자기가 만든 것을 자신이 살 관찰하여, 이해하면서, 제작해가는 올바른 판단력을 길러 가지 않을 수 없다. 경험의 축적없이 IC, LSI의 yield나 신뢰성을 알 수 있는 지름길은 없다.

參 考 文 獻

[1] 庄野克房 “學生のための集積回路の實驗から 研究まで[I], [II], [III]” 電子通信學會誌 第 63 卷 493, 609, 745, 1980.

[2] 平本叔, 江口益市 “感光性耐熱絶縁劑” 電子材料 11月号 47, 1981.

[3] Y. Hirai and K. Shono “Crystalline properties of BP epitaxially grown on Si substrates using $B_2H_6-PH_3-H_2$ system”, *J. Crystal Growth* 41 124, 1977.

[4] K. Nonaka, C. J. Kim and K. Shono “Multi-layer epitaxial growth of BP and Si on Si substrates”, *J. Crystal Growth* 50 589, 1980.

[5] K. Shono and C. J. Kim “Reflection electron diffraction pattern from Si layer epitaxially grown on BP-Si substrate”, *J. Crystal Growth* 56 511, 1982.