

알루미늄 게이트 PMOS 차동증폭기의 設計 및 製作 (Design and Fabrication of an Aluminum-Gate PMOS Differential Amplifier)

辛 長 奎*, 權 宇 鉉*

(Jang-Kyoo Shin and Wu-Hyen Kwon)

要 約

알루미늄 게이트 PMOS 集積회로 製作技法을 이용하여 차동증폭기를 設計, 製作하였다. 增加形 MOSFET 만으로 회로를 구성하였으며, 各 트랜지스터의 크기는 시뮬레이션 프로그램 MSINC를 이용하여 결정하였다. 제작된 集積회로를 +15V와 -15V의 電源으로 동작시켰을때 DC電壓利得은 42dB, 同相信號除去比 (CMRR)는 50dB, 電力消耗는 20mW이었다.

Abstract

A differential amplifier has been designed and fabricated using aluminum-gate PMOS technology. Only enhancement-mode MOSFET's are used in the circuit and the dimensions of transistors have been determined using simulation program MSINC. The fabricated integrated circuit with +15V and -15V power supplies shows an open-loop DC voltage gain of 42 dB, a common mode rejection ratio (CMRR) of 50 dB, and a power consumption of 20mW.

I. 序 論

MOS (metal-oxide-semiconductor) 集積회로 製作技法은 bipolar 集積회로 製作技法에 비해서 제작공정이 간단하고, 集積도가 높다는 등의 이점을 가지므로 주로 디지털 집적회로의 제작에 많이 이용되어 왔다. 그러나 PCM (pulse code modulation) 符號器^[1], CTD (charge transfer device) 信號處理器^[2], SC (switched capacitor) 濾波器^[3] 등에서와 같이 집적회로의 技能이 점차 복잡해져 감에 따라 한 칩 (chip) 속에서 디지털 회로기능과 아날로그 회로기능을 동시에 실현해야 할 필요성이 생기게 되었으며, 이러한 아날로그 회로기능을 수행하기 위한 基本要素인 MOS 연산증폭기에 대해 현재 많은 연구가 진행되고 있다.^{[4], [5]}

일반적으로 MOS 트랜지스터는 같은 면적에서 비교할때 bipolar 트랜지스터보다 transconductance가 작기 때문에 같은 電壓利得을 얻기 위해서는 素子の 수

가 더 많이 필요하게 된다. 최근에는 空乏形 (depletion mode) MOS^[6] 또는 CMOS^[7] 구조로 製作工程을 좀 더 복잡하게 하므로써 회로의 전압이득을 많이 향상시키고 있다.

本 研究에서는 增加形 (enhancement mode) MOSFET만으로 차동증폭기 회로를 구성해서 4개의 마스크를 사용하는 標準 알루미늄 게이트 PMOS 集積회로 製造工程^[8]을 이용하여 제작하고 그 特性을 測定하였다.

II. 回路的 設計

설계서 목표로 하는 차동증폭기의 性能은 DC電壓利得이 40dB 이상, 電源電壓은 +15V와 -15V로 하고, 電力消耗를 30mW로 잡았다. 목표로 하는 전압이득을 얻기 위해서 증폭단을 3단으로 설계하였으며, 各 트랜지스터의 크기 (채널폭 Z, 채널길이 L)는 MSINC (MOS simulator for integrated nonlinear circuit)^[9]를 이용한 컴퓨터 시뮬레이션에 의해 결정하였다. 이때 시뮬레이션에 사용한 P-channel MOSFET의 素子 모델을 그림 1에 나타내었다. 그림에서 R_s 및 R₀ 는

* 正會員, 慶北大學校 工科大学 電子工學科
(Dept. of Elec. Eng. Kyung-Pook National Univ.)
接受日字: 1981年 12月 24日

소오스 및 드레인의 직렬저항을 나타내며, I_{SS} 는 소오스 및 드레인과 substrate 사이의 pn접합의 역방향 포화전류를 나타낸다. 그리고 C_{GS} , C_{GD} 는 각각 게이트와 소오스, 게이트와 드레인사이의 캐패시턴스를 나타내며, C_{BS} , C_{BD} 는 각각 substrate와 소오스, substrate와 드레인사이의 캐패시턴스를 나타내고, C_{GB} 는 게이트와 substrate 사이의 캐패시턴스를 나타낸다. 여기서 각 트랜지스터의 threshold 전압(V_T)은 $-3.5V$, hole mobility는 $193cm^2/V \cdot sec$, 게이트 산화막 두께(T_{ox})는 1100\AA , P⁺확산접합의 깊이(X_j)는 $2.6\mu m$ 의 값들을 시뮬레이션에 사용하였는데, 이 값들은 크기가 서로 다른 MOSFET로 test chip을 만들어서 측정된 값의 평균치들이다.¹⁰⁾ 설계된 회로와 각 트랜지스터의 크기를 그림 2와 표 1에 나타내었다.

그림 2의 회로에서 M6, M7, M8은 트랜지스터

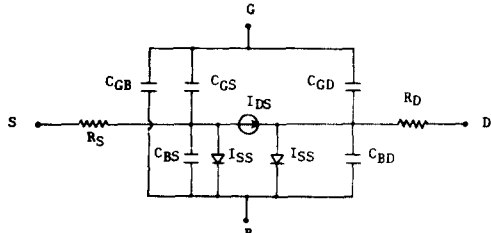


그림 1. P-channel MOSFET의 소자 모델
Fig. 1. Device model for the p-channel MOSFET.

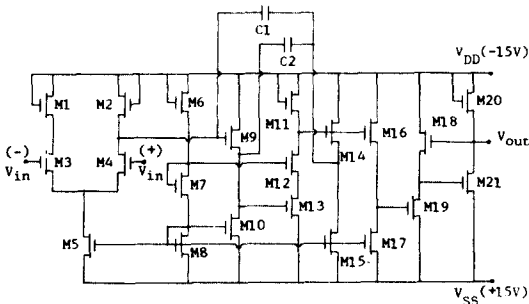


그림 2. PMOS 차동증폭기 회로
Fig. 2. Schematic of the PMOS differential amplifier.

의 바이어스 電壓을 결정하는 voltage divider의 역할을 하게 된다. M1, M2, M3, M4, M5는 入力差動増幅段을 구성하고 있는데, M1과 M2는 각각 M3과 M4의 負荷로 작용하며, M5는 電流源으로 동작하게 된다. 이와 같은 차동증폭단의 差動電壓利得 A_1 은

$$A_1 \cong -\frac{1}{2} \sqrt{\frac{(Z/L)_4}{(Z/L)_2}} \quad (1)$$

표 1. 각 트랜지스터의 크기

Table 1. Dimensions of the devices.

TR	Z (μm)	L (μm)	TR	Z (μm)	L (μm)
M 1	20	60	M12	300	20
M 2	20	60	M13	300	20
M 3	300	20	M14	295	25
M 4	300	20	M15	100	25
M 5	150	40	M16	295	25
M 6	20	60	M17	100	25
M 7	250	20	M18	45	50
M 8	185	40	M19	335	20
M 9	25	30	M20	20	40
M10	200	35	M21	330	20
M11	20	60			

와 같이 트랜지스터의 Z/L의 비에 의해 결정된다. 차동증폭단에서 1차 증폭된 入力信號는 M9와 M10으로 구성된 source follower段에서 DC level이 변화되어 그 다음 cascode段(M11, M12, M13)으로 건너가게 된다. 이와 같은 cascode段의 電壓利得 A_2 는

$$A_2 \cong -\sqrt{\frac{(Z/L)_{13}}{(Z/L)_{11}}} \quad (2)$$

로 표시된다.¹¹⁾ Cascode段을 거친 信號는 다시 M16과 M17로 구성된 source follower段에서 DC level이 변화되어 그 다음 出力段(M18, M19, M20, M21)으로 건너가게 된다. 출력단은 증폭기의 出力抵抗을 줄이기 위해 M18의 게이트에 부채환을 걸어주는 구조로 되어 있다. 이때 出力段의 電壓利得 A_3 는

$$A_3 \cong \sqrt{\frac{(Z/L)_{19}}{(Z/L)_{18}}} \cdot \frac{\sqrt{\frac{(Z/L)_{21}}{(Z/L)_{20}}}}{1 + \sqrt{\frac{(Z/L)_{21}}{(Z/L)_{20}}}} \quad (3)$$

와 같이 표시된다.¹¹⁾ 그리고 차동증폭기의 전체 전압이득 A_v 는 source follower段의 전압이득을 1이라고 가정할때 근사적으로

$$A_v \cong A_1 A_2 A_3 \quad (4)$$

로 표시된다. 회로에서 C1과 C2는 外部補償 캐패시터로서 각각 150pF, 100pF의 값을 갖는다.

設計된 회로를 시뮬레이션한 결과 얻어진 open-loop 주파수 특성을 그림 3에 나타내었다. 그림 3에서, 보상을 시키지 않은 경우 單一利得 周波數(unity gain frequency)는 약 600kHz가 됨을 알 수 있으며, 외부 보상 캐패시터 C1과 C2를 연결하여 보상을 시킨 경우 단말이득 주파수는 100kHz, phase margin은 75°

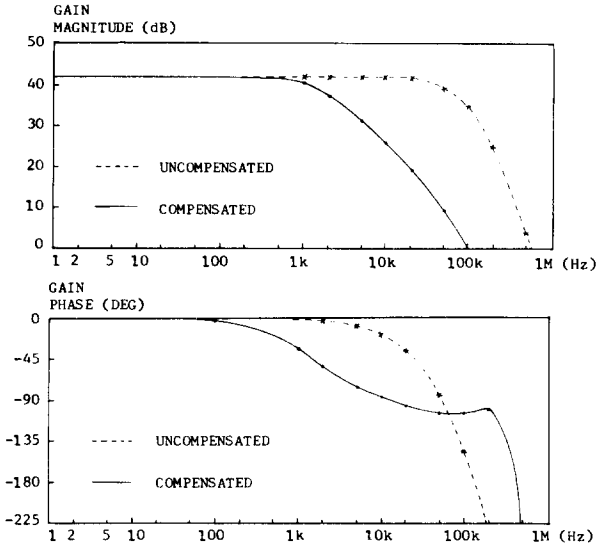


그림 3. 차동증폭기의 open-loop 주파수 특성 (컴퓨터 시뮬레이션)

Fig. 3. Open-loop gain magnitude and phase response for the differential amplifier (computer simulation).

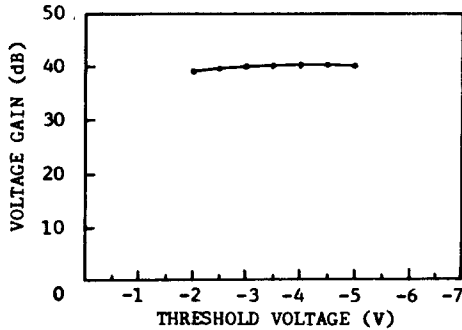


그림 4. Threshold 전압의 변화에 따른 전압이득의 변화 (컴퓨터 시뮬레이션)

Fig. 4. Variation of voltage gain with threshold voltage (computer simulation).

가 됨을 알 수 있다. 그리고 설계된 회로의 DC 전압 이득은 42.5dB, 출력전압 swing 범위는 $-8V \sim +5V$, 전력소모는 30mW이었다

그림 4 에는 threshold 전압 (V_T)의 변화에 대한 주파수 1 kHz에서의 전압이득 (A_v)의 변화를 나타내었다. 그림 4의 시뮬레이션 결과에 의하면 集積回路를 제작 할때 트랜지스터의 threshold 전압이 설계치($-3.5V$)와 차이가 나더라도 차동증폭기의 전압이득은 큰 변화가 없음을 알 수 있다.

III. 製 作

먼저 트랜지스터의 threshold 전압을 $-3.5V$ 로 결정하고 n-type, (111), $5.3\Omega\text{-cm}$ 인 Si wafer를 선택하여 게이트 산화막 두께 1100\AA , field 산화막 두께 $1\mu\text{m}$, p' 확산접합깊이 $2.6\mu\text{m}$ 이 되도록 1.程設計를 하였다. Chip layout은 pattern의 최소 크기를 $20\mu\text{m}$, alignment 허용치를 $10\mu\text{m}$ 으로 하여 설계하였는데, $1\mu\text{m}$ field 산화막에 대한 field threshold 전압이 $-25V$ 로서 $+15V, -15V$ 전원에 의해 field inversion chan-

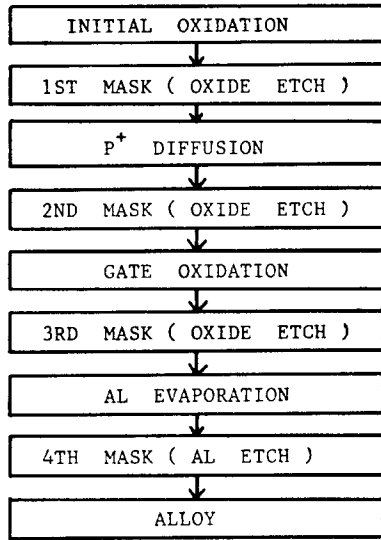


그림 5. Al-Gate PMOS 집적회로 제조공정

Fig.5. Fabrication sequence of Al-gate PMOS integrated circuits.

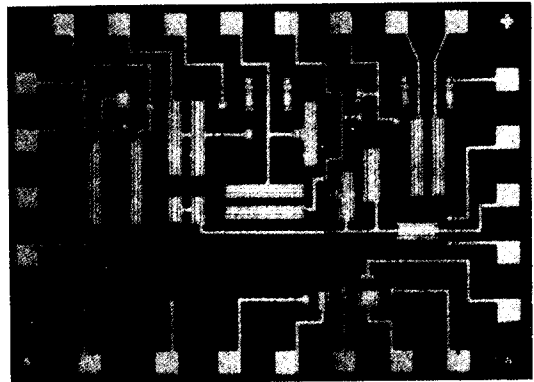


그림 6. 차동증폭기칩의 현미경 사진(1.65mm x 2.15mm)

Fig. 6. Photomicrograph of the differential amplifier chip (1.65mm x 2.15mm).

nel이 형성될 가능성이 있으므로, field inversion이 일어나지 않도록 주의해서 소자를 배열하였다.

Chip의 제조는 그림5의 工程圖와 같이 4개의 마스크를 사용하는 標準 알루미늄 게이트 PMOS 集積回路 製造工程을 이용하였다. 제작된 chip의 크기는 1.65mm×2.15mm로서 그 현미경 사진을 그림6에 나타내었다.

IV. 測定 및 結果

製作된 차동증폭기에서 트랜지스터의 threshold 전압 (V_T)은 측정결과 평균 $-4.4V$ 로서 설계치 $-3.5V$ 와 상당한 차이가 있었다. 이와 같은 V_T 의 차이는 주로 fixed surface-state charge density (Q_{ss})의 변화에 起因하는 것으로서, MOS 工程에서 Q_{ss} 의 制御는 공정을 평가하는 중요한 기준이 된다.⁽¹²⁾ 제작된 집적회로는 시뮬레이션 결과에서 예측된 바와 같이 전압이득 측면에서 정상적으로 동작하였다. 이것은 設計된 回路가 threshold 전압의 변화에 대해 크게 영향을 받지 않음을 나타낸다.

出力端子에 負荷 캐패시터 50pF를 연결한 후 여러 가지 回路特性을 측정하였다. 그림7은 제작된 차동증폭기의 open-loop 주파수 특성을 나타내고 있으며, 그림8은 DC전달특성을 나타내고 있다.

회로특성의 측정결과를 시뮬레이션 결과와 함께 표2에 수록하였는데, 여기서 출력전압 swing 범위와 소모전력의 實驗值가 시뮬레이션值에 비해서 감소했음을 알 수 있다. 이것은 $|V_T|$ 가 증가함에 따라 각 트랜지스터의 바이어스 상태가 달라졌기 때문으로 생각된다.

그림9와 같이 차동증폭기를 closed-loop으로 하여 unity gain buffer로 동작시킨 경우 階段入力에 대한

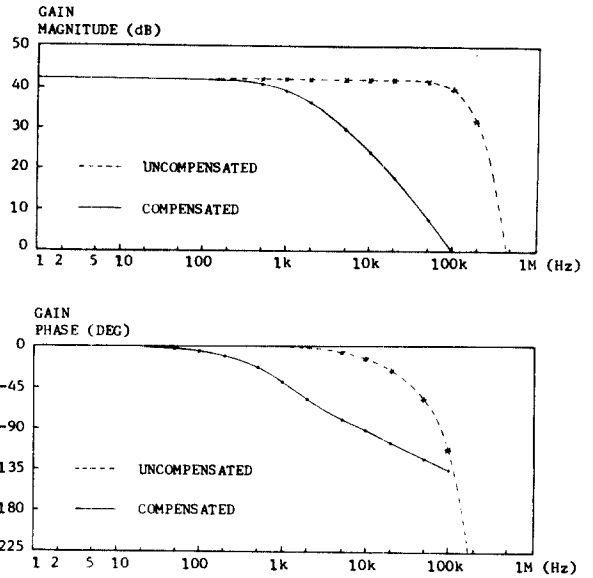


그림7. 차동증폭기의 open-loop 주파수 특성(실험)
Fig. 7. Open-loop gain magnitude and phase response for the differential amplifier (experiment).

出力特性은 그림10과 같으며, 이 특성으로 부터 測定된 slew rate는 0.5V/ μ sec 이었다.

그림11은 주파수가 각각 1kHz, 50kHz인 펄스入力에 대한 unity gain buffer의 出力特性을 나타내고 있다. 여기서 50kHz의 펄스入力에 대해 出力이 일그러짐을 보이고 있는데, 이러한 문제는 집적회로 製造기술을 좀 더 개선하여 게이트와 P-확산과의 overlap 면적을 줄여서 stray capacitance C_{GS} , C_{GD} 를 줄임으로써 개선될 수 있을 것으로 생각된다.

표 2. 차동증폭기의 회로특성

Table 2. Circuit performance of the differential amplifier.

	Computer simulation	Experiment
Unity gain frequency	100 kHz	100 kHz
Phase margin	75°	45°
Open-loop DC voltage gain	42.5 dB	42 dB
Output voltage swing range	8 V ~ -4.5 V	-5.5 V ~ +3 V
Power consumption	30 mW	20 mW
CMRR	55 dB	50 dB
Input offset voltage	0 mV	20 mV

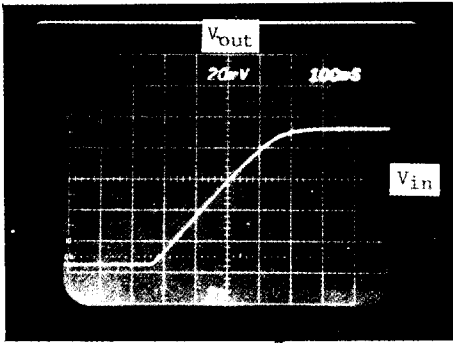


그림 8. DC 전달특성 (수직 20mV/div, 수평 20mV/div)
 Fig. 8. DC transfer characteristic (vertical 20mV/div, horizontal 20mV/div).

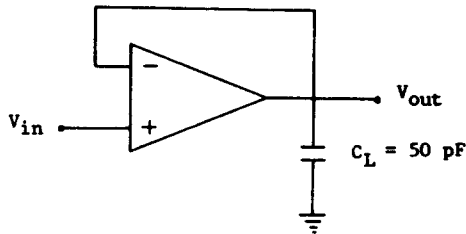


그림 9. 단일이득 버퍼
 Fig. 9. Unity gain buffer.

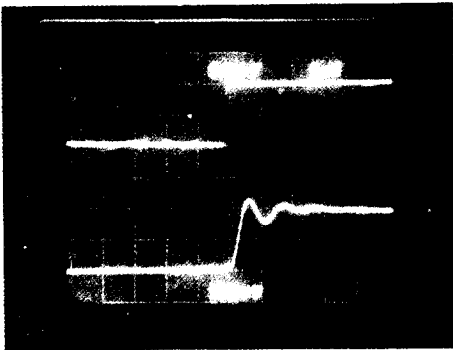
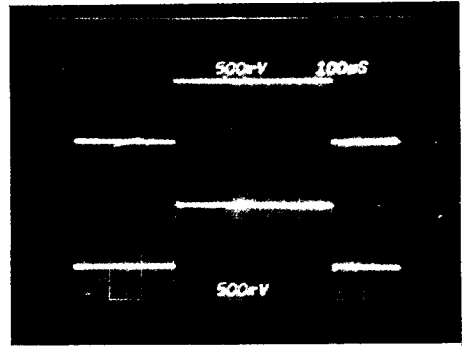


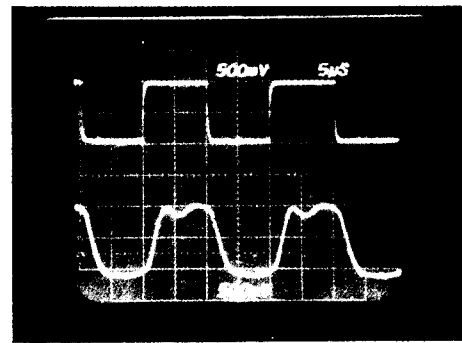
그림 10. 계단입력에 대한 응답
 Fig. 10. Response for a step input.

V. 結 論

알루미늄 게이트 PMOS 集積回路 製作技法을 이용하여 DC전압이득이 42dB인 차동증폭기를 實現하였다. 제작된 칩에서 threshold 전압의 측정치가 회로 설계치와 상당한 차이가 있었으나 시뮬레이션 결과에서 예측된 바와 같이 회로의 전압이득은 비슷한 결과가 얻



(a)



(b)

그림 11. 펄스입력에 대한 응답
 (a) f = 1 kHz (b) f = 50kHz
 Fig. 11. Responses for pulse inputs.
 (a) f = 1 kHz (b) f = 50kHz

어졌다. 그러나 출력전압 swing 범위와 전력소모는 설계치보다 감소하였다.

앞으로 NMOS 공정, 또는 CMOS 공정 등의 좀더 개선된 집적회로 제작공정을 이용하면 회로의 전압이득 및 주파수 특성을 향상시킬 수 있을 것이며, 특히 외부보상 캐패시터를 칩속에서 MOS 캐패시터로 대체 실현하므로써 내부보상이 가능해 질 것으로 기대된다.

參 考 文 獻

[1] Y. P. Tsividis, P. R. Gray, D. A. Hodges, and J. Chacko, "A segmented μ -255 law PCM voice encoder utilizing NMOS technology," IEEE J. Solid-State Circuits, SC-11, pp. 740-747, December 1976.

- [2] D. D. Buss, D. R. Collins, W. H. Bailey, and C. R. Reeves, "Transversal filtering using change-transfer devices," IEEE J. Solid-State Circuits, SC-8, pp. 138-146, April 1973.
- [3] B. J. Hosticka, R. W. Brodersen, and P. R. Gray, "MOS sampled data recursive filters using switched capacitor integrators," IEEE J. Solid-State Circuits, SC-12, 600-608, December 1977.
- [4] Y. P. Tsividis and P. R. Gray, "An integrated NMOS operational amplifier with internal compensation," IEEE J. Solid-State Circuits, SC-11, 748-753, December 1976.
- [5] I. A. Young, "A high-performance all-enhancement NMOS operational amplifier," IEEE J. Solid-State Circuits, SC-14, 1070-1077, December 1979.
- [6] D. Senderowicz, D. A. Hodges, and P. R. Gray, "High-performance NMOS operational amplifier," IEEE J. Solid-State Circuits, SC-13, 760-766, December 1978.
- [7] B. J. Hosticka, "Dynamic CMOS amplifier," IEEE J. Solid-State Circuits, SC-15, 887-894, October 1980.
- [8] W. M. Penney and L. Lau, eds., "MOS Integrated Circuits," Van Nostrand Reinhold, 1972.
- [9] T. K. Young and R. W. Dutton, "MSINC, Version B4.06 User's Manual," Stanford Univ., 1976.
- [10] J. K. Shin, "The effect of process parameter variation on the performance of MOS linear integrated circuit," M. S. thesis, KAIST, 1980.
- [11] Y. P. Tsividis, "Design considerations in single-channel MOS analog integrated circuits-A tutorial," IEEE J. Solid-State Circuits, SC-13, 383-391, June 1978.
- [12] W. N. Carr and J. P. Mize, "MOS/LSI Design and Application," McGraw-Hill, 1972.
-