

디지털시스템과 마이크로 프로세서 설계(Ⅳ)

金 明 恒*

요 약

마이크로 프로세서 구조를 설명하고 대표적인 8 bit microprocessor로서 Intel 의 8085를 다룬다. 또한 Microcomputer System 으로 쓸 수 있는 One - Chip- Processor 를 토의한다.

1. 8 bit Microprocessor

1971년 12월 미국이 Intel 사에서 최초의 8 bit processor 를 발표한 이래 수십종의 micro processor 가 발표되었으며 현재 개인용 컴퓨터, 사무용기기, 산업용 자동제어기기등 여러분야에서 광범위하게 이용되고 있다. 흔히 사용되는 processor 는 4 bit, 8 bit, 16 bit 의 3종으로서 4 bit 의 경우는 CPU ROM, RAM, I/O 등을 single chip 으로 소형의 DIP (dual inline package)에 실장되어 있으며 Intel 의 4040, T. I. 의 TMS 1000 등을 비롯하여 많은 종류가 생산되고 있다. 주로 대량생산되는 가정용 전기제품의 제어장치에 사용되므로 1% 이하의 저가격으로 서 소비량도 가장 많다. 8 bit 의 경우는 64K byte 의 memory 와 논리연산기능을 가진 ALU 및 stack pointer 를 가지고 있으므로 일반용 컴퓨터로 사용될 수 있으며 복잡한 산업용기기의 제어, game machine, intelligent data terminal 등 광범위한 분야에 응용되고 있다.

16 bit 의 경우는 보다 우수한 연산기능 및 고속 입출력 기능이 요구되는 경우에 사용된다. 8 bit processor 는 Intel 의 8080, zilog 의 Z 80, Motorola 의 6800, RCA 1800, Fockwell 의 PPS-8 등 여러가지가 발표되어 있으나 대체로 8080과 6800 을 기초로 하여 발전된 형태를 갖고 있다. 16 bit processor 는 Intel 의 8086, Motorola 의 68000, Zilog 의 8000 등

이다. 하나의 microcomputer system 으로 쓸 수 있는 one - chip - processor 로서는 Intel 의 8051, Motorola 의 6801, Zilog 의 Z 8 등이 있다. 여기서는 최초로 발표되었으며 가장 흔히 사용되는 8080 계를 대표하는 Intel 의 8085 에 관하여 자세하게 취급하기로 한다.

2. 8085 CPU Architecture

8085는 8 bit 의 word size 를 갖는 일반용 micro - processor 로서 16 bit 의 memory address 와 8 bit 의 I/O address 가 가능하므로 64 Kbyte 의 Memory 와 256종의 I/O access 할 수 있다. 8085 는 chip 속에 다수의 register 와 ALU (Arithmetic and Logic unit) 및 clock 발생회로 interrupt priority selection 등을 내장하고 있다.

그림 1 은 8085의 block diagram 으로서 8 bit 혹은 16 bit register, ALU 및 입출력 제어회로 등이 내부 8 bit data bus 에 의해 연결되어 있다. Program 의 실행은 먼저 program counter (PC) 를 address 로 하여 memory 에서 OP code 를 읽어와 instruction register (IR) 에 load 한다. Instruction decoding 결과에 따라 memory 와 register 간의 data 이동 혹은 연산등의 기능이 8 bit 내부 bus 를 통하여 이루어진다.

8085 CPU 의 내부 register 의 기능과 용도는 다음과 같다.

• Accumulator (A : 8 bit)

ALU 를 이용하는 명령은 모두 A 를 이용하게 되며,

* 正會員 : 美國 Cornell 大 電氣工學科 教授 · 工博

8085 CPU FUNCTIONAL BLOCK DIAGRAM

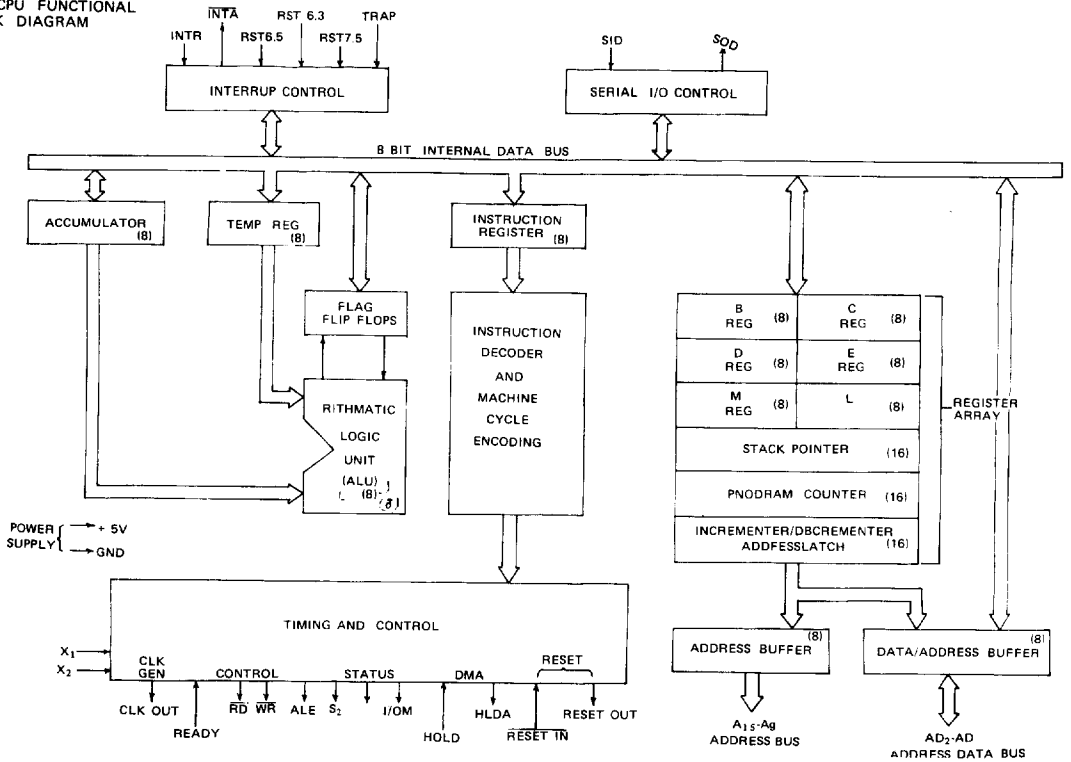


그림 1. 8085의 block diagram

연산, 논리, load, store, 입출력등의 명령에 대하여 중심적인 역할을 수행한다.

• Program counter(PC: 16 bit)

다음에 수행될 명령 code의 memory, location을 기억하고 있으며 명령 수행에 따라 자동적으로 증가된다. 또 Jump 혹은 subroutine call 명령의 경우에는 PC의 내용이 새로운 값으로 set 된다.

• General - purpose registers(BC, DE, HL: 16 bit 또는 B, C, D, E, H, L : 8 bit)

BC, DE, HL은 3개의 16 bit register로 사용될 수도 있으며 6개의 8 bit register로도 사용될 수 있다. 이것은 수행되는 명령에 따라 지정되도록 되어있다. HL은 data pointer로 사용되며 BC, DE는 indirect addressing을 위해 사용될 수도 있다.

• Stack pointer(SP: 16 bit)

이것은 특별한 data pointer로서 항상 stack top을 가리키고 있다. Push, POP, CALL, RET 등의 instruction에 따라 자동적으로 증감된다.

• Flag register(PSW: 8 bit)

Flag register 다음과 같이 5 bit 만을 사용하고 있다.

7	6	5	4	3	2	1	0
S	Z		AC		P		CY

Carry flag (CY)는 가감산의 연산과정에서 발생하는 "Carry" 또는 "borrow" 상태를 표시하며 auxiliary carry flag (AC)는 BCD 연산을 위하여 lower 4 bit에서 발생하는 overflow를 기억하는 것이다.

Sign flag(S)는 A에 들어있는 수의 부호를 나타내며 zero flag(Z)는 명령수행의 결과가 0이면 1으로 set 된다. Parity flag(P)는 A의 parity가 even이면 set 된다. 이상의 flag register는 반드시 ALU를 통과하는 명령을 수행할 경우에 set/reset 된다.

8085의 ALU는 A와 flag 및 사용자가 조작할 수 없는 temporary register를 포함하고 있다. ALU에서는 다음 기능을 수행할 수 있다.

- Add/subtract
- Increment/decrement
- AND, OR, XOR
- Rotate
- Complement

어떤 operation의 결과는 주로 A에 store되며 내부 data bus를 통하여 transfer될 수 있다.

2.2 8085의 Pin 설명

8085는 40 pin의 DIP(dual in-line package)로서 5 volt 단일전원으로 동작된다. pin배치는 그림 2와

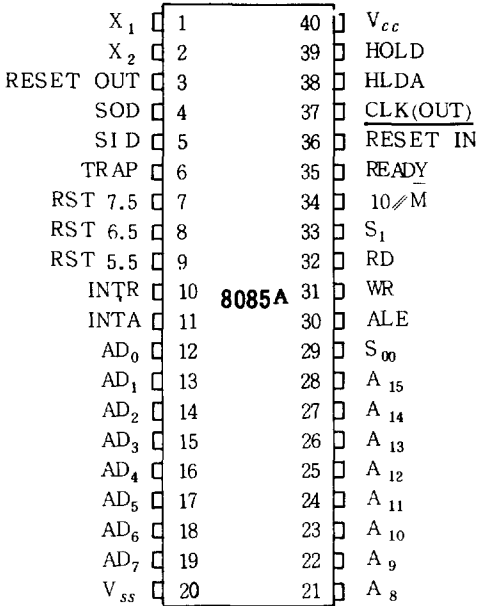


그림 2. 8085 pinout diagram

같으며 각 pin의 기능은 다음에 설명한다.

A8-A15 (output, 3-state)

Address bus :

상위 8bit의 address bus 혹은 8 bit의 I/O address로 사용된다. Hold 와 HALT mode 및 RESET 동안에는 3-state를 유지한다. (I/O address는 8bit로서 ADO- AD7 에도 copy 되어 나타난다.)

ADO- AD 7 (Input/output, 3-state)

Multiplexed Address/Date bus :

Machine cycle 첫번째 clock cycle 동안 하위 8 bit address 또는 I/O address가 출력되며 그 후의 두번째 및 세번째 clock cycle 동안은 data bus로서 data를 입출력 시킨다.

ALE (output)

Address latch enable :

AD bus에서 address를 분리하여 latch시키기 위한 신호로서 ALE의 falling edge에서 latch 하도록 한다.

SO, SI, and IO/M (output)

CPU 내부의 machine cycle의 status를 나타내는 신호로서 각 machine cycle의 시작점에서 set/reset 된다.

IO/F	SI	SO	Status
0	0	1	Memory write
0	1	0	Memory read
1	0	1	I/O write
1	1	0	I/O read
0	1	1	Interrupt acknowledge
*	0	0	Halt
*	x	x	Hold
*	x	x	Reset

* = 3-state

x = unspecified

\overline{RD} (output, 3-state)

이 신호가 low로 되면 data bus를 read 상태로 하여 memory 또는 I/O로부터 data를 read 한다. Hold, halt, reset 에서 3-state로 된다.

\overline{WR} (output, 3-state)

Data bus를 write로 작용하게 한다. Hold, halt, reset 에서 3-state로 된다.

READY (input)

이 신호가 high로 되어 있으면 각 machine cycle에서 그 상태를 계속 유지하고 wait 상태로 머물게 되면 low로 되면 정상동작을 계속한다.

HOLD (input)

HOLD가 high로 되면 hold acknowledge 신호를 보내고 address, data, RD, WR, IO/M line 등을 3-state로 만든다. 이렇게 하여 DMA controller 혹은 다른 device가 BUS를 사용할 수 있도록 해준다.

HLDA (output)

Hold acknowledge 신호이다.

INTR (input)

Interrupt 요구신호로서 general purpose로 사용된다. Interrupt 요구는 instruction 수행도중에는 검사되지 않고 반드시 instruction 수행 완료후 다음 instruction 착수 전에 검사하게 되어 있다. interrupt 요구가 감지되면 CPU는 INTA를 보내고 PC를 정지상태로 보류해두고 PC와 관계없이 instruction cycle을 수행한다. 즉 이때의 부에서 data bus에 machine cycle에 맞추어 RESETART 혹은 CALL instruction을 넣어주면 원하는 interrupt service routine으로 튀게

할 수 있다. Interrupt는 software에 의해 enable/disable시킬 수 있다.

용된다.

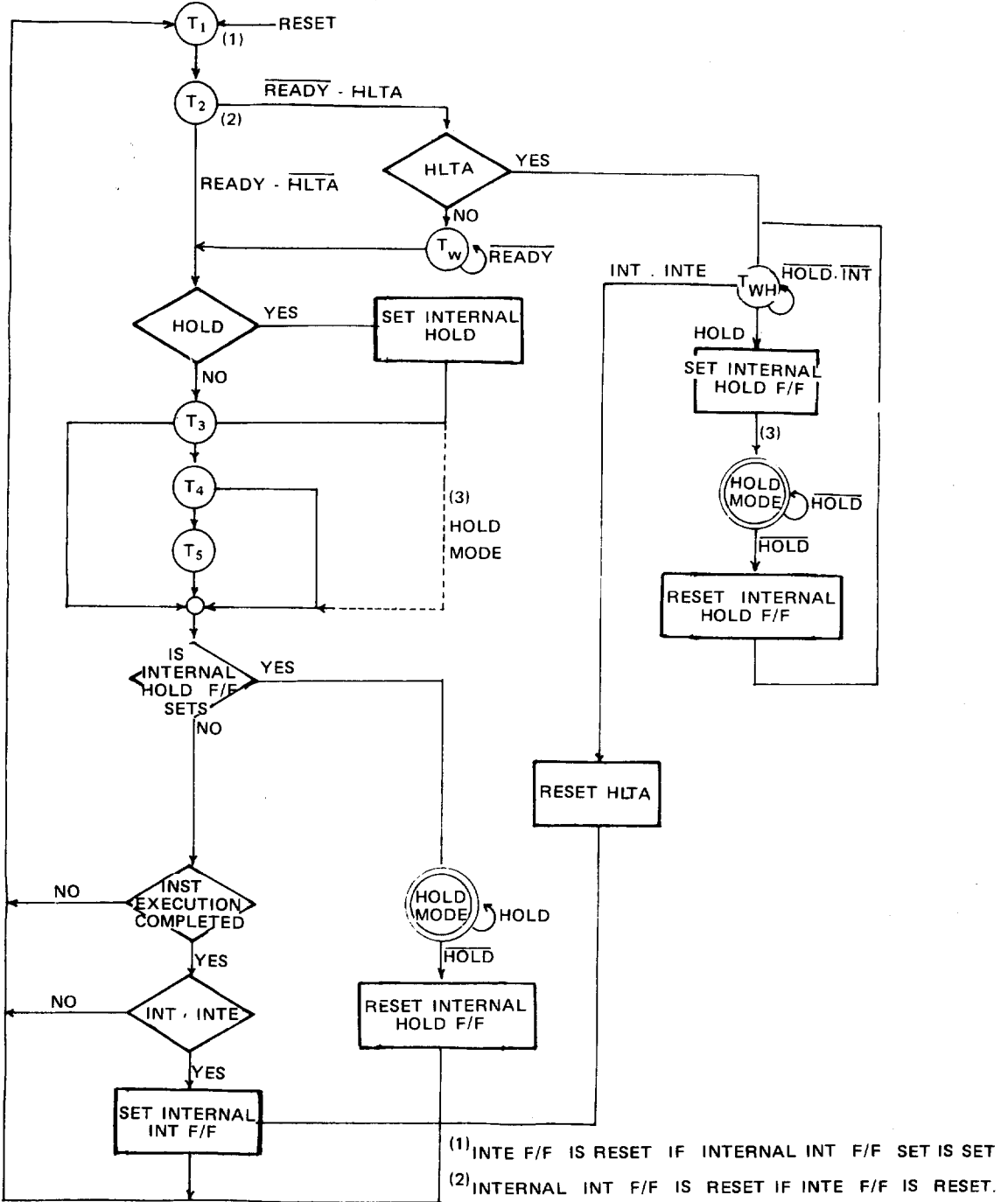
RST 5.5 (input)

RST 6.5 이 3가지 input는 내부에서 INTR와 마찬가지로 작용하며

RST 7.5 RESTART가 자동적으로 이루어지게 되어

INTA (output)

Interrupt acknowledge 신호로서 INTR 후의 instruction cycle에서 RD 신호 대신 사



(1) INTE F/F IS RESET IF INTERNAL INT F/F SET IS SET
 (2) INTERNAL INT F/F IS RESET IF INTE F/F IS RESET.

(3) SEE PAGE 2.12.

그림 3. CPU state transition
 (713)

있다. Software 로 각각의 mask가 가능하다.

TRAP (input)

RST4.5에 해당하며 software로 mask가 불가능하다.

RESET IN(input)

PC를 0으로 reset하여 address 0로부터 start하도록 한다. Interrupt enable과

HLDA flip-flop 과 reset할때 다른 내부의 register는 reset 되지 않는다.

Schmitt-triggered input 로 되어 있으므로 RC 회로를 연결하여 power-on reset를 가능하게 해 준다.

RESET OUT (output)

CPU가 reset되고 있음을 나타낸다. System reset를 위해 사용된다.

X1, X2 (input)

Crystal 또는 LC, RC를 연결하여 내부 clock을 발생시킨다.

CUK (output)

발전주파수의 1/2인 주파수를 갖는 system clock이 나온다.

SID(input)

1 bit 입력 port로서 RIM 명령을 이용하여 입력시킬 수 있다.

SOD (output)

1 bit 출력 port로서 SIM 명령을 이용하여 set 혹은 reset 할 수 있다.

Vcc + 5 volt 전원

Vss Ground.

2.3 8085의 CPU state transition sequence

앞에서 설명한 것처럼 8085의 명령실행은 machine cycle 의 연속으로 구성된다. 각각의 machine cycle 의 성질과 순서를 MI 에서 읽어온 OP code에 의해 결정된다.

Machine cycle 은 표 1 과 같이 7종류가 있으며 3개의 status line (IO/M, SO, SI) 과 3개의 control line (RD, WR, INTA) 으로서 구별할 수 있다. Machine cycle 은 OP code fetch cycle 을 제외하면 통상 3 clock cycle 로 이루어진다. OF cycle 은 대부분이 4개의 T cycle 로 이루어지며 DAD 와 같은 경우는 T1 - T6의 6 cycle 로 이루어진다. 그런데 T1 T2 다음에 T wait 가 들어갈 수 있다. 이것은 memory read/write의 경우 memory 의 속도가 8085보다 느리게 되면 CPU의 READY 압력을 이용하여 CPU가 T wait 상태에 들어감으로써 memory 속도에 맞추어 줄 수 있게 한다. 8085의 CPU state transition 순서는 그림 3과 같다.

2.4 8085 Instruction set

아무리 정교하게 만들어진 컴퓨터 일지라도 주어진 instruction을 정해진 순서에 따라 실행하는 기계일뿐이다. Program 은 instruction 을 순서에 따라 나열해 둔 것을 말한다. 이 program을 CPU가 읽을수 있는 memory space 에 넣어 주고 CPU로 하여금 program 을 실행하도록 하면 주어진 문제의 해답을

표 1 8085 machine cycle

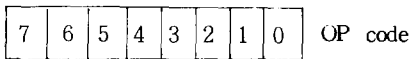
MACHINE CYCLE	STATUS				CONTROL	
	IO/M	SI	SO	RD	WR	INTA
OPCODE FETCH (OF)	0	1	1	0	1	1
MEMORY READ (MR)	0	1	0	0	1	1
MEMORY WRITE (MW)	0	0	1	1	0	1
I/O READ (IOR)	1	1	0	0	1	1
I/O WRITE (IOW)	1	0	1	1	0	1
INTR ACKNOWLEDGE (INA)	1	1	1	1	1	0
BUS IDLE (BI) : DAD	0	1	0	1	1	1
INA (RST/TRAP)	1	1	1	1	1	1
HALT	TS	0	0	TS	TS	1

O = Logic "0" 1 = Logic "1" TS = High Impedance X = Unspecified

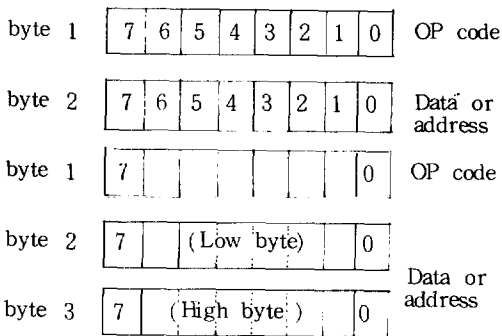
구할 수 있다. 8085의 instruction set 는 chip design 에서 고정되어 있다.

8085 system에서 사용되는 memory 는 8 bit byte 로 구성되어 있으며 각 byte 는 실제 memory space 에서 고유한 address 를 갖는다. Memory 속의 각 byte 는 OP code, data, address 등이 mix되어 있으나 program의 실행과정에서 각 instruction의 operation 내용에 따라 구분된다. 8085 program instruction은 1 byte, 2 bytes, 3 bytes의 길이로 되어 있으며 연속된 memory space 에 저장되어 있어야 한다. Instruction의 address 는 항상 첫번째 byte의 위치를 말한다.

Single byte instruction



Two byte instruction



8085는 memory 또는 register 내에 저장된 data에 대하여 4가지의 addressing mode를 가지고 있다.

Direct 3 byte instruction에서 byte 2와 3이 data의 memory address를 기억하고 있다.

Register instruction의 OP code 내에서 data가 들어 있는 register 또는 register pair를 지정한다.

Register indirect instruction이 지정하는 register pair 속에 data address가 들어 있다.

Immediate instruction이 data 자체를 포함하고 있다. 8 bit의 경우와 16 bit의 경우가 있다.

Interrupt나 branch instruction이 아닌 경우는 연속적으로 증가되며 branch instruction은 다음 2가지 방법에 따라 다음 instruction의 address를 나타낸다.

Direct branch instruction이 다음 instruction의 address를 byte 2, 3에 가지고 있다.

Register indirect branch instruction이 지정하는 register pair가 다음 instruction의 address를 기억하고 있다.

8085는 다음과 같은 5가지 group의 instruction을 가지고 있으며 자세한 내용은 표 4.2와 같다.

Data transfer group register와 register 또는 memory와 register 사이에 data를 copy하는 MOV, LOAD, STORE 및 교환하는 EXCHANGE가 있다. 이들 명령이 수행될 때 condition flag은 변하지 않는다. 1 byte 이동의 경우와 2 byte 이동의 경우가 있다.

Arithmetic group register 혹은 memory 내의 data를 ADD, SUBTRACT, INCREMENT, DECREMENT한다. 이때 condition flag은 계산결과에 따라 변화된다. Subtraction은 2' complement로 계산된다

Logic group register 혹은 memory 내의 data에 대하여 AND, OR, XOR 및 compare, rotate, complement 등을 행하며 condition flag이 변화된다.

Branch group condition jump, unconditional jump, call, return, restart 등이 있으며 program의 실행순서를 바꾼다. Condition flag은 변화되지 않는다. Condition은 zero, carry, parity, sign 등을 check할 수 있다.

Stack, I/O, and machine control group 이 group의 instruction은 stack을 조작하거나 입출력 port로부터 data를 read/write하거나, interrupt mask를 set 혹은 read할 수 있으며 flag을 clear 혹은 set한다.

8085의 각 instruction은 최소 4 clock cycle에서부터 최대 18 clock cycle로 수행된다. CPU의 clock freq는 CPU에 연결된 X-tal 공진주파수의 1/2이다. Program의 각 instruction에 대하여 table로부터 소요되는 clock cycle의 수를 구하여 모두 합하면 실제로 CPU가 program을 실행하는 속도를 계산할 수 있다.

이와 같은 CPU time의 계산은 real time I/O의 경우나 software delay의 정확한 시간 계산에 이용된다. 이것으로 Intel 8085에 대해서 끝내고 one-chip-processor에 대해서 토의를 하겠다.

3. One-Chip-Micro-Processor

현재까지 발표된 micro-processor의 종류와 양의 모든 면에서 One-Chip Processor는 가장 큰 비중을 차지하고 있으며 이러한 추세는 당분간 계속될 전망이다.

반도체 기술의 향상에 따라 최근의 One-Chip-Processor는 더욱 더 다양한 기능과 많은 Program을 수용할 수 있게 되었다. 이 장에서는 이러한 One-

Chip-Processor의 응용을 위하여 기본적인 기능, 구조상 특징 및 Intel사의 8048을 다루겠다.

3.1 One-Chip Processor의 장점 및 특징

A. 장점

1. 소형 저소비 전력
2. One-Chip as Kernel-Diagnostic Overhead 감소
3. 효율적인 명령비(대부분 1 byte)

B. 특징

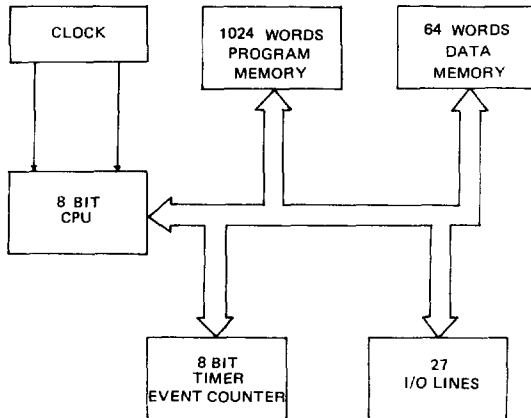
One-Chip-Processor는 기본적으로 그 자체로서도 하나의 완전한 Micro-Computer System이 될 수 있다. 즉 일반적인 Micro-Computer의 구성요소인 CPU, ROM, RAM, I/O, TIMER 등이 집적되어 있다.

대체로 40pin이하의 pin수로 구성되므로, 다음과 같이 일반적인 Micro-Processor에 비하여 상당히 다른 특징을 갖게 된다.

1. Address Space의 제한
2. Data 및 Address Bus가 없거나, 있더라도 I/O로서 사용될 수 있다.
3. 외부 Device를 사용할 경우 Data 및 Address가 Multiplex 된다.
4. Control 기능이 제한된다.
 - DMA, WAIT 등의 기능이 극소화 된다.
5. 특별한 I/O가 부가 된다.
 - A/D, D/A, UART
6. 내부 ROM 혹은 외부 ROM VERSION을 병행 생산
7. 하나의 PIN이 여러가지 기능을 수행한다.

3.2 INTEL 8048

Commercial용도의 One-Chip-Processor로서 가



장 많이 보급 되었으며, 가장 많은 2ND Source 가 있다.

Family로서 다음과 같은 기종이 있다.

- 8035 ROMLESS VERSION OF 8048
- 8748 EPROM VERSION
- 8049/8749 DOUBLE DENSITY MEMORY VERSION
- 80C 48 CMOS VERSION
- 8021 REDUCED I/O VERSION (28PIN)

8048의 구조

그림4에서 보는 바와 같이 8048의 기본 요소는 다음과 같다.

1. ROM 1K Byte(2KB 확장가능)
2. RAM 64 Byte
3. TIMER 8 BIT
4. I/O 27
5. CLOCK up to 6MHz

8048의 REGISTER

8048의 Register 구조는 그림 5와 같다.

1. ACCUMULATOR 8 BIT
2. RAM 2x8 DIRECT ADDRESSABLE REGISTER(2 BANK 중 1 BANK만 ACTIVE); 16 Byte STACK 32 Byte SCRATCH PAD RAM
3. I/O PORT PORT0 I/O or BUS PORT1 I/O or BUS PORT2 I/O or BUS
4. STATUS BS/F0/F1/AC/CY/SP
5. PC 12 BIT (up to 2KB)

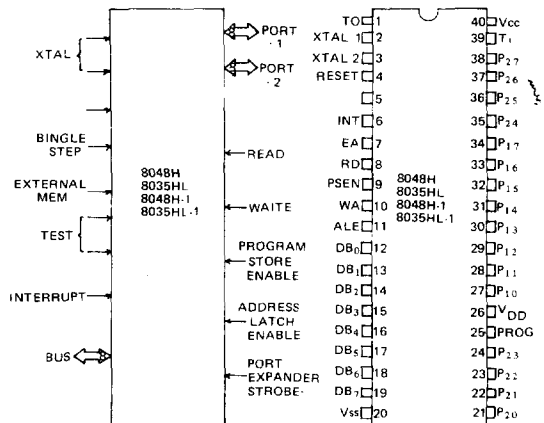


그림 4. 8048

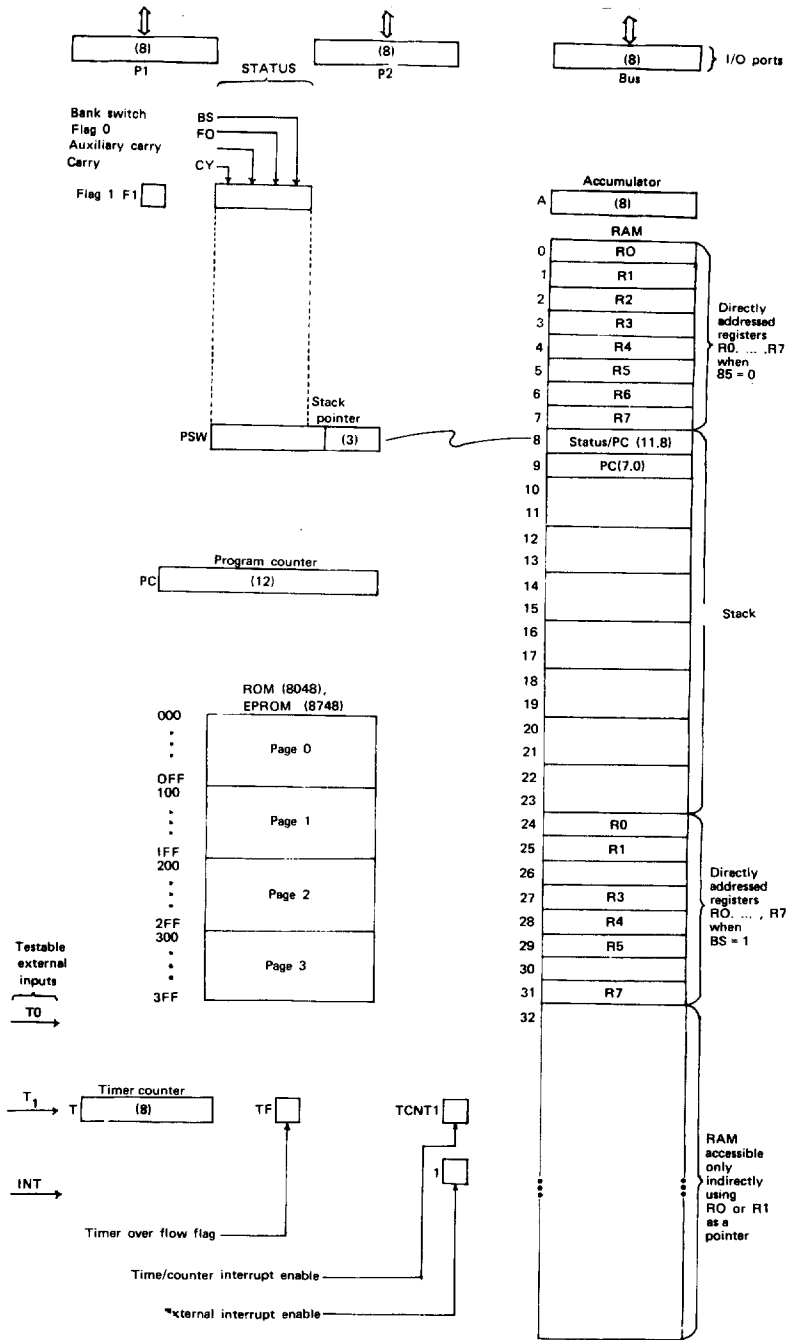


그림 5. 8048 REGISTER

6. ROM
7. TIMER/
COUNTER

256×4 (4 PAGE)
8BIT TIMER with OV
INT
SOURCE- EXTERNAL
EVENT OR INTERNAL
CLOCK

8. TESTABLE INPUT
9. INTERRUPT T 1 EDGE
INT LEVEL

70%의 instruction이 1 byte로 이루어져 있다.

3.4 Advanced One-Chip Processor

최근 반도체 기술의 발달에 따라 8048에 비해 많은 memory 와 multiplex timer , 개선된 interrupt, 확장된 instruction, UART 등을 포함한 One-Chip-Processor가 Intel, Zilog, Motorola 등에서 발표되게 됨에 따라 One-Chip-Processor 의 새로운 시대가 열리게 되었다. 이 Advanced chip은 Intel 8051, Zilog Z8, Motorola 6801이다.

참 고 문 헌

- [1] Intel, 8080 Microcomputer Systems User's Manual, 1975.
- [2] Zilog, Z 80-CPU Technical Manual, 1978.
- [3] Motorola, MC 6300 Manual, 1977.

- [4] Hilburn, J and P. Julich, Microcomputer: Microprocessor :Hardware, Software, And Applications, Englewood ,Cliffs, N. J. , Prentice Hall, 1976.
- [5] Osborn, A. An Introduction to Microcomputers, vol .1: Basic Concepts , Berkeley, Calif . Adam Osborn and Associate, 1976.
- [6] Mick, J and J. Brick, Bit -Slice Microprocessor Design, New York, NY: McGraw-Hill Book Co. 1980.
- [7] 김명환, 석민수, "디지털 시스템과 C.P.U. 설계, (산학협동하기 단기강좌), " 한국과학기술원, 1982.
- [8] 김명환, "디지털 시스템과 마이크로 프로세서 설계(V) Bit Slice Microprocessor ", 전기학회지, 제 31권, 제 11호, 1982년 11월.

終身會費完納者名單

(1982.9.1 ~ 30) : 7名

會員番號	姓名	所屬	會員番號	姓名	所屬	會員番號	姓名	所屬	會員番號	姓名	所屬
575118	李適良	호남정유	701029	崔泳天	단국공고	284008	白英鶴	전기통신연	558028	尹甲求	한국전력
575420	李昌燮	한국전력	558046	尹義炳	보국전기	263061	朴贊斌	대전기계창			

終身會費分納者名單

(1982.9.1 ~ 30) : 7名

會員番號	姓名	所屬	會員番號	姓名	所屬	會員番號	姓名	所屬	會員番號	姓名	所屬
122156	金東龍	전 북 대	018029	姜鎬雨	일 하 대	263025	朴復基	서해공전	094038	權旭鉉	서울대
263014	朴大熙	금성전선연	575156	李始永	수원공전	284013	白榮基	한국전력			

<正會員>

新規加入者名單

(1982.9.1 ~ 30) : 63名

會員番號	姓名	所屬	會員番號	姓名	所屬	會員番號	姓名	所屬	會員番號	姓名	所屬
437039	安亨基	인천대	575470	李承干	영후공고	701140	崔洪柱	전기통신연	272007	方祥奎	한양대
263202	朴漢喆	미릉건설	294008	邊 梁	조대공전	122540	金鎬烈	송 전 대	392023	孫榮烈	"
602043	張正泰	한 전	575473	李佑暎	전기통신연	120012	羅榮東	"	558056	尹熙文	"
516005	王東權	"	396041	宋在成	"	263209	朴炳昱	"	575477	李相孝	"
094045	權五燦	안동공고	122535	金鎬峰	"	263210	朴성규	덕원여고	575478	李信載	"
575468	李東建	"	122534	金容珮	"	263211	朴定根	Co. 하양	575479	李炯均	한국전력
122526	金奎植	서울대	122533	金容柱	"	499054	吳範鎭	송 전 대	620132	鄭道燮	전흥전기
423041	申鉉德	"	122532	金南憲	"	548049	柳仁基	대한전선	122545	金灌珠	동아대
575469	李宅鍾	성균관대	437040	安仁模	동 아 대	575476	李珍基	서울일노	122546	金錫浩	"
701136	崔承甲	서울대	263206	朴東旭	전기통신연	602044	張志兆	운산공고	263213	朴榮天	"

(P 59에서 계속)