

LSI/VLSI 設計 自動化

李文基

韓國電子技術研究所,
集積回路設計室長 (工博)

1. 서 론

집적회로의 기술 진보와 더불어 오늘 날 100,000개 이상의 트랜지스터로 구성된 복잡한 규모의 집적회로가 생산 보급되고 있다. 이와 같이 증가하고 있는 집적도는 물리적 한계와 가공(fabrication) 및 설계능력 한계에 의해 제한된다고 일반적으로 알려져 있다. 이중 설계능력 한계는 수십만 gate의 복잡한 회로를 논리적으로나 물리적으로 틀림없이 설계하고 이의 동작을 확실히 시험할 수 있도록 하는 한계점을 말한다.

이러한 설계 능력 한계를 극복하려면 시스템 설계자와 VLSI (very large scale integrated circuit) 설계자와의 공통의 설계 시스템을 확립할 필요가 있다. 결과적으로 IC 설계자는 실제로 integrated system 설계자이지만 PCB 수준의 기능별 모듈(module)에만 관심 있는 system설계와 비교하여 IC 설계자는 시스템 설계에서부터 개별적인 트랜지스터 레이아웃(layout)에 걸친 전과정에서 일해야 한다. 그러므로 설계자로서 방대해 지므로 설계기간의 대폭적인 단축 및 설계 오류 제거를 위해서는 계산기를 이용한 설계 방식 도입이 필요하다. 이것은 보통 소규모 집적회로 (small scale integrated circuit)를 설계하기 위해 일반적으로 회로 시뮬레이션(circuit simulation)을 계산기를 이용하여 행하는 CAD(computer aided design) 능력 이상의 설계 자동화 (design automation)를 의미한다. 이상적인 설계 자동화 시스템은 그림 1과 같다.

이와 같은 시스템의 구체적인 내용과 이것이 필요한 이유는 뒤에서 언급하고자 한다.

2. 집적회로의 발전

그림 2는 마이크로프로세서 (microprocessor) 의

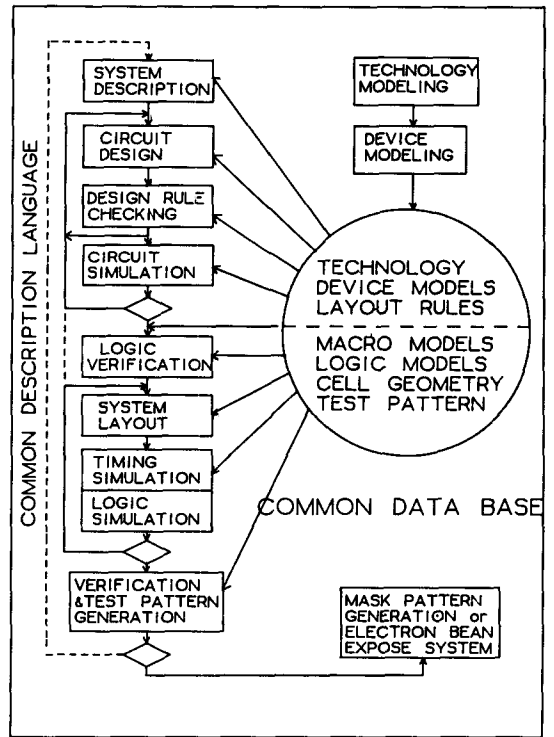


그림 1. 이상적인 집적회로 설계 자동화 시스템

집적도 증가상태를 발표 년도별로 표시한 것이다. 수직 축은 한 개의 칩(chip)속에 들어 있는 트랜지스터 수를 나타낸다. 주의 할 것은 마이크로프로세서의 집적도(integration complexity)는 지난 몇 년에 걸쳐 지수함수적으로 증가하고 있다. 이런 추세로 나가면 2~3년 후 백 만개의 트랜지스터(transistor)가 한 개의 칩속에 설계될 것이다. 이와 같이 급격히 집적도가 증가하므로 집적회로 설계에서 레이아웃 부분이 굉장히 많은 시간을 소비하며 많은 비용이 들게된다. 그러므로 설계

개발 비용이 증가하며 더욱 IC설계의 능력 한계점에 도달한다. 과거 수 년동안 레이아웃 생산성은 칩(chip)의 보급성이 증가함에 따라 감소하였다. 이 생산성은 여러가지 레이아웃 기법 예를 들면 대화식 그래픽 장치(inter active graphic system)에 의해 10devices/day /layout designer 정도로 개선되었다. 이것은 레이아웃의 제도 검증교정에 필요한 시간을 포함한 것이다.

그림 2로 부터 microprocessor 설계에 필요한 인력(man power)을 추정하면 그림 3 과 같다.

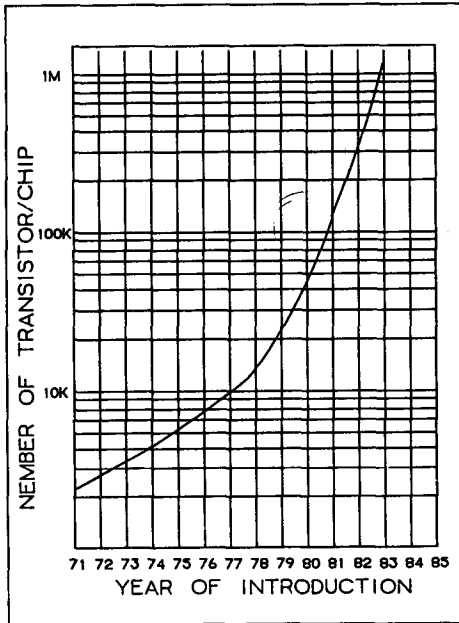


그림 2. 발표년도 별 집적도 증가

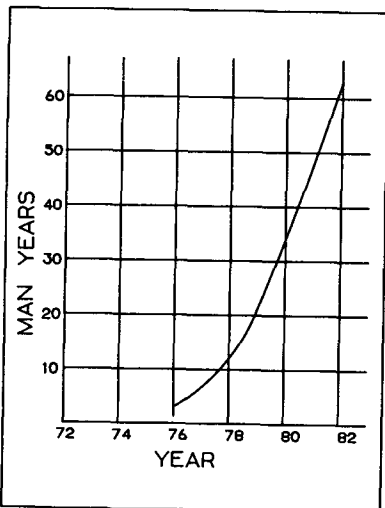


그림 3. 마이크로프로세서 설계 man year의 추세

종래의 설계법으로는 1980년도에는 layout 설계에 60 man year 이의 검증에 60man year 따라서 모두 120 man year 이상이 요구될 것으로 추정된다. 이는 집적회로 생산측면에서 보면 필요하고 알맞는 때에 설계생산이 이루어질 수 없음을 의미한다. 집적도 증가와 더불어 노력해야 할 것은 집적회로 설계자 수의 저변 확대와 세계적 규모의 IC 제조 업체가 아니라도 손쉽게 설계할 수 있는 설계자동화 시스템을 (design automation system)을 개발해야 한다. 종합적 설계 자동화 시스템을 확립하여 누구라도 만족할 수 있는 설계를 할 수 있도록 하는 것이 필요하다.

미국에서는 PARC 계산기 통신로를 경유하여 멀리 떨어진 대학교에서 입력된 IC 설계를 4주간이라는 짧은 turn around기간동안 값싸게 (한 집적회로당 약 500 \$ 이하) 제조하는 시스템이 1979년 이후 가동되고 있다. 또 한 가지 필요 불가결한 것은 집적회로 제조공정의 자동화이다. 이것은 대량 생산이 아니고 소량 다품종의 IC를 생산하는 경우 절대로 필요하다. IBM의 east fish kill 공장에서는 3층 금속배선 (3 layer metalization) 집적회로 전공정이 계산기 제어에 의해 완전히 자동화 되어있다.

3. 집적회로 설계의 흐름과 설계 자동화

설계는 크게 두가지 단계로 나눌 수 있다. 제 1의 단계는 device 설계를 행하여 NAND, NOR, FF. 등의 기능을 갖는 각종 cell을 만들어 library화 하는 것이다. 제 2의 단계는 이 library에 바탕을 두고 논리설계, 배치, 배선, 설계를 하여 그 결과가 물리적으로, 전기적으로, 논리적으로 정확하다는 것을 확인하며 집적회로의 시험 평가를 하기 위한 test pattern을 만드는 것이다. Cell library가 잘 되어있으면 제 2의 단계에서 집적회로 설계를 할수 있다. Device 설계, cell library 작성, 논리설계, 레이아웃 설계 및 test pattern 발생은 종래부터 꾸준히 집적회로 설계를 위해 행해졌다. 이것을 지원 하기 위해 설계 뒷받침 program이 각종 연구 되었지만 실용화 된 것은 회로 simulator, 논리 simulator, 대화식 그래픽 장치, 마스크 자료검증 program test pattern generation program 및 자동배치 (auto placement) 과 자동배선 (auto layouting) program 정도이다. 자동배치, 자동배선 program은 레이아웃 설계가 IC 설계에서 큰부분을 차지 하기 때문에 자동 설계 시스템 구성에서 차지하는 비중이 크다. Gate array IC에서는 대단한 수준의 설계 자동화 system이 구성

되어있다. 이것을 이용하여 100개 이상의 gate로 구성된 IC를 매우 짧은 시간에 간단히 설계할 수 있다. 반면 gate array 이외의 IC의 경우는 설계자동화 system의 형태가 아닌 수동설계가 행해졌다. 이러한 IC용 program을 초대형 집적회로 (very large scale integrated circuit)에 적용하면 계산기 처리시간이 극단으로 증가하고 자동설계 결과의 품질이 저하되고 따라서 실용성이 없게 된다. 또 각설계 공정의 사양(specification)을 통일적으로 기술하는 언어가 없으므로 각 program마다 그 data의 입력 형식에 맞추어 변환해야 하며 각종 program을 기동성 있게(dynamic) 사용하여 설계를 진행하는 것이 사실상 불가능하다. 또 설계 common data base가 없으므로 설계자료의 활용이 불가능하다. 초대형 집적회로 자동화 설계 system에서는 이러한 문제를 해결하기 위해

- 가) 공동 기술언어(common descriptive language)
- 나) 공동 data base
- 다) 자동설계 검증
- 라) 기능설계 확장 및 생산공정과의 연결동이 필요하다.

3 · 1 공정(Process) 설계

장래의 집적회로는 소자(device)의 기하학적 표면 형태가 점점 축소되어 갈 것이며 이와 같은 비례축소와 더불어 얇은 산화막(thin oxide), 얇은 접합(shallow junction); 다층 이온주입(multi-layer ion-implantation)과 매우 얇은 에피구조(thin epitaxial structure)로 될 것이다. 위와 같이 점점 얇은 수직 구조로의 공정기술 변화는 물리적 지식을 정확히 파악 해야 할 필요를 점점 요구하게 된다. 과거 몇 년동안 IC 제조 공정 물리를 simulate 할 수 있는 모델이 개발되었다. 이것에 의하면, 예를 들면 phosphorous 도우핑(doping)의 경우 taj! 팽창문제 또는 과도한 heavy에 미터 확산에 의한 베이스 푸슈효과(push effect) 등이 사전에 산출될 수 있다. Process simulation은 집적회로 제조 공정과 결합시켜 전체의 자동화에 큰 역할을 하게 된다. 이렇게 되면 개발 line으로써는 고객(custom) 직접회로 설계제 조라는 새로운 분야를 개척하게 되며 또한 대량생산 line으로써는 생산수율을 향상시킬 것으로 기대되고 있다. Process simulation은 원래 일차원에서 이루어졌지만 최근 소자의 미세한 구조로 인해 2차원 해석이 요망되고 이분야의 연구가 활발히 진행되고 있다.

3 · 2 Device 설계

디바이스(device) 설계에는 마스크, 확산 에칭 등으로 결정되는 공정과정을 고려하여 필요한 성능을 갖는 트랜지스터의 구조 설계가 이루어진다. 종래 기본적인 특성이 확인되어 있는 제조공정과 디바이스 구조를 전제로 하여 해석적 모델을 만들어 설계에 이용하여 왔지만 디바이스의 미세화로 이것으로 표시되지 않는 현상이 차차 나타나게 되었다. MOSFET의 단채널(short channel) 효과로 알려진 현상이 한 예이다. 그러므로 현재로서는 미세화 소자의 특성 파악 때문에 device 시뮬레이션 프로그램이 사용되고 있다.

이것은 불순물 분포조건등으로 부터 전기특성을 산출하는 것이고 반도체 소자의 기본 방정식 (poisson equation, 전류 연속 방정식, 전류 밀도 방정식)을 수치해석 한 것으로 이차원 시뮬레이터가 사용되고 있다. 이와 더불어 process 시뮬레이션과 device 시뮬레이션을 결합한 device 최적화 프로그램도 현재 발표되고 있다. 한편 디바이스 시뮬레이션과 회로 시뮬레이션을 혼합한 mixed level 시뮬레이터가 집적회로가 복잡해짐에 따라 점차 요구된다. 이와같은 시뮬레이터를 이용하면 기억회로(memory circuit)에서 1 bit 분을 디바이스 시뮬레이터로 해석하고 다들 부분을 회로 시뮬레이터로 해석 하므로 효율적으로 설계를 할 수 있겠다.

3 · 3 기본 회로 설계

기본회로 설계에서는 셀의 전자회로 설계를 한다. 셀의 회로 구성은 논리기능 전파지연(propagation delay), 소비전력, 구동(drive) 능력 등의 정보와 함께 cell library 로 보관된다. 셀이 소정의 논리기능을 갖도록 트랜지스터등의 소자를 이용하여 회로를 구성하고 소자 값 (저항값, 용량값, 트랜지스터 모델 변수)을 정한다. 이와 같이 완성된 회로를 회로 해석 프로그램을 이용하여 평가한다. 이 프로그램을 직류, 교류, 특성 스위치, 특성 허용변동 범위, 소비전력, 잠음특성과 bipolar와 MOE 트랜지스터의 비선형 회로모델을 기초로 하여 감도 해석을 할 수 있다. 이들 회로 해석 프로그램은 Sparse matrix 해법, Newton-Raphson iteration법에 의해 비선형 소자를 해석하는 algorithms 을 갖고 있다.

3 · 4 논리설계

논리설계에는 기능설계와 회로설계로 나눌 수 있다. 기능설계의 단계에서는 register, full adder, ACU

등을 조합한 회로가 구성요소이며 각종 연산자가 register 간의 기능 연산이나 전송 조건등을 표시하는데 사용된다. 한편 회로 설계 단계에서는 셀(NAND, NOR, FF 등의 gate level)이 구성요소이고 셀 및 이들간의 접속관계를 나타내는 회로도도 만들어진다. 종래의 집적회로의 집적도는 기능설계를 할 정도로 복잡하지 않지만 VLSI에서는 기능설계 방식을 도입해야 한다. 기능설계를 지원하기 위한 기능 시뮬레이터(function simulator), 회로설계를 위한 논리(gate level) 시뮬레이터가 사용되고 있다. 그러나 그림 2에서 보는 바와 같이 1982년 이후 IC의 집적도는 증가하여 완전히 시스템 수준의 복잡성을 이루므로 논리시뮬레이터로써는 처리 불가능해진다. 그러므로 VLSI에서는 기능설계 방식을 도입해야 한다. 그렇게 되면 설계가 더욱 이해하기 쉽고 설계 정보를 입력시키는 것이 더욱 효율적으로 된다. 시뮬레이터를 이용하는 중요 동기는 비용이 많이 드는 재설계 과정을 피하기 위함으로 단일 공동기술언어(common description language)과 데이터베이스(data base)로 밀접한 결합이 절대적으로 필요하다.

3 • 5 시험 검사

집적회로가 점점 대형화 되어감에 따라 직면하게 되는 큰 문제는 어떻게 시험을 할 수 있는냐 하는 것이다. Test pattern 발생에서는 집적회로 제조후 논리 기능을 시험하기 위해 입력신호에 대한 출력신호 기대치의 sequence를 작성한다. 이것을 가지고 정해진 수의 단자에서 집적회로 칩내의 복잡한 회로의 고장을 검출한다. 그러므로 VLSI의 가격은 시험을 값싸게 할수록 낮아진다. 과거에는 테스트 패턴이 수동으로 작성되었지만 이 방법으로는 500~1000gates로 구성된 칩을 감당할 수 없다. 더욱 VLSI로 되면 한층 시험문제는 곤란해진다. 이 때문에 시험 용이화 설계를 촉진 시키기 위한 CAD 시스템과 시험성(testability)이 우수한 RAM, ROM, PLA 등의 규칙적인 구조의 이용이 널리 고려되고 있다.

3 • 6 Layout 설계

레이아웃(layout) 설계에서는 회로기술을 바탕으로 하여 셀을 칩위에 배치하고 그간의 배선 경로를 정하게 된다. 현재 판매되고 있는 CAD 시스템은 모두 레이아웃을 도와 주기 위한 그래픽 시스템으로써 artwork 처리에서 마스크 패턴(mask pattern) 작성 장치용의

데이터를 만들어준다. 게이트 어레이(gate array) 방식의 집적회로는 설계 자동화가 잘 되어 있다. 그러나 일반적인 다른 집적회로에 대해서도 설계 자동화가 시도되고 있지만 수동 설계와 비교하여 칩 크기가 증가하기 때문에 실용화 되지는 못하고 오로지 대화식(interactive) 도형처리 시스템에 의하여 수동으로 설계도가 있다. 그러므로 수동설계 자료를 검증하기 위한 각종 검증 프로그램들이 이용되고 있다. 그런데 점차 설계자가 초대형 집적회로화함에 따라 종래 방식을 적용한 경우 설계공기(design period)의 증가, 칩 면적 이용 효율의 악화가 문제되고 있다. 이것을 해결하는 방법으로는 다음의 3가지가 주로 논의되고 있다.

1) 계층적 레이아웃 기법(hierarchical layout method)

칩 블록(block) 서브블럭(sub block) 셀... 이라는 계층을 설정하고 맨아래 계층에서 부터 순차적으로 설계해 간다.

2) 레이아웃 자동설계

Library 형태로 저장된, 미리 정의한 논리셀(logic cell) 로 부터 레이아웃을 자동 발생한다. 여기 사용된 셀은 최대 조밀도(maximum compactness)를 갖도록 미리 수동으로 설계된 것들이다.

3) 기호 설계법(symbolic design method)

상징적인 도형 즉 이른바 스틱(stick) 모양의 형태로 회로를 대응시켜 설계를 한다. 이 방식에 의하면 회로가 설계규칙에 무관하게 표현할수 있다. 즉 예를들면 N channel MOS에서 HMOS로 바꾸는 것이 새설계 규칙을 이용하여 간단히 콤파일(compile)만 다시하면 된다. 이 방식은 앞으로 큰 발전이 예상되고 있다.

4) 규칙적 구조 이용

ROM, RAM, PLA 등의 규칙적인 구조를 많이 이용하여 설계한다.

4. 국내의 현황

그림은 한국전자기술연구소서 국내에 최초로 설치된(1980년 11월 24일) CAD system인 applicon AGS/885을 나타낸다.

그림 4는 hardware 구성도를 나타내고 그 개별적인 특성은 아래와 같다.

- PDP-11/34 processor (96K B memory)
- DEC RSX-11 operating system
- Disk unit 200MB

- Single drive magnetic tape unit
- Graphic 32 processor and video controller
32Bit microprogrammed minicomputer로써 4개의 tabletiger terminal을 운용할 수 있다.
- TX23 keyboard/printer terminal

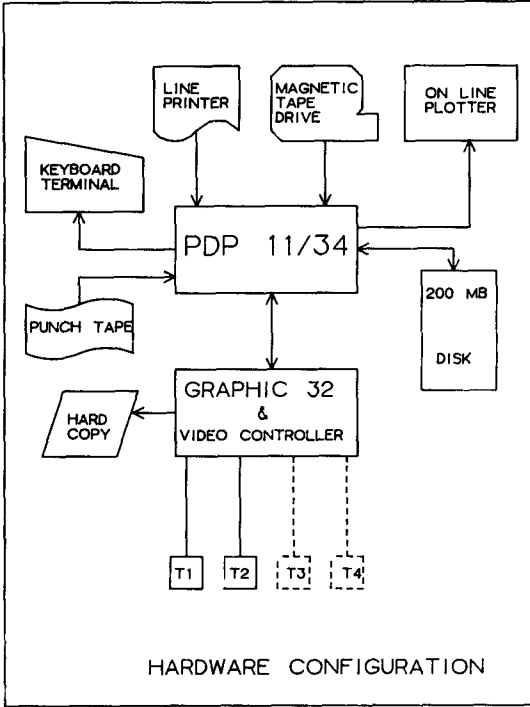


그림 4. KIET에 설치된 CAD system 구성도

- 30CPS 132 column printer
- ASC II 96 alphanumeric keyboard
- T57 Tabletiger terminal
34×44" free standing style
21" video graphic display
ASC II 96 character keyboard
electronic pens
high resolution puck
function keyboard
- T17 editing tabletiger terminal
12"×12" tablet
21" video graphic display
ASC II 96 character keyboard
electronic pen
- Hard copy unit
- Calcom 960 color line plotter

- 33"×59" plot area
 - High speed tape reader and puncher
 - TX100 video CRT display
- 현재 운용하고 있는 software는 다음과 같다.
Software

- AGS 900 Multi-tasking operating system
 - AGS 860 VLSI graphic application
 - AGS 861 User command interface
 - AGS 863 Pattern generator package
 - AGS 845 PCB design group
 - AGS 880 3 D graphic software
 - AGS 870 2 D graphic software
 - AGS 862 design rule check for VLSI
- KIET에서는 현재 IC 설계를 아래와 같은 두 가지 방법으로 하고 있다.

- 1) Digitizing을 이용하는 방법
 - a) 사양에 맞는 회로 정의
 - b) Simulation (spice, MSinc)
 - c) 레이아웃 작성
 - d) 레이아웃을 digitize한다.
 - e) Plot and check
 - f) Edit, correct and modification
 - g) Mask 제작을 위한 pattern generation
- 실제로 CAD시스템은 d)~g)에서 이용되고 있다.

2) On line IC design

IC레이아웃 설계를 CAD system의 terminal에서 직접 수행한다. CRT, alphanumeric keyboard, function keyboard electronic pen과 tablet을 이용하여 기본 셀을 입력 시키고 이것을 menu로 정의한다. 그 후 terminal에서 menu로 정의된 이 셀들을 적절히 배열 구축 시킨다.

그 후 설계규칙을 점검하는 software로 설계오류를 조사 교정하여 mask pattern generation을 하게 된다. 앞서 지적하였지만 현재의 시스템은 단순히 computer aided artwork system이지, computer aided design system은 아니다

5. 결 론

본문에서 집집회로 CAD의 현황과 VLSI화에 따른 문제점을 요약하였다.

표 1은 CAD tool의 현황과 개선이 필요한 부분을 비교한 것이다.

표 1. CAD tool의 현황과 개선점

종 류	현 황	개 선 점
디바이스 설계	2 차원 해석 프로그램 (1~20분/V - I 곡선)	100배이상 빠른 2 차원해석프로그램 3 차원해석, 회로해석과 혼성된시물레이션
회 로 설 계	표준 해석 프로그램 (1~100ms/gate time-point 최대 1000 gates) (timing 시뮬레이터 (0.1~1 ms/gate-time point, 최대 5000 gates))	대형회로(~10 ⁴ gates) 해석 파라미터 최적화
레이아웃 설계	자동 레이아웃 (게이트·어레이 10~60분/1000 gates) 설계규칙과 논리검사 (0.1~1 초/트랜지스터)	고밀도 집적회로 자동 레이아웃 10배이상 빠른 검사
논리 시험 (test) 설계	게이트수준 시뮬레이터 (10~100초/1000gates, 1000 패턴)	10배이상 빠른
	레지스터 수준 시뮬레이터 (0.01~0.5초/시물레이션 cycle) Fault 시뮬레이터 (10~100분/1000 gates 1000 패턴) 자동시험 생성 (최대 3000 gates)	시험 패턴 생성에 이용 가능 100배이상 빠른
시스템 설계		architecture 설계 평가와 검증 software 검증

VLSI의 설계는 개별적인 CAD tool을 일관화된 설계 자동화 시스템으로 통합함으로써 설계 오류에 대한 위험을 감소시킬수 있는 조직적인 방법으로만 가능하게 될 것이다. 앞서 언급된 그림 1 이 이러한 시스템 구조의 가능성을 나타낸다. High level에서의 system description은 공통 data base에 저장된 셀로 구성된 subsystem과의 상호관계를 simulate 하며 기술(describe) 한다.

새로운 cell은 sticks 도형을 이용하여 수동으로 설

계 되어야 한다.

이때 설계규칙이 점검되고 회로 simulation 이 함께 이루어진다. 설계가 완성되면 기하학적 자료, 아울러 논리 시물레이션, 회로 시물레이션 모델이 data base에 저장된다. Subsystem의 정상적인 논리동작은 논리 시물레이션에 의해 검증 확인 될 수 있다. 이와 같은 과정이 완료되면 micro cell을 이용한 레이아웃이 자동으로 이루어지며 상호 접촉점에서의 parastics가 계산 되어 논리와 timing 시물레이션을 정확히 행할 수 있게 한다. 만족할만한 결과가 얻어지면 자동 검사 패턴이 작성되고 검증 뒤후 마스크를 제작하게 된다.

이와 같은 system은 아직 존재하지 않지만 부분적으로는 성공적으로 실현되었고, 이런 방향으로 계속 연구 개발되고 있다. 그러므로 국내에서도 이분야의 연구가 활발해져서 이와 같은 설계 자동화 시스템이 remote terminal을 통해 멀리 떨어진 여러 곳에서 동시에 사용할 수 있게 되기를 바란다. 여기에는 막대한 연구비와 인력을 투입하여 장기적으로 노력해야 가능하지만 VLSI의 설계 한계를 극복하는 유일한 길은 CAD 기술이다.

참 고 자 료

1. J. F. Mason, "VLSI goes to school," IEEE Spectrum P. 48-52, Nov, 1980.
2. R. H. Brunner, et. al., "Automated semiconductor line speeds custom chip production," Electronics P. 121-127, Jan, 27, 1981.
3. J. S. Koford, E. R. Jones, "A development system for gate array," Midcon 1981 Chicags ill.
4. T. C. Raymond, "LSI/VLSI Design Automation," Computer P. 89-101 July 1981.
5. M. Marshall, "VLSI Pushes super-CAD techniques," Electronics P. 73-80 July 31, 1980
6. L. M. Rosenberg, "The evolution of design automation to meet the challenger of VLSI," Design Automation P. 3-11 1980 Caltech.
7. 이문기, "컴퓨터 이용 집적회로 설계" 컴퓨터를 이용한 설계 제조 심포지움집 P. 81-96 과학기술처 정보산업국 1981. 4.
8. D. A. Antoniadis, R. W. Dutton, "Models for computer simulation of complete IC fabrication process," IEEE Jour. of solid state circuits VOL. SC-14 No. 2, P. 412-422 Apr. 1979.