

半導體 材料技術의 最近 動向

- 실리콘 半導體 材料를 中心으로 -

閔 碩 基

韓國科學技術院 半導體材料研究室長 (工博)

1. 머리말

반도체 산업은 기술 복잡성으로 크게 나누어 재료기술, 소자(device) 기술, 조립·포장(assembly) 기술 등으로 분류해서 생각할 수 있는데, 이들 각각의 기술은 지난 30여년간 서로 병행하여 비약적인 발전을 거듭하여 오면서, 오늘 날 TR, IC, LSI, μ -processor, memory 소자, LED, 레이저 다이오드, 마이크로파 소자등 각종 반도체 제품을 생산하므로써 "현대산업의 꽃" 이라고 불리우는 반도체 산업이 이룩되었다.

반도체 재료로 사용되는 물질은 주기율표의 II족에서 VI족에 걸쳐 분포되어 있는 각종 원소들이 이용되고 있는데, 이들 원소들중에 한개의 원소가 반도체 재료로 이용되는 것을 단체 반도체 재료(Si, Ge 등), 2개 또는 그 이상의 원소가 화합물을 이루면서 반도체 재료로 이용되는 것을 화합물 반도체 재료라고 부르고 있다. 화합물 반도체 재료의 대표적인 것은 III-V족 화합물 반도체 재료(GaAs, GaP, InP 등)와 II-VI족 화합물 반도체 재료(CdS, CdSe, Hg Te 등)가 있다.

이러한 여러가지 반도체 재료 가운데서 오늘날 소위 반도체 산업에 쓰이는 핵심 반도체 재료는 실리콘(silicon, Si)으로서 전체 반도체 산업의 95% 이상이 이 재료를 기본소재로 하여 반도체 제품이 제조되고 있어, 실리콘은 오늘날 "제2의 철" 또는 "제2의 원유"라고 까지 불리워지고 있다. TR, IC, LSI VLSI, 태양전지 등은 모두 실리콘을 원자재로 사용한 반도체 제품들이다.

실리콘 반도체 재료는 일반적으로 규석을 출발 물질로 하여 금속실리콘-실리콘 염화물-다결정 실리콘-단결정 실리콘-실리콘 웨이퍼 등의 공정을 거쳐 제조

되고 있는데, 이러한 공정에는 초 고순도(5N-7N) 재료 정제 기술, 단결정 성장기술, 초정밀 절정 가공기술 및 재료특성평가 기술을 필요로 하고 있다. (그림1)

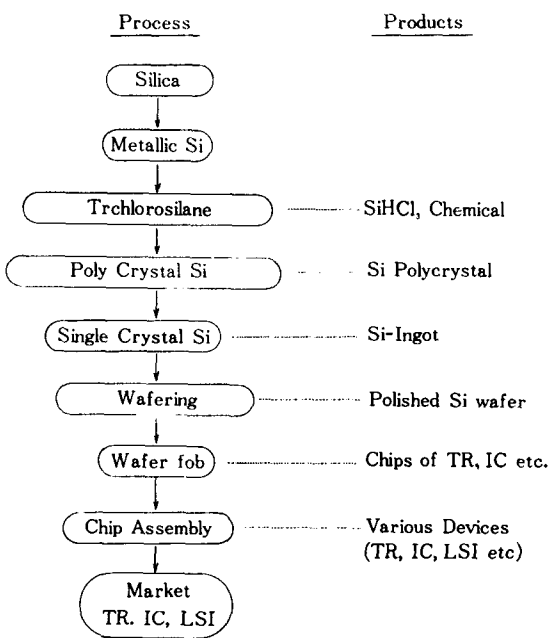


그림 1. Process of semiconductor industry.

이 중에서도 가장 핵심이 되는 기술은 단결정 성장 기술로서 이 기술의 난이도는 지난 20여년간 단결정 직경증가 추세를 보아도 짐작할 수 있다. 즉 1960년대 초 불과 직경 1인치 이었던 것이 1970년대 초에 2인치, 후반에 3인치에서 4인치로 증가하고, 1980년대 후반에는 직경 5~6인치가 일반화 될 것이 전망되고 있다.

이러한 실리콘 단결정의 대직경화와 아울러 각종 결정 결함이 거의 없는 무결함 결정 즉, 완전결정을 성장

시키려는 노력이 경주되고 있다. 현재 각종 반도체 장치에 이용되는 실리콘 단결정 웨이퍼의 결정 결함 밀도(dislocation etch pit density)는 보통 100이하/cm²의 것이 시판되고 있지만, 여기에는 많은 미세결정 결함이 내포되어 있다. 최근 고밀도 집적도(10⁷ functions/chips)를 갖는 반도체 장치를 제조하는 경우 이들 미세 결정구조가 device 특성과 수율 및 신뢰도에 많은 영향을 준다는 사실들이 알려지므로 해서 앞으로는 swirl이나 striation 등의 미세결정 결함이 아주 적은 실리콘 단결정을 성장 시켜야만 한다는 주장들이 대두되고 있다.

또 종래의 개별 반도체 소자나 IC등에서는 별로 문제시하지 않았던 실리콘 웨이퍼의 가공 정밀도는 IC의 집적도가 chip당 10K-100K 정도로 증가함에 따라 device maker에서 요구하는 웨이퍼 specification이 아주 엄격하여 졌다. 따라서 최근 이들 실리콘 웨이퍼 정밀 가공분야 기술도 현저하게 발전하였다. 표 1은 지난 20년간의 실리콘 웨이퍼 규격 추이를 정리한 것이다.⁽¹⁾

표 1. Typical silicon specification.

	1960	1970	1980
Wafer Diameter (mm)	12-25	50-75	75-100
Thickness (mm)	0.1-0.2	0.4	0.4-0.6
Resistivity Radial Gradient	30%	15%	< 10%
Dislocation Density (cm ⁻²)	50,000	1,000	< 100
Surface Finish	1/2 m	1/4 m	damage free
Crystal Weight	200gm	4 kg	10-20kg

표 2. World requirements for Si for semiconductor device production. (In millions of the units noted)

	1978	1979	1980	1981	1982	1983
Area (IN ²)	513	564	610	720	814	895
Value (\$)	359	419	478	578	665	731

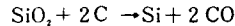
현재 실리콘 반도체 재료의 주요 생산국은 미국, 서독, 일본, 이태리 등이고 단결정을 기준으로 하여 연간 800~1,000톤 (다결정 기준으로는 2,500~2,800톤)이 생산되고 있다. 표 2는 최근 수년간의 실리콘 웨이퍼의 수요와 전망을 나타낸 것으로 1980년에 약 4.8억 달

라의 시장 규모를 보여 주고 있다.⁽²⁾ 앞으로 실리콘 반도체 재료의 수요는 계속 증가될 것이 예상되고, 특히 1980년대 후반 실리콘 태양전지가 일반화 되면 실리콘 수요(1985년 다결정 수요 연간 7,000톤 예상)는 폭발적으로 증가할 것이 예견된다.⁽³⁾

여기서는 이러한 실리콘 반도체 재료 분야의 최근의 기술 동향과 앞으로의 추세에 대하여 설명하고 또 우리나라의 기술 동향과 앞으로의 추세에 대하여 설명하고 또 우리나라의 기술 현황을 살펴보면서 반도체 재료 산업의 중요성을 마지막에 기술하기로 한다.

2. 고순도 다결정 실리콘 제조기술

실리콘 산화물인 규석을 탄소로 환원하여



순도가 98~99% 정도되는 금속 실리콘을 공업적으로 세정(세정(세정 2)^{(4)~(6)} 이들 다시 화학적인 방법으로 정제하여 순도가 10~11-nine의 다결정 실리콘을 제조해야만 반도체 재료로 이용할 수 있다.

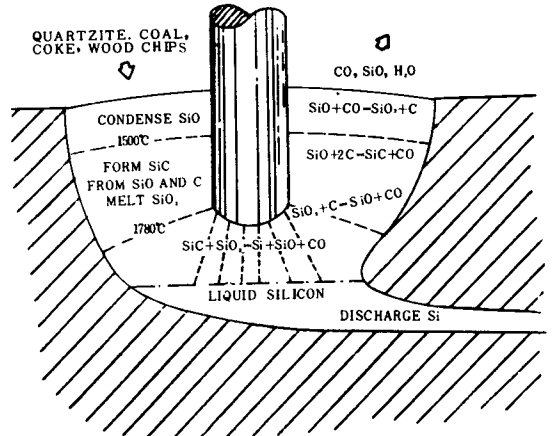


그림 2. Schematic of submerged-electrode arc furnace for the production of metallurgical-grade Si.

현재 공업적으로 쓰이는 다결정 실리콘 제조에는 3염화 silane법 (서독 Siemens)과 monosilane법 (일본 고야쓰 전자금속)이 있는데 구체적인 제조 방법은 다음과 같다.

가. 3염화 silane법⁽⁷⁻⁹⁾

금속 실리콘을 fine powder로 만들어 반응기(fluidized bed)⁽⁵⁾에서 300~400°C로 가열하면서 무수 HCl가

스와 반응시키면 SiHCl_3 , SiCl_4 등의 실리콘 염화물이 생성되는데, 이때 유의해야 할것은 이 반응이 발열반응이므로 반응 온도가 항상 일정하도록 반응기를 냉각시켜 주어야 한다. 반응시에 SiCl_4 는 부산물로 10~20%가 생성된다. (그림 3)

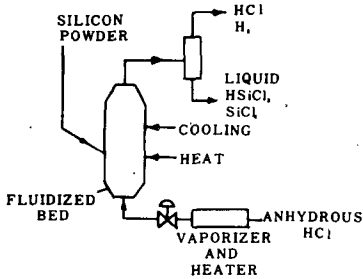
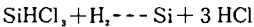


그림 3. Schematic of fluidized bed for the production of SiHCl_3 from produced MG-Si and anhydrous HCl.

보통 금속 실리콘 0.2~0.3ton에서 SiHCl_3 는 0.6~0.8ton이 생산되고 있다. 또 무수 HCl 가스는 전기화학적으로 제조된 H_2 와 Cl_2 가스를 반응 직전에 합성시켜 사용함으로써 hydrocarbon 불순물 영향을 최소화해야만 한다.

제조된 SiHCl_3 은 물리적, 화학적 정제과정을 거쳐 전기적으로 active한 불순물이 1.0ppb 이하가 되도록 하고, 정제된 SiHCl_3 을 H_2 로 환원 반응을 시키므로서 다결정 실리콘을 제조한다.



서독의 Siemens에서 쓰이고 있는 수소환원 방법을 소개하면, 가느다란 실리콘 막대를 환원반응관(그림 4)에 넣고, 여기에 전류를 흐르게 하여 막대의 온도가 1,100~1,200°C가 되도록 한다음 H_2 와 SiHCl_3 의 혼합가스를 반응관으로 흘려 보내어 다결정 실리콘이 막대위에 chemical vapor deposit 되도록 하고 있다.⁽¹⁰⁾

이때 반응관에서 미처 반응을 하지 않은 SiHCl_3 나 H_2 는 회수장치와 정제장치(그림 5)를 거쳐 환원 반응관에 다시 보내지고 또 부산물로 생성되는 HCl 가스는 회수하여 recycling을 위해 다시 정제시켜 fluidized bed 반응관으로 보낸다. 그리고 또다른 부산물인 SiCl_4 는 회수하여 정제 사용토록 하므로서 경제성을 높이는 방법을 최대한 이용하고 있다. 일정한 크기로 실리콘 다결정이 deposit되면 전압을 떨구어 서서히 온도를 내리고 다결정 실리콘봉을 환원 반응관에서 꺼내면 된다. 이렇게 하여 제조된 실리콘 다결정의 크기는 직경

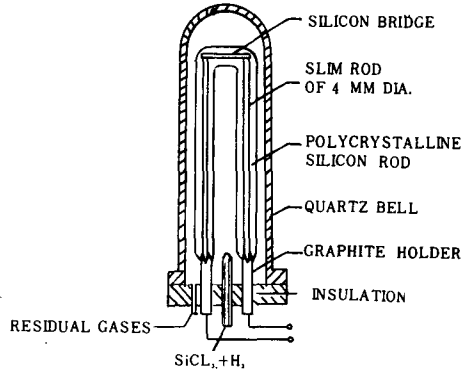


그림 4. Schematic of Si deposition "C-reactor" developed by Siemens.

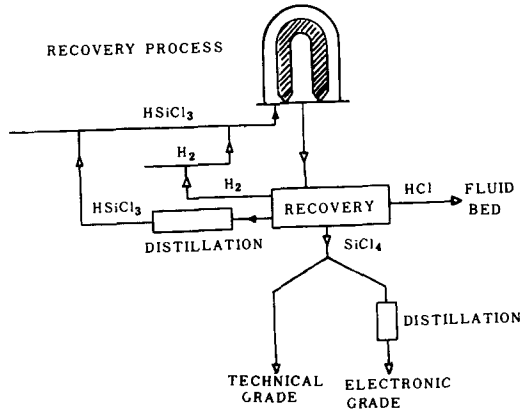


그림 5. Schematic of Si deposition system and associated recovery scheme.

이 3~10인치 정도, 길이는 1.5m 정도의 것이 생산되고 있으며 순도는 표 3에 나타난 정도가 일반화 되어 있고, 현재 이의 순도를 한층 높이는 노력을 각 업체에서 경주하고 있다.

표 3. Purity requirement for silicon.

Group III elements	<0.3PPBA
Group IV elements	<1.5PPBA
Heavy metals	<0.1PPBA
Carbon	<300 PPBA
Oxygen	<50 PPBA
All others	<0.001PPBA

즉 acceptor의 경우 0.1~0.2PPBA 이하로 donor의 경우 0.2~0.8PPBA의 것을 제조하려는 기술 개발 노력이 촛점으로 되고 있다. 물론 중금속이나 탄소, 산

소의 함량도 극소화해야만 한다. 현재 미국(Monsanto, Dow Corning, Westinghouse, Union Carbide), 서독(Wacker Chemie), 일본(신에쓰, 오사카타타니움사), 이태리(Smiel 사) 등지의 다결정 실리콘 maker들은 대부분이 이 3염화 silane 방법을 이용하고 있다.

나. Mono silane 법

이 방법은 1975년 11월 일본의 고마쓰 전자금속(주) 사장이 공업적인 생산공정을 개발하여, 이 공장에서만 현재 채용되고 있는 다결정 실리콘 제조방법으로 불순물농도가 0.01ppb로 11-nine 순도의 초고순도 다결정 실리콘을 양산하고 있는 것으로 알려지고 있다.

이 방법에서는 금속 실리콘에 마그네슘을 합입시켜 실리콘 마그네슘을 합성한 다음, 액체 암모니아 속에서 염화 암모니아와 반응시켜 실리콘 1개 원자에 수소 4개가 조합된 monosilane(SiH₄)이 생성되도록 한다.

이렇게 생성된 monosilane을 액화 정제한 다음, 다시 가스화하여 1,000℃ 이하의 온도의 고온반응기에서 열분해시켜 다결정 실리콘의 붕을 제조하는 것이다. 이 기술의 특징은 순도가 높다는 것인데 3염화 silane법보다 불순물 농도가 한 order 낮은 것으로 알려지고 있다. 그러나 현재 다결정 실리콘 제조가격이 3염화 silane법에 의한 것보다 다소 비싼 것이 결점으로 되어 있다.

이상의 방법외에도 옥화 실리콘(SiL), 4염화 실리콘(SiCl₄)에 의한 다결정 제조방법이 알려지고 있지만 실리콘 회수율의 저조, 정제방법의 복잡성 등으로 해서 현재 이들 방법은 공업적으로 전혀 사용되지 않고 있는 실정이다.

3. 단결정 실리콘 제조 기술

실리콘 단결정 기술의 최근 동향의 하나는 무결함 결정 기술 및 고순도화 기술에 의한 완전결정 제작 기술과 대직경 단결정 제작 기술 등이다. 특히 실리콘 단결정의 직경방향의 비저항 분포를 균일하게 하는 기술, 결정성장시 잔류 불순물로 내재되는 산소농도를 제어하는 기술, 탄소 잔류불순물 level을 낮추는 기술, 아울러 dislocation과 swirl이 free한 단결정을 성장시키는 기술 개발, 또 높은 비저항을 갖는 단결정 성장 기술 등이 최근의 hot issue로 대두되고 있다.

LSI를 중심으로한 반도체 제품의 수요는 증가하고 제품의 가격은 떨어지므로써 반도체 소자 제조의 양산

효과를 향상시키려는 노력이 경주됨에 따라 MOS LSI용 실리콘 단결정의 직경은 최근 4~5년 이내 3인치 → 4인치로 대직경화하여 현재 미국이나 일본 등에서는 4인치 직경의 실리콘 웨이퍼가 일반화 되기에 이르렀고, 일부 실리콘 maker에서는 직경 5인치의 것이 시제품으로 생산되고 있다. 표 4는 실리콘 웨이퍼의 직경에 따른 수요량을 추정한 것이고, 년도별에 따른 실리콘 웨이퍼의 직경추이를 살펴보면 그림 6과 같다.

표 4. Silicon wafer distribution by diameter as percent of total area requirement

Diameter	1978	1979	1980	1981	1982	1983
2. inch	9	8	8	7	7	6
3. inch	72	64	56	42	28	18
4. inch	19	28	36	50	63	73
5. inch	0	0	0	1	2	3

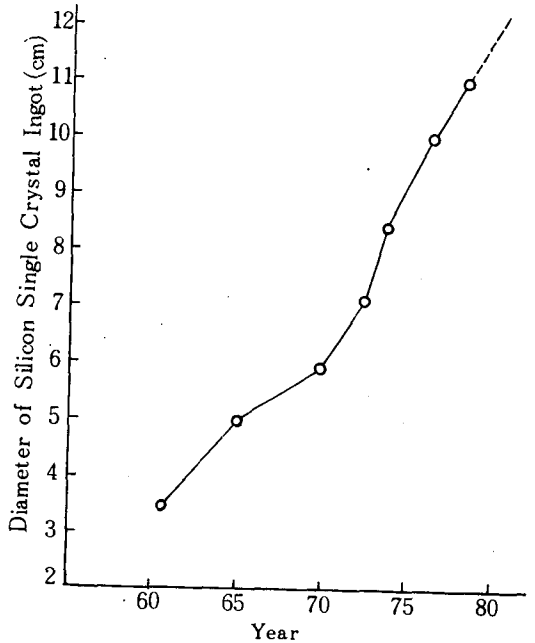


그림 6. Crystal diameter data on silicon production.

즉, 지난 20년간 실리콘 단결정 직경은 매 5년마다 1인치 정도 증가한 추세인데 앞으로도 계속 이런 추세가 한없이 지속될 것으로 판단되지는 않고 있다. 실리콘 재료의 기계적 및 열적 성질로 미루어서 생각할때 직경 5~6인치에서 fixed되지 않나 하는 것이 이 분야

전문가들의 예측이다. 물론 실리콘 단일결정의 대석회화를 직접 유도한 것은 MOS LSI이지만 수년 전부터 bipolar IC나 개별반도체 소자 제조 line에도 대석회 웨이퍼가 통용됨으로서 오늘날 거의 모든 실리콘 웨이퍼 maker는 3 인치, 4 인치 웨이퍼를 주종품으로 생산하고 있다.

웨이퍼 직경이 대형화됨으로서 1매의 웨이퍼에서 생산되는 chip의 갯수가 웨이퍼 면적에 비례하여 많게 됨에 따라 생산성이 향상되어 chip 제조 원가를 현저하게 절감시켰다. 표 5는 웨이퍼 직경의 변화에 따른 면

표 5. Number of the chips per silicon wafer.

Wafer Diameter	Area Ratio	3 × 3 mm		5 × 5 mm		7 × 7 mm	
		Chips	Ratio	Chips	Ratio	Chips	Ratio
2. inch	2	200	1	55	1	29	
3. inch	2.25	480	2.4	135	2.5	64	2.7
4. inch	4	920	4.6	270	5.0	130	5.4

적비와 양품의 chip 갯수를 이론적으로 계산해 놓은 것이다. 표 5에서 보는 것과 같이 chip 크기가 비교적 큰 7 × 7 mm (주로 MOS LSI 용)의 경우 2 인치와 4 인치 웨이퍼에서 면적비는 1 : 4 인데 비해 chip 수는 1 : 5.4로 증가하고 있음을 알 수 있다.

실리콘 단결정을 제조하는 방법으로는 Czochralski 법 (CZ법),^[11] Float Zone 법 (FZ법), Pedestal Growth 법, Edge Defined Ribbon Growth 법,^[12] Dendritic Web Growth 법^[15] 등 여러 가지가 알려져 있지만 공업적으로 사용되는 방법은 CZ법과 FZ법 뿐이다.

반도체 공업이 비약적으로 발전하여 최근 실리콘 단결정 제조에 필요한 장치 기술도 크게 발전하여 초기에는 주로 이들 장치를 실리콘 제조회사 자체내에서 개발하여 사용하였지만 최근에는 전문장치 maker에 의해 대부분 제조 판매되고 있다. 그 한 예로서 CZ 단결정 pulling 장치만 해도 computer를 이용하여 직경 3~6 인치의 단결정용 자동적으로 조절 설치가 될 것인 대당 현재 20만불 내외로 시판되고 있다.

가. Czochralski 단결정 성장법 (CZ법)

Czochralski 단결정 제조법 (CZ법)은 1918년 폴란드 물리학자 이디나트 롱기빈이 발명한 방법이다. 실리콘 단결정 제조에 가장 많이 (실리콘 웨이퍼 시장의 90% 이상) 쓰이고 있다. CZ법은 석영 도가니내 고순도 다결정 실리콘을 용진시키고, 석영 도가니 주위를 graphite heater로

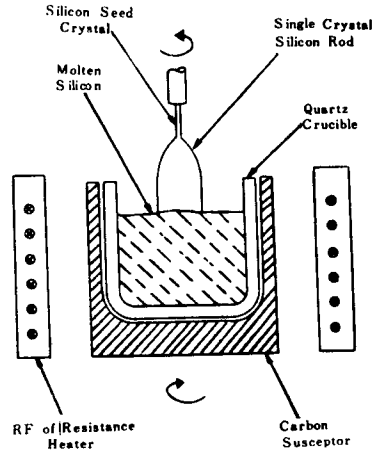


그림 7. Czochralski process.

가열시켜 도가니내의 다결정 실리콘을 용융시킨 다음, seed 실리콘 단결정을 용융실리콘에 접촉시켜 서서히 끌어 올려 단결정을 성장시키는 방법이다. 그림 8은 현재



그림 8. Czochralski Si crystal grower of KAIST.

재 파기원에서 가동중인 CZ 결정 성장장치 사진이다.

1960년 전후만 해도 단결정내에 단위 cm²당 10⁴ 개 order의 전위(dislocation)가 존재하던 것이 단결정 성장기술이 발전함에 따라 1970년대부터 전위의 무전위화가 용이하게 되어 오늘날에는 직경 3 인치~4 인치의 무전위 단결정(전위밀도 100개/cm² 이하)이 공업적으로 제조되고 있다.

그러나 무전위화에는 어느 정도 한단계로 성공한 셈이지만, 아직도 결정내에는 여러 가지 미소결정 결함 및 잔류 불순물들이 잔재하고 있다. 특히 문제가 되고 있

는 것은 석영 도가니에서 용융 실리콘으로 녹아 들어가는 산소와 graphite heater 등에서 혼입된 탄소 등에 의한 영향들이다.

CZ 단결정에는 산소가 $2 - 15 \times 10^{17} \text{cm}^{-3}$, 탄소가 $10^{16} - 10^{17} \text{cm}^{-3}$ 정도 포함되어 있는데, 이들이 미세결정 결함을 이루어 swirl 등의 원인이 되기도 하고 또 여러 가지 전기적 특성에 영향을 주기 때문에 이들 산소나 탄소의 양을 최소화 내지는 제어하려는 결정 성장 기술이 활발히 연구 개발되고 있다.

이 밖에도 dopant로 첨가시킨 boron이나 phosphorus가 결정내에 불균일하게 존재함으로써 비저항의 분포에 영향을 주는 것이 문제되고 있다. 즉 CZ법 단결정의 비저항 분포의 특징은 결정축 방향에서는 tail 쪽이 비저항이 낮고, 직경 방향에서는 중심부가 낮는데 이러한 성향은 boron 보다도 편석계수가 적은 phosphorus가 더욱 심하다. (그림 9) 따라서 이러한 집기 분

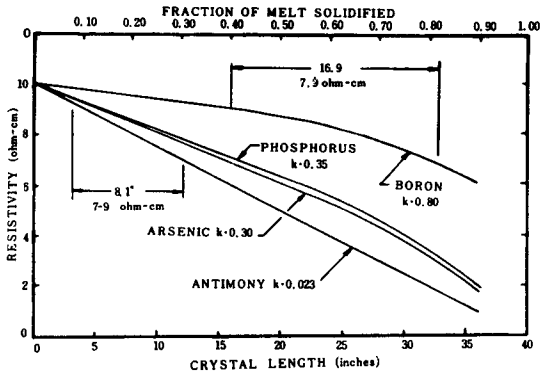


그림 9. Calculated axial resistivity profiles of 12kg crystals with four common dopants.

순물들의 편석계수에 의한 영향을 해결하기 위해서 결정 성장 방법을 최적화하는 연구가 진행되고 있지만 크게 향상되고 있지는 못한 실정이다.

최근 CZ결정의 대직경화가 급속히 진척됨으로 해서 석영 도가니내의 용융 실리콘의 양이 증가하기 때문에 용융 실리콘의 열대류 현상이 결정의 품질에 크게 영향을 주고 있다. 따라서 이러한 영향을 제어하기 위하여 가지 수단으로서 석영 도가니내의 용융 실리콘 주위에 자장을 인가하여 열대류 현상을 효과적으로 억제하여 실리콘 결정 품질을 어느정도 개선 하는데 성공한 실험 보고가 발표되어 화제가 되고 있다. 이 방법의 원

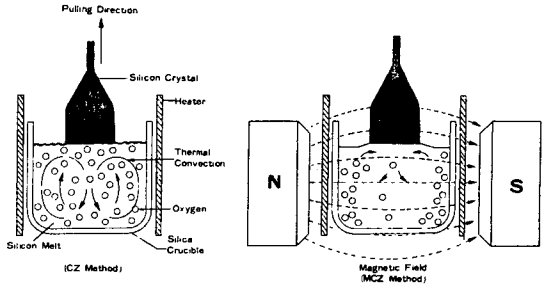


그림 10. Effect of the magnetic field.

리는 그림 10과 같은 데 용융 실리콘 ($1,415^\circ\text{C m.p}$) 이 전기전도성 ($12,860 \text{ohm}^{-1} \text{cm}^{-1}$) 을 갖고 있기 때문에 여기에 자장 ($2,000 \sim 3,000 \text{gauss}$) 을 인가하면 열대류에 의한 용융 실리콘의 유동을 제어할 수 있다. 생각에서 시도된 실험이다. 이러한 방법은 이미 InSb의 결정 성장기에²⁰⁻²¹⁾ 적용한 것을 최근 일본 쓰니 group에서 처음 실리콘 CZ결정에 적용한 것이다. 즉 자장을 인가하고 실리콘 CZ결정을 성장시킨 결과 석영 도가니 벽에서 용융 실리콘 속으로 혼입되던 산소량이 격감되어, 자장 인가 전에 성장된 CZ결정의 산소농도가 20ppm 이던 것이 자장인가 후에는 8ppm으로 감소했고 (그림 11), 또 결정 성장 계면의 온도 불균일에서 생기는 불순물에 의한 striation이나 산소에 의한 swirl 등의 미세결정 결함이 현저하게 감소한 것으로 알려지고 있다.

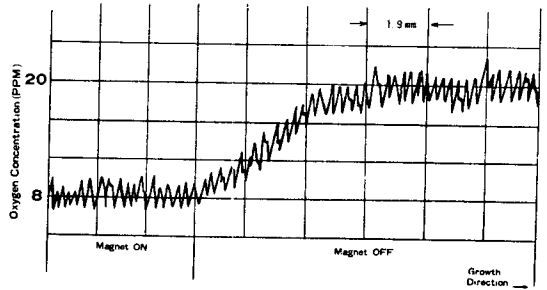


그림 11. Oxygen concentration control by the magnetic field.

이밖에도 기존의 CZ결정 성장 장치의 여러 가지 결정 성장 parameter를 자동 제어하여 결정 성장 속도를 극대화하는 방법으로 결정을 성장시키므로서 고순질의 결정을 성장시키는데 성공한 예도 있지만, 이러한 기술은 회사마다의 독특한 know how이기 때문에 전이 외부에 발표를 하지 않고 있다.

한편 low cost solar grade의 실리콘 결정을 제조하려는 노력의 일환으로 recharge 방법(그림 12)에 의하

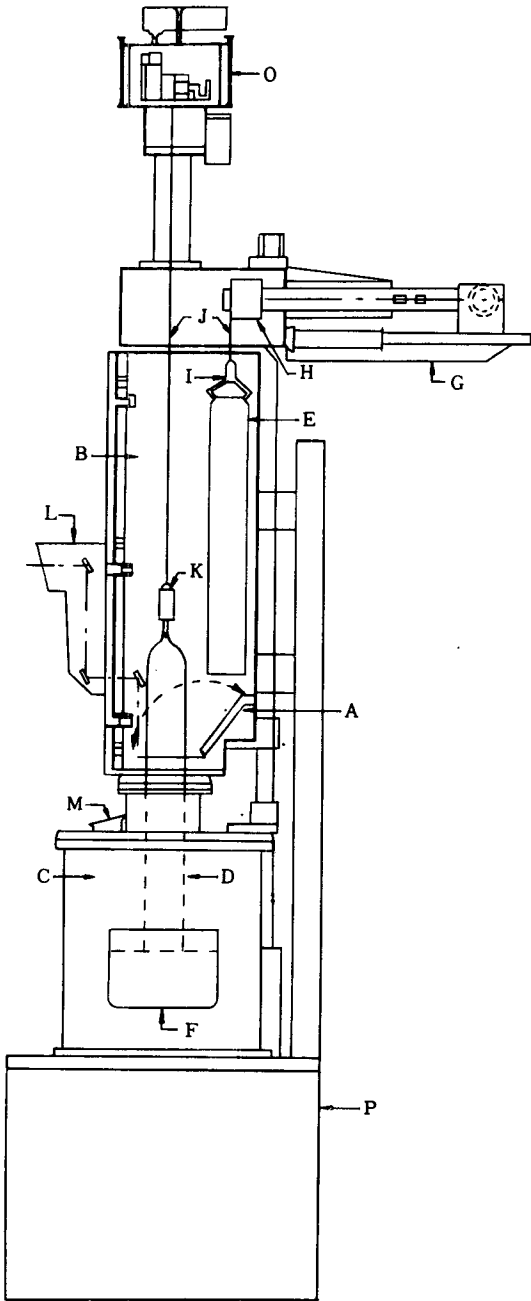


그림12. Side view of the melt replenishment CZO grower. (A) isolation valve, (B) pull chamber, (C) furnace tank, (D) crystal, (E) recharge rod, (F) quartz crucible, (G) recharge mechanism and weight system, (H) torque transducer, (I) recharge holder, (J) cable, (K) seed holder, (L) ADC optical system, (M) view port, (O) pull mechanism, and (P) base.

여 1개의 석영도가니에서 4회~5회 CZ결정을 성장시키는 방법이⁽²²⁾ 시도되고 있는데, 1회 18~25kg 실리콘을 charge하여 1번 run에 총 100kg 정도의 실리콘 결정을 성장시키는 방법이다. 이 방법에서의 결점은 1~2회까지는 그런대로 단결정이지만 3~4회때는 twin결정이 생겨서 structure loss현상이 일어나는 것이다. Solar cell실리콘을 위한 또 다른 CZ결정 성장

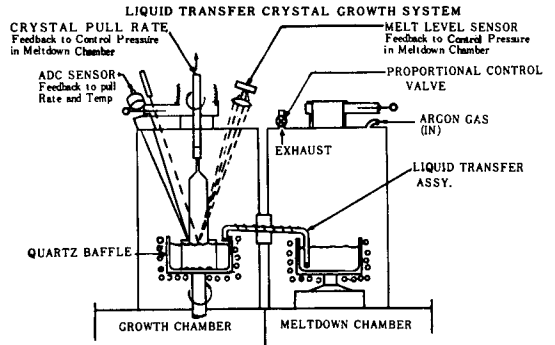


그림13. Continuous liquid feed-czochralski crystal growth system.

방법은 그림 13과 같이 2개의 석영도가니가 설치된 heating chamber에서 한쪽에서는 계속 다결정 ingot을 charging하고 또 다른 한쪽에서는 실리콘 결정을 CZ성장시키는 방법이다. 이 경우 두 heating chamber 내에는 각기 압력차를 두어서 용융 실리콘이 heated transfer tube를 통하여 meltdown chamber에서 growth chamber로 연속적으로 feeding 되게 한 것이다.⁽²³⁾ 이와 같은 방법으로 직경 6인치 길이 1.5m의 실리콘 결정을 성장시키는데는 성공을 했지만, 이들 방법이 반도체용으로 이용되기에는 상당한 시간과 개발 노력을 필요로 하고 있다.

나. Float Zone 단결정 성장방법 (FZ법)⁽²⁴⁾

FZ법은 다결정 rod를 seed결정에 접촉시킨 후에 다결정 rod의 접촉 부분을 rf가열방식으로 녹이면서 float zone을 이동시켜 단결정을 성장시키는 방법이다. (그림14) FZ법은 최근 수.년간 급속한 발전을 이룩하여 현재 3인치~4인치 직경의 단결정이 가능해 지므로서 CZ결정과 가격면에서의 경쟁이 되고 있다.

높은 내압을 필요로 하는 소자는 불순물 농도를 적게 할 필요가 있으므로 대전력용 소자나 높은 내압 트랜지스터용에는 FZ법으로 성장시킨 단결정이 일반적으

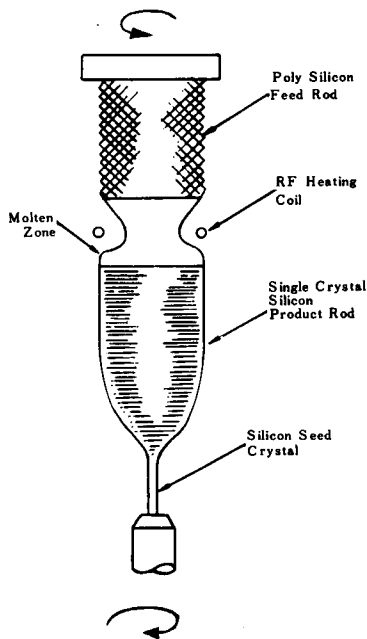


그림14. Float zone process.

로 쓰이고 있다. 집적회로용으로는 비저항 분포의 허용범위가 적은 경우 또는 높은 비저항 기판이 필요한 경우에 FZ결정을 사용한다.

FZ법 결정은 CZ법 결정에 비해서

(1) 산소 및 탄소 함유량이 $10^1 - 10^2$ 정도 낮고

(2) 성장축 방향의 비저항변화가 적으며

(3) 높은 비저항 단결정을 얻기가 용이한 것

등의 잇점이 있지만 striation이 많은 것과 직경 방향의 비저항 분포의 불균일도가 결점이다.^(25~26)

통상의 FZ법은 용융대 아래위의 결정축과 결정직경의 크기가 동일하게 하지만 직경방향의 비저항 분포를 개선하기 위해서 용융대 상하의 결정축을 조금 어긋나게 하여 성장시키는 방법이 시도되고 있다. 한편 FZ법으로 대직경 실리콘 단결정을 제조하기 위한 새로운 방법으로 용융대 상하의 결정의 굵기를 자기 다르게 하여 성장시키려는 방법이 개발되고 있다. 현재 4인치 직경의 FZ결정이 대전력용 소자에 실용화되고 있고 5인치 직경이 시제품 제조되고 있다.

FZ법 결정을 IC에 사용하려는 시도로 FZ법의 여러 가지 기술개발이 활발히 진행되고 있지만 상당기간 동안 CZ결정이 IC용으로는 우위를 점할 것으로 보인다.

현재 무전위 실리콘 단결정이 시판되고 있으나 결정의 직경 방향 및 인상방향으로의 비저항의 변화율이 크

고, swirl 등의 점결함이 많은 것이 큰 문제점으로 대두되고 있다. 따라서 이러한 결정의 전기적 특성과 결합등을 제어하는 것이 급후의 실리콘 제작기술의 최대의 관심사로 되어 있다.

4. 불순물 제어 기술

CZ법이나 FZ법 어느 방법으로 실리콘 단결정을 성장시키더라도 결정성장시에는 반드시 임의의 dopant concentration을 자유로이 제어할 수 있어야만 한다. 보통 n형 dopant로는 P, As, Sb등이 쓰이고 P형 dopant로는 B이 많이 사용되고 있다. 반도체 결정에 있어서 전기전도도는 doping된 불순물의 양에 의해 결정되므로 일정한 비저항을 갖는 결정을 성장시키기 위해서는 dopant 원소의 편석계수를 고려하여 이론적인 계산에 의해 적정량의 dopant를 결정성장전에 용융 실리콘에 넣어 주고 최적의 결정성장 조건에 의해 성장시켜야만 한다. 용융 실리콘에서 액상-고상으로의 변화에 따른 계면에서의 첨가 불순물 농도의 비를 편석계수라고 하는데 이 값은 dopant 종류에 따라 각기 다르고 보통 1보다 적은 값이다. 이 편석계수가 1보다 적은 값을 갖기 때문에 일반적으로 CZ법에 의해 결정을 제조하면 결정축 방향에 따라 먼저 성장된 부분(nose)보다 나중 성장된 부분(tail)의 비저항(그림 9)이 감소한다. 대표적인 한 예로서 CZ방법으로 직경 3.15인치, 길이 35인치, 무게 12kg의 실리콘 ingot를 성장시키는 경우에 ingot 길이에 따라 B(편석계수 0.8) dope에서는 비저항 변화가 10ohm-cm에서 6 ohm-cm였고, Sb(편석계수 0.023) dope 시에는 10ohm이었다. 따라서 이러한 비저항의 변화율을 최소화하는 것이 결정성장시의 중요한 문제점으로 되어 있다. 흔히 이와 같은 비저항율의 변화를 줄이기 위해 사용되고 있는 방법의 하나는 결정 성장속도에 따른 불순물의 분포 계수를 조절시키는 것이다. 즉, 성장속도가 빠르면 일반적으로 분포 계수가 빠르므로 결정 성장조에는 program된 pull rate를 빠르게 하고 나중에는 pull rate를 느리게 하는 방법이 이용되고 있다. 또 다른 방법은 용융 실리콘에 남아 있는 excess impurity을 인위적으로 제거시키는 것이다. 이것은 pulling chamber내의 inert 가스 압력을 감압시키므로서 volatile한 excess impurity의 증발 속도를 증가시켜 불순물 농도를 조절하는 방법이다. 이러한 방법들은 P-doped 결정 성장 기술에 잘 적용되고 있다.

한편 결정의 직경방향으로의 비저항 변화율(그림15)

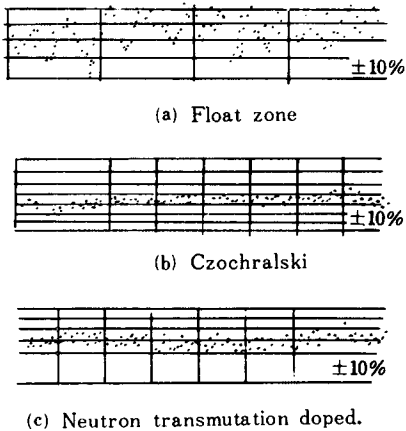


그림15 Relative comparison of resistivity variation across wafer for various processes. (10 ohm-cm, 1-1-1, spreading resistance probe, readings every 0.1mm)

도 문제가 되고 있는데 이것은 용융 실리콘과 seed 결정의 회전제에 의해 조절되고 있다. 현재 3 인치 내지 4 인치 CZ결정의 경우 직경방향으로의 비저항을 변하는 P-doped에서 10% 이하이고, B-doped에서는 5% 이하의 것이 생산되고 있다.

또 최근에는 원자로의 열중성자를 unpoped FZ 실리콘 결정에 조사시켜 실리콘 원자가 phosphorus 원자로 nuclear conversion을 일으켜어 마치 phosphorus 를 첨가한 것과 흡사한 neutron transmutation doping방법이 많이 연구, 응용되고 있다. 이방법(그림15)으로 doping된 n-형 결정의 직경방향의 비저항 분포가 아주 균일한 잇점은 있지만 radiation damage와 경제성이 문제점으로 대두되고 있다.⁽²⁷⁾

CZ결정에서 전기적으로 active한 산소농도는 10^{16}cm^{-3} 인데 열처리 방법에 의해 최근에는 10^{14}cm^{-3} 으로까지 줄어 들고 있는 것이 알려지고 있다.

5. 웨이퍼(Wafer) 제조 기술

CZ, FZ법에 의해 만들어진 실리콘 단결정 ingot는 grinding-slicing-lapping-polishing등의 공정을 거쳐 웨이퍼로 제조된다. 표 6은 미국의 SEMI(semiconductor equipment and material incorporated)가 공표한 실리콘 웨이퍼의 표준규격인데 이러한 웨이퍼 표준화는 웨이퍼 사용측이나 공급자측에 다같이 도움을 주기 위해서이다. 일본에서는 미국과 별도로 JEIDA(Japan elec-

표 6. SEMI specification standards for 3" and 100 mm diameter silicon wafers.

	3"(76.2mm)	100mm(3.937")
Diameter tolerance	$\pm 0.025''(\pm 0.7\text{mm})$	$\pm 1\text{mm}(\pm 0.039'')$
Primary flat length	19.25mm	30.35mm
Secondary flat length	9.13mm	16.20mm
Thickness	15 ± 1 mils	625 ± 25 micros
Bow(center)	50microns	60microns
Taper(parallelism)	25microns	50microns
Surface Orientation:	On-orientation (100) or (111) $\pm 1^\circ$ Off-orientation (111) toward nearest 110 by angle specified $\pm 0.5^\circ$ ($3^\circ \pm 0.5^\circ$ is the recommended standard for off-orientation (111) material)	

tronic industry development association)라는 협의회를 만들어 웨이퍼 표준화를 추진하고 있는데, 미국의 SEMI와 서로 정보를 교환하여 통일된 표준화 규격을 모색하고 있다.

가. 단결정 ingot grinding

성장이 끝난 단결정 ingot는 직경이 고르지 않기 때문에 웨이퍼의 규격을 표준화하기 위하여 직경이 일정하게 grinding(그림16)한다. 또 doping된 불순물이 n-형인지 p-형인지와 단결정 성장 방향이 (111) 또는 (100)인지를 각각 구분하기 위해서 ingot 측면 grinding 공정을 가져야만 한다. (그림17)

수 년전에는 centerless grinding 방법을 사용했으나 최근에는 numerical controlled wheel grinding⁽²⁸⁾을 쓰므로서 dimensional control과 surface damage가 현저하게 개선되었다.

현재 업계에서 사용되고 있는 자동조절 grinder는 정밀정도가 ± 0.002 inch 정도이고, 결정방향은 X-ray diffractometer X-ray laue 방법 또는 optical image 방법에 의해 결정하고 있다. X-ray 방법에 의한 flat orientation control은 ± 0.5 도 정도이다.

한편 grinding damage를 제거하기 위해 흔히 slicing 직전에 화학적인 방법으로 grinding된 ingot 표면을 0.020인치 정도 etching 시킨다.

나. 단결정 ingot slicing

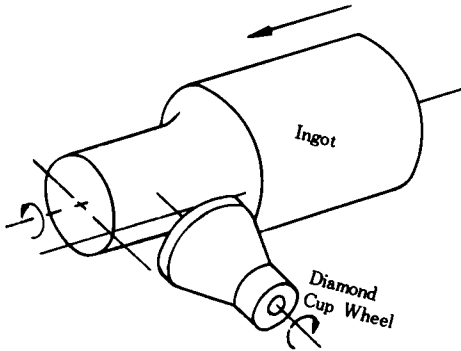


그림16. Configuration of diamond cup wheel grinding process.

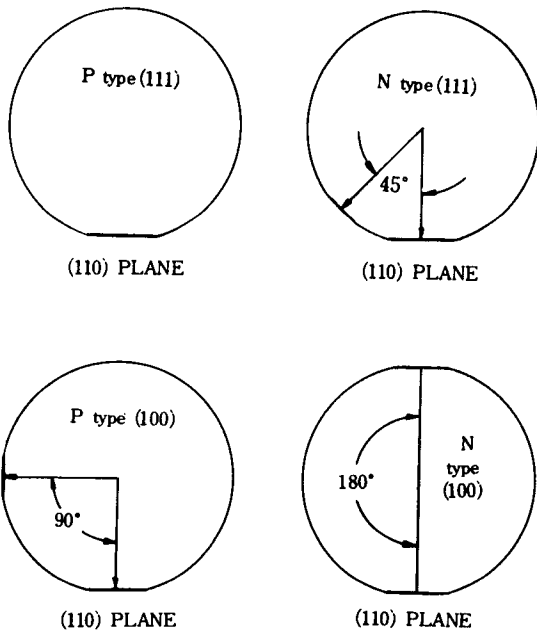


그림17. SEMI wafer standard flat positions for distinguishing type and orientation.

Ingot slicing 방식으로는 (1)inside diamond blade saw(id blade), (2)outside diameter diamond blade saw(OD blade), (3)band saw, (4)wire saw 등이 알려져 있으나 현재 대직경 ingot 절단에는 공업적으로 ID blade 방법(그림18)을 쓰고 있는 것이 대부분이다.

이 ID blade saw는 slicing 웨이퍼 두께의 자동조절이 $\pm 0.5\text{mil}$ 정도 가능하고, as-cut taper가 0.5mil 이하의 것이 상품화 되어 있다. 또 ID blade로 slicing 할 때 결정재료 loss가 매 웨이퍼에 불과 12mils 내외이고, saw mark가 거의 없이 silicing 되고 있다.

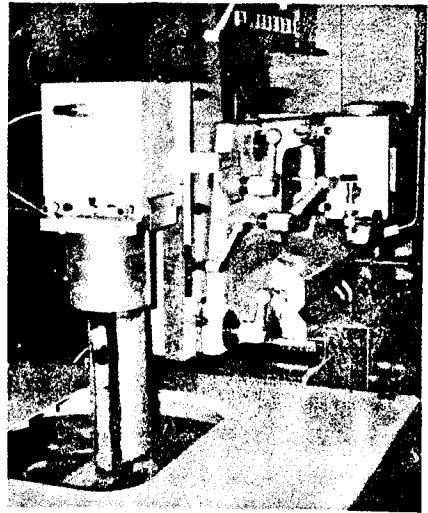
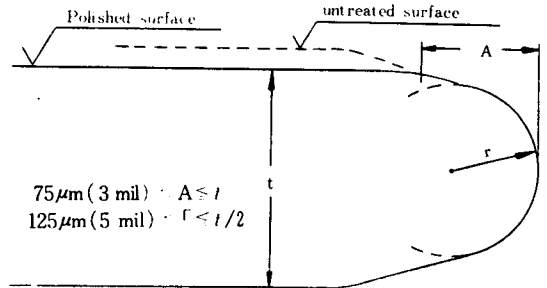


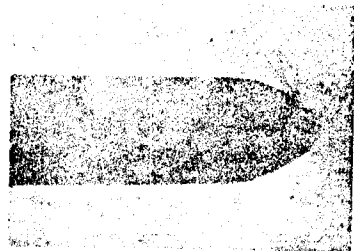
그림18. Slicing machine of KAIST.

다. Lapping과 polishing

Slicing이 끝난 웨이퍼는 일정 두께로 양면을 lapping을 하여 polishing 공정으로 옮기게 된다. 종래에는 lapping pad에 웨이퍼 한쪽면을 wax로 부착하여 회전원반상에서 lapping하는 방법이 일반적으로 이용되었지만, 최근에는 wax를 사용하지 않고 동시에 웨이퍼 양면을 lapping하는 wax free인 방식이나 진공으로 웨이퍼를 흡착하여 일측면적 lapping시키는 방식 등이 쓰이고 있다.



(a) Edge rounding dimension



(b) Cross section

그림19. Edge round dimension and Cross section of edge rounded wafer.

Dapping이 끝나면 화학적 방법(chemi-thinning)으로 웨이퍼 표면을 부식시키어 lapping 공정에서 유발된 surface damage를 제거시키고 아울러 웨이퍼 edge rounding(그림19)이 형성 되도록 해야만 한다. 한편 실리콘 웨이퍼 제조시에 가공 process에 의한 결정 손실은 그림20과 같다.

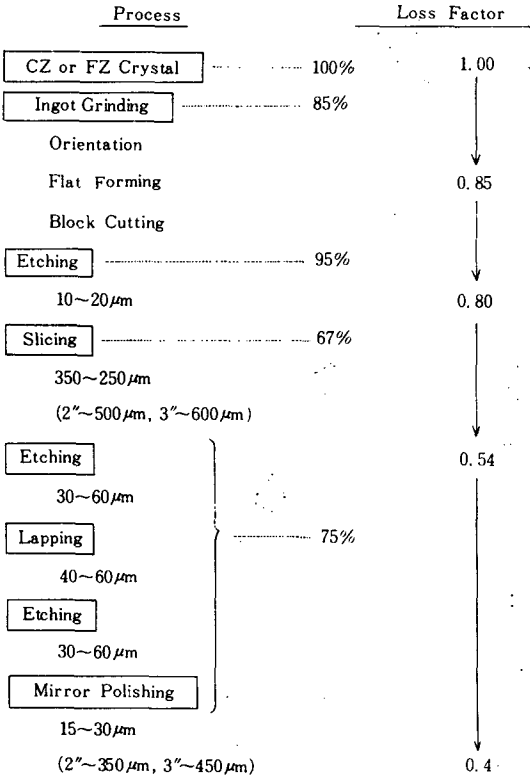


그림20. Crystal loss factor of wafering process.

다음은 SiO₂ 분말을 알칼리 용액(pH 10~12)에 섞어 chemical-mechanical polishing(CMP) 방법으로 웨이퍼 한쪽 표면이 경면이 되도록 연마하고 다른 쪽은 lapping 면을 etching만 하여 보통 사용한다.

최근에는 웨이퍼 양면 모두 경면연마하여 LSI 제조 공정에 사용한 결과 유기결함이 적어졌다는 의견이 알려져 있다.^[29] 현재 wax free(그림21)하게 한 번에 웨이퍼 양면을 경면연마하는 방법(그림22)이 개발되고 있다.^[30]

실리콘 웨이퍼 직경이 대형화됨에 따라 웨이퍼 제조 기술상 크게 문제점으로 대두되는 것은 기계적 가공 기술이다. 즉 (1) 웨이퍼 두께를 균일하게 제어하는 문제, (2) 웨이퍼가 박형으로 됨에 따라 발생하는 휘어짐을 제어하는 문제, (3) 웨이퍼 이면을 처리하는 문제 등이다.

이러한 문제들이 해결되어야만 초 LSI가 요구하는 실리콘 웨이퍼가 제조되므로 최근 이들에 대한 연구 개발을 활발히 수행하고 있다.

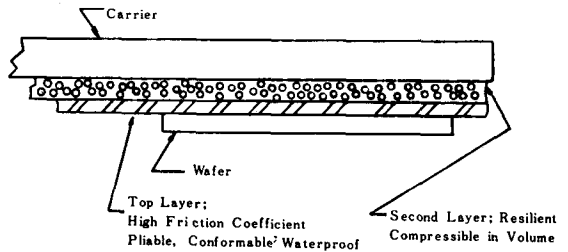


그림21. Flex-mount polishing system.

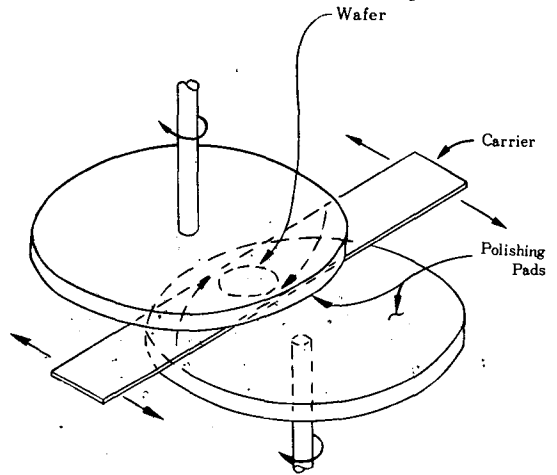


그림22. Simultaneous double-sided polishing concept.

라. 웨이퍼 평가

단결정 제작, 절단, 연마 가공 공정을 거쳐 제조된 실리콘 웨이퍼는 여러 가지 물리적, 전기적 특성과 가공 정밀도를 주로 non-contact 측정 방식에 의해 자동으로 testing하고 sorting하여 반도체 소자 제조 maker에 공급된다. 그러나 실리콘 웨이퍼에 대한 규격이 미국에서는 SEMI, 일본에서는 JEIDA에서 표준화가 상당 부분되어 있지만 아직도 반도체 소자 제조 maker에서 결정 maker에 제출되는 specification은 회사마다 큰 차이가 있는 것이 현실이다. 일부 미국이나 일본의 우수한 반도체 소자 maker에서는 자사에서 실리콘 웨이퍼를 제조하여 self supply 하는데, 이러한 것은 material에서 device에 이르는 모든 반도체 기술을 자체 보호하고, 재료의 안정 공급원을 확보하려는 의도에서이다.

실리콘 웨이퍼의 재료 평가 기술은 실리콘 결정의

대적경화, 기계적 정밀도의 향상, 결함 밀도의 감소, 불순물 농도 분포의 균일화 등이 최근 현저하게 개선됨으로 해서 이의 평가 기술도 크게 발전하였다.

(1) 결정 방향

- X-ray 방법
- Optical image 방법

(2) 결정결함

- Optical microscopy
- Transmission electron microscopy
- X-ray topography
- Sem

(3) 산소, 탄소 및 중금속 불순물

- Infrared spectroscopy
- Secondary ion mass spectroscopy

(4) 전기적 특성

- 2-point probe and 4-point probe 방법
- Spreading resistance 측정
- Hall effect 측정
- C-V 측정
- Lifetime 측정
- Shallow level and deep level 측정
- Device performance 에 의한 방법

(5) 웨이퍼 가공 정밀도

- Non-contact 웨이퍼 두께 측정
- Surface flatness tester (non-destructive)
- Ellipsometry
- Absorption 방법
- Interference 효과에 의한 방법

6. 국내의 반도체 재료 기술 현황

국내 실리콘 반도체 재료의 생산업체는 전무한 실정이고 극히 일부의 유관업체가 있을 뿐이다. 즉 4~5년 전부터 한·일 합자로 실리콘 웨이퍼의 연마 처리만을 수행하는 K업체가 가동중에 있고, 최근 국내 S업체가 미국의 실리콘 maker와 합자회사 형태로 실리콘 단결정 ingot를 도입해서 절단·연마 등의 가공 처리만을 국내에서 전담하는 업체를 설립, 1983년 생산을 계획하고 있는 것에 불과하다. 따라서 현재 반도체 업체에서 필요로 하는 실리콘 웨이퍼는 전량 수입에만 의존하고 있다.

파기원에서는 1979년부터 정부와 UNDP 자금 지원에 의해 반도체 재료 기술을 국내 토착화 하기 위해서 실

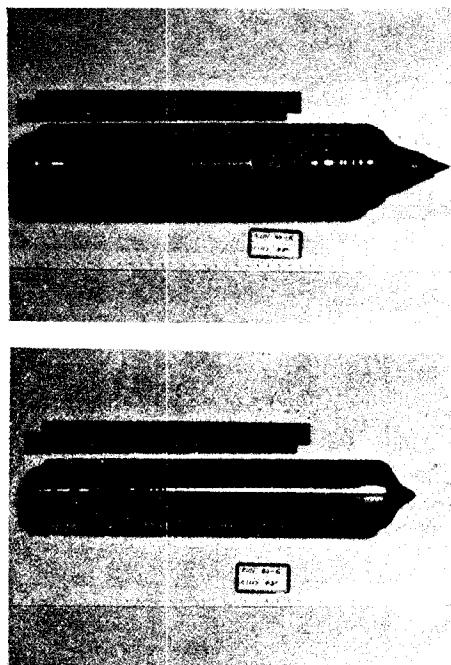


그림23. KAIST grown Si single cryseal ingots 4-inch diameter (top), 3-inch diameter (below) 리론 단결정 성장과 웨이퍼 제조 기술 개발에 관한 연구를 착수하여, 작년 12월에 국내에서는 최초로 직경 3인치 및 4인치, 무게 5kg, 10kg, 15kg의 실리콘 단결정 ingot(그림23)를 성장시키는데 성공하였다. 현재 파기원에서는 결정방향(111), (100)과 phosphorus doping 한 실리콘 결정의 신제품을 제조하여 wafering 과 이의 특성 평가에 관한 연구를 진행중에 있다. 참고로 파기원이 보유하고 있는 기술 장비를 소개하면 다음과 같다.

- (1) CZ crystal grower (12"hot zone, 8"hot zone)
- (2) Cylindrical surface grinding machine
- (3) I. D. slicing machine
- (4) Automatic etching machine
- (5) Polishing machine
- (6) Automatic surface flatness tester
- (7) Thermal annealer
- (8) Semi-automatic spreading resistance measurement
- (9) Hall effect measuring system
- (10) Non contact resistivity and thickness measurement system
- (11) C-V and junction profiler

- (12) X-ray system
- (13) EPR(K-band) system
- (14) Sputtering system
- 15) Evaporator
- (16) Lifetime tester
- (17) D. I. water system
- (18) 각종 measuring instruments

7. 맺는 말

우리 나라의 경우 assembly 기술은 1960년대부터 1970년대에 걸쳐 국내에 기술이 토착화 되어 있는 상태이고, device 기술은 1970년대 중반부터 시작하여 1980년대에는 기필코 기술의 토착화가 이루어져야 하는데, 여기에 병행해서 material 기술도 함께 육성되어야 제대로 device 기술도 정착 될 것이다. 즉 material에서 device에 이르는 technology의 vertical integnation이 없이는 국내 반도체 산업 육성은 어렵다. 특히 최근 반도체 device의 기능이 다양해지고, 소형화 되면서, 고밀도 집적도를 요구하여짐에 따라 재료 특성이 device의 수율과 신뢰도에 크게 영향을 줌으로 해서 device와 병행해서 반드시 material에 관한 기술 축적이 요구되고 있다.

참 고 문 헌

- 1. R. B. Herring, solid state tech. (May 1976) p. 37.
- 2. D. J. Rose, rose associates consulting report (1979).
- 3. Nat. Synderman, electronic news, Mar. 31, 1980.
- 4. W. T. Fairchild, paper no. A70-36, TMS-SIME annual meeting, denver (Feb. 16-19, 1970).
- 5. F. Y. Dubrous and L. G. septier, paper No. 74-46 TMS-AIME annual meeting, (1971).
- 6. G. W. Healy, earth and min. sci., (1970) p. 48,
- 7. K. Reuschel and A. kersting, U. S. pat. 3,200,000 (1965).
- 8. H. Sandmann and U. Rucha, U. S. pat.

- 3,286,685 (1966).
- 9. H. gutsche, U. S. pat. 3,330,251 (1967).
- 10. L. D. Crossman and J. A. Baker, proc. 3rd inter. sym. silicon mat. sci. & tech., semiconductor silicon 1977, p. 18.
- 11. G. K. teal and J. B. little, phys. rev. 78, 647 (1950).
- 12. L. Sporrer, U. S. pat, 3,134,700 (May 1964).
- 13. J. Lenzing, solid state tech. (Feb.1975) p. 34.
- 14. T. F. Ciszek, mat. res. bull., 7, 731 (1972).
- 15. D. L. barrett et al. J. electrochem. soc. (1971) p. 952.
- 16. 민석기, KIST report (BS-E403-1293-4) (1979.1).
- 17. 민석기, KIST report (BS-E455(1)-1424-4) (1979. 12).
- 18. 민석기, KIST report to be published (1981. 12).
- 19. T. Suzuki, etal. private communication (1980).
- 20. H. A. Chedzey and D. T. J. hurle, nature, 210, 933 (1966).
- 21. H. P. Utech and M. C. flemings, J. Appl. phys 37, 2021 (1966).
- 22. R. L. Lane and A. H. Kachare, J. cry. growth 50, 437 (1980).
- 23. G. F. Fiegl and A. C. borona, private communication (1980).
- 24. J. H. Matlock, proc. 3rd, inter. sym. silicon mat. sci. & tech., semiconductor silicon 1977, p. 32.
- 25. P. M. petroff and A. J. R. dekokck, J. cry.growth 30, 117 (1975).
- 26. A. J. R. dekokck et al, J. Cry. growth 30, 279 (1975).
- 27. B. D. stone et al. solid state tech. (Jan. 1979) p. 68.
- 28. A. C. borona, proc. 3rd, inter. sym. silicon mat. sci. & tech., semiconductor silicon 1977, p. 154.
- 29. E. L. Kern. et al, ibrd p. 182.
- 30. A. C. Borona, solid state tech. (Oct. 1977)