

컴퓨터에 의한 다출력 TANT 회로망의 구성 (Computer-Aided Synthesis of Multiple-Output TANT Networks)

安光善*, 金恒俊**
(Ahn, Gwang Seon and Kim, Hang -Joon)

要 約

다출력 TANT 회로망에 대한 구성게이트수와 이들의 상호연결에 관계되는 게이트입력수를 최소화시키는 새로운 방법이 제시되었다.

본 연구에서는 다출력맵(multiple-output map)을 구성하여 헤드변수의 갯수가 작은 순서에 따라 통합 개념을 적용하여 최적함수를 구성하였다. 조직적인 통합은 PSA(position search algorithm)에 의했으며 이로써 전체적인 설계과정을 줄일 수 있었다.

Abstract

A new algorithm is presented from minimizing the gates cost and gate inputs cost for the multiple-output TANT networks.

In this algorithm, multiple-output map is organized and multiple-output function is constructed by using combination of minterms in order of the number of head variables. Systematic combination is made by PSA algorithm, and so the total design procedure is simplified.

1. 서 론

논리스위칭 회로망의 설계에 있어서 주요한 설계기준은, 1) 전달시간(propagation time)을 최소화하고, 2) 요구되어지는 회로를 실현할 수 있는 사용소자수를 최소화시키는 것이다.^(1,2,3) 전달시간은 스위칭 레벨의 수와 직접적으로 관계하며, 어떤 스위칭함수도 3레벨로 실현시킬 수 있다. 회로소자로는 논리게이트가 사용되며

구성게이트수를 최소화시키면서 이들의 상호연결에 관계되는 게이트 입력수를 최소화하여 최적회로망의 설계를 실현한다.

위의 두 가지 조건외에 때때로 회로망에서 입력값으로 진값만을 갖는 변수를 요구하고 있다. TANT 회로망이란 3단회로이면서 진의 입력값만을 처리하는 논리회로로서 최적의 TANT 회로망을 설계하는 기법이 연구되어지고 있다.^(4,5,6)

일반적으로 m-출력 TANT 회로망은 m개의 최소화된 단일출력 TANT 회로망들을 종합하여 구성하거나 이것들의 게이트를 공유하여 구성할 수 있지만 이러한 방법으로는 최소가격의 회로망을 구성할 수 없게 된다.^(7,8,9,10)

다출력 TANT 회로망은 각각의 함수 f 및 f의 결합에 대한 PPI(prime permissible implicant) 테이블을 구성한 후 포함알고리즘을 가지고 설계할 수 있으며, 이렇

***正會員, 慶北大學校 工科大学 電子工學科
(Dept. of Electronics Kyungpook National Univ.)

接受日字: 1981年 7月 13日

(※本研究은 文敎部 學術研究 造成費에 의하여 이루어진 것임.)

게 하면 많은 양의 계산과 많은 자료가 필요하게 된다.

본 연구에서는 카르노맵(Karnaugh Map)의 구성형태를 이용하여 다출력맵을 구성하였으며 진값민첩함을 가진 정결중 헤드(head) 변수의 갯수가 작은 순서에 따라 통합 개념을 적용하여 최적함수가 되는 2단 및 3단 게이트집합을 직접 만들 수 있었다.

조직적인 통합은 PSA(position search algorithm)에 의하여 이루어지며 전체적인 진행과정을 현저하게 줄일 수 있었다. 본 연구에서 정의하는 최적이란 구성게이트 개수에 대한 최적으로 정의된다.

2. 다출력 TANT 회로망의 해석

다출력 TANT 회로망을 구성하는 일반적인 방법은 개개의 함수와 이 함수들의 결합에 의한 PPI들의 테이블을 이용하여 포함알고리즘(covering algorithm)으로 구하고 있다. 이와같은 방법에 의한 구성은 많은 양의 계산과 많은 양의 자료가 필요하게 되기 때문에 실제의 회로망 설계에 있어서는 적당한 가격으로 실질적인 해를 가진 컴퓨터 알고리즘이 필요하다.

본 연구에서는 다출력함수(multiple-output function)를 최적화하기 위하여 다출력회로식의 각각의 함수 f_1, f_2, \dots, f_m 에 대한 UF형의 민첩을 하나의 다출력맵(multiple-output map)상에 표현하고 있다. 예로 그림 1(a)의 논리회로식에 대한 다출력맵을 그림 1(b)에 나타내었다.

$$f_1(X, Y, Z) = \text{sigma}(m(0, 1, 4))$$

$$f_2(X, Y, Z) = \text{sigma}(m(0, 1, 3, 4))$$

	YZ	00	01	11	10
X	0	11	11	01	00
1		11	00	00	00

그림 1. 다출력함수(a)와 다출력 맵(b)

Fig. 1. A multiple-output function (a) and its multiple-output map (b).

일반적인 TANT회로망에 대해서 다음의 정의가 사용된다.

정의 : PE(permissible expression)는 $n \geq 0$ 인 조건에서 $T_0 T_1 T_2 \dots T_n$ 의 형태를 가지며 결과값은 0이 아닌 Boole식이 되어야 한다. 여기서 T_i 는 부울상수 1 혹은 진값만을 갖는 변수들의 적(積)으로 표시되며 T_0 는 헤드(head)라 불리우며, T_i 들은 테일(tail)이라 불리운다. PE형태

를 갖고 스위칭 함수 f 에 포함되는 부울함수는 PEI(permissible implicant)로 불리운다.

정의 : TANT식은 $E_1 + E_2 + E_3 + \dots + E_n$ 의 형태를 가지며 여기서 E_i 는 PE형이 되어야 한다.

위에 정의된 TANT식은 TANT회로망과 완전한 대응관계를 갖게 된다. TANT식에서 $T_0, T_1, T_2, \dots, T_n$ 의 형태를 갖는 E_i 는 제 2단 게이트 집단을 형성하게 되며, 식중 헤드인 T_0 는 제 2단 게이트에 대한 직입력변수이고 테일인 T_i 들은 제 3단 게이트가 되어 그 출력이 2단게이트의 입력으로 사용된다.

정의 : 도미넌트 헤드(dominant head)란 주어진 함수의 UF형 민첩에 대한 헤드에서 그 구성변수 중 일부를 제거하여 주어진 함수에 대한 다른 UF형 민첩의 헤드를 만들 수 없을까 이를 도미넌트 헤드라 한다.

정의 : 인접헤드(adjacent head)란 두 종류의 헤드 H_1 과 H_2 에서 한쪽 헤드의 변수 중 일부를 제거하여 다른 쪽 헤드를 만들 수 없을까 이를 인접헤드라 한다.

정의 : MPI(multiple prime implicant)란 m 개의 함수 f_1, f_2, \dots, f_m 이 주워졌을때 각각의 함수에 대한 PI와 이 함수들의 모든 결합 $f_1, f_2, f_3, \dots, f_1, f_2, \dots, f_m$ 의 PI중에서 도미넌트 헤드를 가진 민첩의 모든 UF항을 포함하는 PI를 말한다.

정의 : MPPI(multiple prime-permissible implicant)란 PEI중에서 임의의 구성 테일변수가 없다면, 도미넌트 헤드를 가진 민첩의 모든 UF항을 포함하지 못하는 PEI를 말한다.

정의 : MLPPI(multiple-output large prime permissible implicant)란 정점(vertex)이 되는 민첩을 포함하는 MPPI중에서 도미넌트 MPPI를 말한다.

정리 1 : MLPPI는 정점을 중심으로 같은 헤드를 가진 MPI들의 합으로 구해진다.

증명 : 정점을 포함하는 MPI를 헤드가 H인 집단 $\phi_1, \phi_2, \phi_3, \dots, \phi_r$ 과 헤드가 H가 아닌 집단 $\phi_1, \phi_2, \dots, \phi_n$ 으로 분류하면

$$(\phi_1 + \phi_2 + \dots + \phi_r) (\phi_1 + \phi_2 + \dots + \phi_n) = 0 \text{가 된다.}$$

$P = \phi_1 + \phi_2 + \dots + \phi_r$ 라 하고 P_i 를 헤드가 H_i 인 다른형의 MPPI라 하면 P_i 은 $\{ \phi_1 \}$ 나 $\{ \phi_2 \}$ 중의 어느 하나에 포함되므로 $P_i \leq P$ 이거나 $P_i \cdot P = 0$ 이 된다. 따라서 P 가 P_i 에 대해 도미넌트하고 P 는 MLPPI가 된다.

정리 2 : 도미넌트 헤드를 가진 민탐을 포함하는 MLPPI는 유일(unique)하다.

증명 : 1) 이 민탐을 포함하는 MPI가 하나밖에 없을 때는 이 민탐을 포함하는 MLPPI는 바로 이 MPI가 되고 유일하다.

2) 이 민탐을 포함하는 MPI가 하나 이상일 때는 이 민탐의 헤드를 H라 하고 이 민탐을 포함하는 MPI를 P_1, P_2, \dots, P_n 라 하면 $P_i = H \xi_i$ 가 된다. 이 경우에 H는 H의 변수중 일부를 제거하여 이루어진다. MLPPI는 P_1, P_2, \dots, P_n 의 합으로 구해지는데 각각의 헤드가 같지 않게 된다. $P_i' = H \xi_i'$ 라 하면 P_i 와 P_i' 는 같은 UF형의 민탐을 포함하게 된다. $P_1' + P_2' + \dots + P_n' = H \xi_1' + \xi_2' + \dots + \xi_n' = H \xi$ 가 되고 P_1, P_2, \dots, P_n HS에 포함되므로 HS는 MLPPI가 되고 유일하다.

그림 1 (b)의 다출력맵에서 초기정점은 m_0 민탐이 되며 이점에 있어서의 MPI는 $X'Y'$ 와 $Y'Z'$ 이다. 또한 MLPPI는 정리 1에 의해 이들의 합으로 구성되므로 $Y'(XZ)'$ 가 된다. 이는 유일한 항이며 f , 및 f' 함수에 대해 같이 사용한다.

실제로 MLPPI는 정점을 중심으로 MPI들의 합으로 구해지므로 다출력맵에서 PSA 알고리즘⁽¹⁰⁾에 의해 MPI를 구한후 이어서 MLPPI를 구한다. 정점은 도미넌트 헤드를 가진 민탐이어야 하나, 이런 민탐이 하나 이상일 경우는 정리 3에 따라서 선택의 순서가 결과에 영향을 미치지 않으므로 임의로 선택할 수 있다.

정리 3 : MLPPI는 인접헤드를 가진 민탐을 포함하지 않는다.

증명 : 어떤 민탐 $\{m_i\}$ 을 포함하는 MLPPI $\{p_i\}$ 는 민탐과 같은 헤드를 갖거나 민탐의 헤드변수중 일부를 제거한 헤드를 갖게 된다. 헤드의 변수 중 일부를 제거하여 인접헤드(adjacent head)를 만들 수 없으므로 p_i 가 m_i 을 포함하기 위해서는 p_i 와 m_i 의 헤드가 인접헤드가 될 수 없다. 따라서 MLPPI와 민탐이 인접헤드를 가질 경우는 MLPPI가 이 민탐을 포함할 수 없다.

정리 4 : 최적다출력 TANT 회로망은 MLPPI로 이루어진다.

증명 : $f = M_1 + M_2 + \dots + M_n$ 이 Boole함수 f 에 대한 TANT식이고 M_1, M_2, \dots, M_n 이 MLPPI라면 이들은 각각 정점민탐 m_1, m_2, \dots, m_n 을 포함한다. 위에서 M_i 대신 M_i' 를 넣은 식을 f' 라 하면 f 와 f' 가 같기 위해서는 M_i' 가 정점민탐 m_i 를 포함하

여야 한다. 정점민탐을 포함하는 MLPPI중에서 도미넌트한 것은 MLPPI이므로 정의에 의해 $M_i' \subseteq M_i$ 가 된다. 따라서 $f' \subseteq f$ 가 되고 $f = f' + M_n$ 이 되므로 f 가 최적TANT식이 된다.

UF형의 민탐을 결합하여 MPI를 구성할 경우 MPI의 헤드는 그 MPI를 구성하는 민탐중에서 헤드의 변수 수가 가장 작은 민탐의 헤드가 된다. 정리 1에서와 같이 MLPPI도 같은 헤드의 MPI가 묶여 구성되므로 같은 헤드를 갖게 된다. 따라서 어떤 함수를 구성하는 민탐중 헤드의 변수 수가 가장 작은 민탐을 포함하기 위해서는 그 민탐과 같은 헤드의 MLPPI가 필요하다. 일반적으로 XF형의 민탐이 존재할 경우는 정리 2와 같이 도미넌트 헤드의 민탐을 포함하기 위해 유일한 MLPPI가 필요하다.

2-2. 최적 다출력 TANT 회로망의 구성

최적 다출력 TANT 회로망은 MLPPI로 이루어지므로 이를 구성하기 위해서는 정점을 선택하고 이를 중심으로 MLPPI를 확정하게 되며 정점은 정리 2에 의해 도미넌트 헤드를 가진 민탐중에서 선택되어야 한다. 실제로는 도미넌트 헤드를 가진 민탐이 유일하지 않으므로 정리 5를 이용해서 헤드의 변수 수가 가장 작은 민탐을 정점으로 선택한다.

정리 5 : 헤드의 변수 개수가 가장 작은 민탐은 도미넌트 헤드를 갖는다

증명 : 헤드의 변수 수가 가장 작은 민탐의 헤드를 H라 하고 이중 변수 일부를 제거한 헤드를 H_i 라 하면 H_i 가 H보다 변수 수가 작아지므로 원래의 가정에 모순된다. 따라서 헤드의 변수 수가 가장 작은 민탐은 도미넌트 헤드를 갖는다.

처음 선택된 정점을 중심으로 PSA 알고리즘을 이용하여 MPI를 구하고 이들을 합쳐서 MLPPI를 만든다. 이 MLPPI는 다출력 TANT 회로망의 구성게이트가 되며 이에 포함된 민탐들은 UF에서 XF로 바뀌게 된다.

이 결과에 의해 재구성된 다출력맵에서 새로운 정점은 선택되고 다시 앞의 과정을 반복하여 MLPPI들은 구해진다. 이 과정은 UF형의 민탐이 존재하지 않을때 까지 계속된다.

최종 결과로 남은 MLPPI들은 모두 유일하지만 각각의 함수 입장에서는 필요없는 것이 있는 경우가 있다. 이것은 서로 공유할 필요가 없는 게이트를 공유하는 경우이므로 이를 제거하기 위해 공유도가 낮은 것부터 함수의 포함을 확인한다.

MLPPI는 여러 형태의 테일항을 가지며^[10] 테일항의 공유는 3단 구성게이트의 갯수에 직접 영향을 주므로 ATS(available tail set)^[10]중에서 공통테일을 선택하여 최적의 다출력 TANT 회로망을 구성한다.

이상의 과정을 정리하면 다음과 같다.

- 1) 헤드의 변수 수가 가장 작은 UF형의 민텀중에서 정점을 선택한다.
- 2) 정점을 중심으로 PSA에 의해 MPI를 선정한다.
- 3) MPI들을 합하여 MLPPI를 구성한다.
- 4) 앞의 MLPPI에서 포함된 UF형 민텀을 모두 XF형으로 바꾼 후 UF형이 남아 있으면 1)을 수행하고, UF형의 민텀이 없으면 5)를 수행한다.
- 5) ATS를 구성한 후 공통테일을 선택한다.
- 6) 각 함수에 대한 불필요한 공유MLPPI를 제거하고 최적 TANT식을 확정한다.

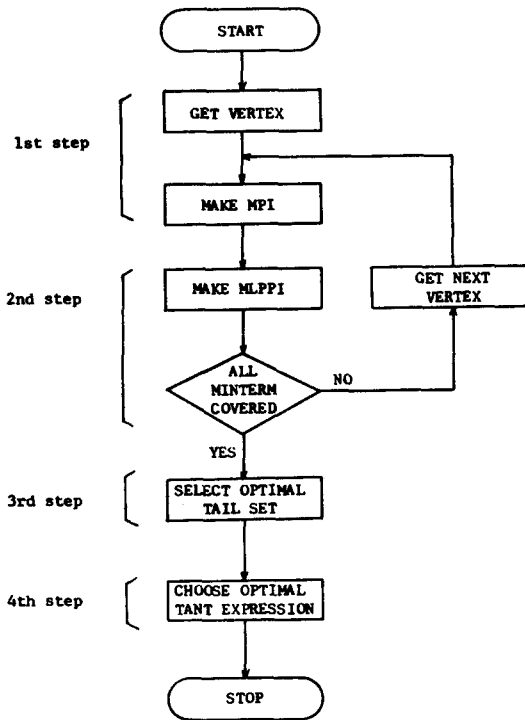


그림 2. 최적 다출력 TANT 회로망의 구성과정에 대한 일반 유통도

Fig.2. General flow chart of optimal multiple-output TANT network synthesis procedure

3. CAD의 처리과정

본절에서는 2절에서 서술된 최적 TANT 회로망 구성

알고리즘을 기본으로 하여 컴퓨터에 의해 회로망 구성 과정을 서술하고 있다. 전체 처리과정은 그림 2에 표시하였으며 전 과정은 다음과 같이 4 단계로 나눈다.

제 1 단계:

개개의 단일출력 스위칭함수의 UF형 민텀들을 종합하여 구성된 다출력맵에서 헤드변수의 갯수가 작은, 즉 도미넌트 헤드를 가진 UF형의 민텀이 정점으로 선택되어 PSA 알고리즘에 의해 FPD(forming pI direction)방향의 민텀들과 결합되어 확장된다. 확장과정중 CF(complement form)형의 민텀이 포함될때 MPI가 결정되며 모든 FPD 방향의 민텀에 대한 탐색이 끝나면 정점을 포함하는 MPI의 집단이 만들어진다.

제 2 단계:

제 1 단계에서 구해진 (MPI)는 같은 헤드를 갖고 있기때문에 정리 2에 의해 MPI들로부터 MLPPI를 만들어낸다. 여기서 만들어지는 MLPPI는 정리 4에 의해 최적다출력 TANT 회로망에 대한 기본항이 된다.

이 단계에서 구해진 MLPPI에 포함된 모든 UF형의 민텀들은 XF형으로 바꾼 후 다시 제 1 단계로 넘어간다.

이런 과정은 다출력맵의 모든 UF형 민텀이 처리될 때까지 계속된다.

제 3 단계:

제 1, 2 단계를 통하여 만들어진 MLPPI 항들로부터 최적의 다출력함수가 구성되어 ATS로부터 공통테일의 항들을 선정하여 최적의 제 3 단 게이트를 구한다.

제 4 단계:

제 3 단계에 의해 최적의 2단, 3단 구성게이트가 결정되면 개개의 함수를 구성하는 MLPPI를 선별하여 다출력 TANT 회로식을 완결한다.

4. 최적다출력 TANT 회로망의 적용에

4-1. 예제

4 개의 입력변수로 구성되고 3 개의 출력을 갖는 아래의 스위칭 함수에 대한 최적다출력 TANT 회로망의 해석은 다음과 같다.

$$F_1(w, x, y, z) = \sum m(1, 2, 3, 4, 5, 8, 9, 11, 12)$$

$$F_2(w, x, y, z) = \sum m(1, 6, 7, 8, 9, 10, 12, 14)$$

$$F_3(w, x, y, z) = \sum m(3, 4, 5, 6, 7, 8, 10, 12, 14)$$

구성과정을 설명하기 위해 복수출력을 갖는 다출력 맵을 그림 3 (a)에 나타내었다. 헤드변수의 갯수가 0인 UF형의 민텀들은 없으며 헤드변수의 갯수가 1인 민텀 m_1, m_2, m_4, m_8 에 대한 MLPPI는 각각 $zx'y', yw'x', xy'(wz)'$, 및 $wy'z'$ 이다. 헤드변수의 갯수가 2인 민텀은 그림 3 (b)와 같이 m_3, m_6, m_{10} 이며 MLPPI는 각각 $yzw', xy(wz)'$ 및 wz' 이다. 헤드변수의 갯수가 3인 민텀은 그림 3 (c)에서 m_{11} 뿐이며 zx' 가 MLPPI이다. 이로써 다출력맵에 표시된 모든 UF형의 민텀들이 포함되었다.

$W \backslash X \backslash Y \backslash Z$	00	01	11	10
00	000	110	101	100
01	101	101	011	011
11	111	000	000	011
10	111	110	100	011

$m_1 = ZX'Y'$
 $m_2 = YW'X'$
 $m_4 = XY'(WZ)'$
 $m_8 = WY'Z'$

(a)

$W \backslash X \backslash Y \backslash Z$	00	01	11	10
00	000	XX0	X01	X00
01	X0X	X0X	011	011
11	11X	000	000	011
10	11X	XX0	100	011

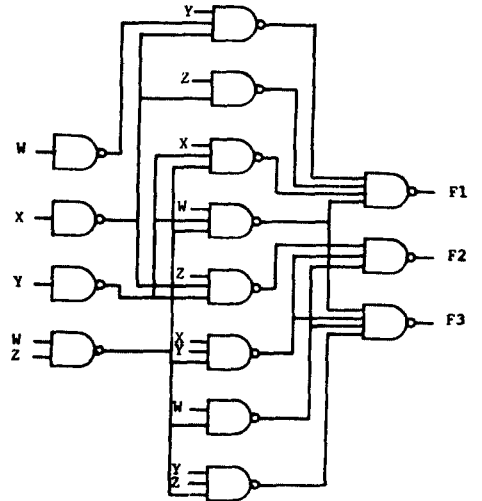
$m_3 = YZW'$
 $m_6 = XY(WZ)'$
 $m_{10} = WZ'$

(b)

$W \backslash X \backslash Y \backslash Z$	00	01	11	10
00	000	1X0	10X	X00
01	X0X	X0X	0XX	0XX
11	XXX	000	000	0XX
10	XXX	1X0	100	0XX

$m_{11} = ZX'$

(c)



(d)

EXAMPLE

INPUT FUNCTIONS:

$F_1(W, X, Y, Z) = \text{SIGMA} [M (1, 2, 3, 4, 5, 8, 9, 11, 12)]$
 $F_2(W, X, Y, Z) = \text{SIGMA} [M (1, 6, 7, 8, 9, 10, 12, 14)]$
 $F_3(W, X, Y, Z) = \text{SIGMA} [M (3, 4, 5, 6, 7, 8, 10, 14)]$

MLPPI'S AND ATS:

MLPPI	ATS
$ZX'Y'$	$X'(XZ)' \cdot Y'(YZ)'$
$YW'X'$	$W'(WY)' \cdot X'(XY)'$
$XY'(WZ)'$	$Y'(XY)' \cdot (WZ)'(WXZ)'$
$WY'Z'$	$Y'(WY)' \cdot Z'(WZ)'$
YZW'	$W'(WY)'(WZ)'(WYZ)'$
$XY(WZ)'$	$(WZ)'(WXZ)'(WYZ)'(WXYZ)'$
WZ'	$Z'(WZ)'$
ZX'	$X'(XZ)'$

OPTIMAL MULTIPLE-OUTPUT FUNCTIONS:

$F_1 = YW'X' + XY'(WZ)' + WY'(WZ)' + ZX'$
 $F_2 = ZX'Y' + XY(WZ)' + W(WZ)'$
 $F_3 = XY'(WZ)' + YZ(WZ)' + XY(WZ)' + W(WZ)'$

NUMBER OF GATE INPUTS	-----	38
NUMBER OF GATES	-----	15

(e)

그림 3. 예제에 대한 설계과정

Fig.3. Design steps for example.

모든 MLPPI는 ATS를 가지며 이들 중 공통테일을 선택하여 최적의 다출력 회로망을 선정한다. 위의 과정을 표 1과 같이 정리한다.

표 1. MLPPI 구성도

Table 1. MLPPI organization table.

예 드 변수수	MLPPI	MLPPI (tail adjusted)	관계 입력함수
1	ZX'Y' YW'X' XY'(WZ)' WY'Z'	ZX'Y' YW'X' XY'(WZ)' WY'(WZ)'	F1, F2 F1 F1, F3 F1, F2, F3
2	YZW' XY(WZ)' WZ'	YZ(WZ)' XY(WZ)' W(WZ)'	F3 F2, F3 F2, F3
3	ZX'	ZX'	F1

F₁ 함수를 구성하는 MLPPI는 zx'y', yw'x', xy'(wz) wy'(wz)', 및 zx'이며 이들중 zx'y'는 zx'에 포함되므로 (즉 dominated MLPPI) F₁ 함수는 아래와 같이 구성된다.

$$F_1 = yw'x' + xy'(wz)' + wy'(wz)' + zx'$$

F₂ 및 F₃의 경우는 wy'(wz)'이 w(wz)'에 포함되므로 각각 아래와 같이 구성된다.

$$F_2 = zx'y' + xy(wz)' + w(wz)'$$

$$F_3 = xy'(wz)' + yz(wz)' + xy(wz)' + w(wz)'$$

이들에 대한 회로망은 그림 3 (d)와 같

4-2. 결과 및 고찰

본 알고리즘에 의한 동작을 실험하기 위하여 4개의 입력변수 및 3개의 출력을 갖는 회로를 선정하였으며 그 결과를 표 2에 보였다. 비교항목은 회로간략화를 척도가 되는 게이트 개수 및 게이트 입력가격이며 다음 3가지 경우에 대해 비교 하였다.

- 1) 각각의 함수를 독립적으로 최적화시켜 종합한 함수
- 2) 1)의 경우에서 공통게이트를 이용한 함수
- 3) 본 연구에 의한 함수

표 2. 예제 비교표

Table 2. Comparison table of examples.

항목	예제 구분	EX 4-1			EX 4-2		
		(1)	(2)	(3)	(1)	(2)	(3)
게 이 트 수		20	19	15	19	17	15
입 력 수		53	51	38	52	46	41

※ 구분 : (1) 각각의 함수를 독립적으로 최적화시켜 종합한 함수

(2) (1)에서 공통게이트를 이용한 함수

(3) 본 연구에 의한 함수

EX 4-1 : 예제 4-1

EX 4-2 : $F_1(w, x, y, z) = \sum m(4, 5, 6, 9, 12, 13, 15)$

$F_2(w, x, y, z) = \sum m(3, 5, 11, 12, 14, 15)$

$F_3(w, x, y, z) = \sum m(0, 1, 2, 3, 4, 5, 6, 11, 13, 15)$

4-1의 예제인 경우가 EX 4-1이며 구분1)에 의해 f₁, f₂, f₃ 함수를 구성하면 각각 8, 7, 및 5개의 게이트가 필요하여 전체로 20개의 게이트로 구성된다. 이중 공유할 수 있는 게이트를 찾아보면 3단 게이트인 (wz)'뿐이며 따라서 구분2)는 19개의 게이트로 구성된다. 본 알고리즘에서는 게이트의 공유도를 높혀 2단게이트에서 WY'(wz)' 및 WZ', 3단게이트에서 X'Y', 및 (wz)'를 공유함에 의해 전체 게이트수가 15개로 줄고 있다. 이는 본 알고리즘이 MLPPI를 구성하는 과정에서 공유도를 높이고 있기 때문이다.

5. 결 론

본 연구는 다출력 TANT 회로망의 최적 설계 알고리즘을 게이트 가격의 제한 아래서 제시하고 이를 수행하는 CAD 패키지를 설계하였다.

최적 설계의 구성은 다출력맵을 이용하며, UF 형을 가진 민탐중 헤드의 구성변수 개수가 작은 것부터 정점으로 선정되어 MLPPI를 확정한다. MLPPI는 택해진 정점에 대해 하나만 존재하며 최적 회로망 구성의 2단 게이트가 된다. 3단 게이트의 구성은 MLPPI들의 테일항들로부터 되며 ATS로부터 공통게이트를 선정하여 이루어진다.

본 알고리즘은 최적의 게이트 집합을 직접 결정시키기 때문에 알고리즘이 간략화되어 컴퓨터의 처리시간 및 기억장소가 절약될 수 있었다.

参 考 文 献

1. F. J. Hill, G. R. Peterson, Introduction to switching function theory and logic design, Wiley International Edition, New York, 1968.
2. Saburo Muroga, Logic Design and Switching

- Theory, John Wiley & Sons, New York, 1979.
3. D. Lewin, Computer aided design of digital system, Crane Russak Company, New York, 1977.
 4. J. F. Gimpel, "The minimization of TANT network," IEEE Trans. on Electronic Computers, Vol. EC-16, pp. 18-38, February, 1967.
 5. H. P. S. Lee, "An algorithm for minimal TANT network generation," IEEE Trans. on Computers, Vol. C-27, pp. 1202-1206, December 1978.
 6. J. E. Layton, J. R. Rowland, J. M. Acken, "Synthesis of optimal TANT network," Computer and Electrical Engineering, Vol. 1, pp. 123-134, 1978.
 7. D. L. Dietmeyer, Yueh-Hsung Su, "Computer Reduction of Two-Level Multiple-Output Switching Circuits," IEEE Trans. on Computers, Vol. C-18, No. 1, January 1969.
 8. S. Y. H. Su, C. W. Nam, "Computer-Aided Synthesis of Multiple-Output Multilevel NAND Networks with Fan-In and Fan-Out Constraints," IEEE Trans. on Computers, Vol. C-20, No. 12, December 1971.
 9. R. C. De Vriss, A. Svoboda, "Multiple-Output Optimization with Mosaics of Boolean Functions," IEEE Trans. on Computers, Vol. C-24, No. 8, August 1975.
 10. 안광선, 박규태, "TANT 회로망의 계산기 이용 합성에 관한 연구," 대한전자공학회지, 제17권, 제 6 호, 1980년 12월.

