

# 電荷結合素子を 이용한 Analog-to-Digital 変換器 (Charge-Coupled Analog-to-Digital Converter)

慶宗旻\*, 金忠基\*\*  
(Kyung, Chong Min and Kim, Choong Ki)

## 要 約

4-bit 전하결합 A/D 변환기에 대한 실험 결과를 제시하였다. Successive approximation algorithm에 필요한 대개의 기능을 CCADC (charge coupled A/D converter)라는 monolithic chip으로 실현하였다. CCADC는 P-channel 전하결합소자 제작기술에 의하여 만들어졌으며, chip면적은 약 4,200 mil<sup>2</sup> 이었다. 동작 clock 주파수 범위는 500Hz ~ 200KHz로 나타났으며, 이 주파수 범위내에서는 약 2.4 Volt의 全信號 電壓 구간을 1 LSB/clock 주기의 속도로 변하는 ramp 입력신호에 대하여 16가지의 binary code가 빠짐없이 관찰되었다. MSB단부터 LSB단의 순서로 정격 전하용량이 각각 3.6pC, 1.8pC, 0.9pC, 0.45pC 인 4개의 연속된 potential well(M-well)간의 면적비를 (8:4:2:1)로 유지하기 위한 설계기술에 대하여 토론하였다. 끝으로, 제작된 A/D 변환기에 있어서 과도한 conversion nonlinearity의 원인이 되는 dump slot 효과에 대하여 설명하였으며, dump slot으로 인한 오동작을 막기 위한 방법으로 slot zero 삽입방식을 제안하고 이에 대한 실험결과를 제시하였다.

## Abstract

Experimental results on a 4-bit charge-coupled A/D converter are described. Major operations in the successive approximation algorithm are implemented in a monolithic chip, CCADC, which was fabricated using p-channel CCD technology, with its die size of 4,200 mil<sup>2</sup>. Typical operating frequency range has been found out to be from 500Hz to 200kHz. In that frequency range, no missing code has been found in the whole signal range of 2.4 volts for ramp signal slewing at 1 LSB/(sampling time). A discussion is made on several layout techniques to conserve the nominal binary ratio of (8:4:2:1) among the areas of four adjacent potential wells (M wells), whose charge storing capacities correspond to each bit magnitude - 3.6 pC, 1.8 pC, 0.9 pC, and 0.45 pC nominal in the order of MSB to the LSB. The effect of 'dump slot', which is responsible for the excessive nonlinearity (2½LSB) in the A/D converter, is explained. A novel input scheme called 'slot zero insertion' to circumvent the deleterious effects of the dump slot is described with the experimental results.

## 1. 序 論

전자식 전화시스템에 쓰이는 PCM CODEC(CODER

\*,\*\* 正會員, 韓國科學技術院 電氣 및 電子工學科

(Korea Advanced Institute of Science and Technology, Dept. of Electrical Science)

接受日字: 1981年 4月 9日

-DECoder)<sup>[1]</sup>이나 주파수 성분 분석기<sup>[2]</sup> 등의 최근에 발표되는 analog 신호처리 소자를 보면, 대개가 A/D 변환기나 D/A 변환기 등의 입력력장치를 한 chip안에 같이 제작하여 외부의 디지털 시스템과의 접속을 이용하게 하고 있음을 알 수가 있다. 이와 같이 A/D 변환기가 커다란 시스템의 일부로 사용되거나, 저렴한 제작 및 동작경비가 요구될 때에는 설계자가 우선 생각해야 할 것이 제작비용과 전력소모량이다.

현재까지 발표된 A/D 변환기의 유형은 크게 셋으로 나누어 볼 수 있는데, 첫째, comparator array를 사용한 'flash' 방식<sup>[3]</sup>은 동작 속도는 매우 빠르지만 chip 면적이 커지게 되고, 둘째, 計數器형 A/D 변환기<sup>[4]</sup>는 회로는 간단하지만 동작 속도가 매우 느린 것이 흠이다. 셋째, successive approximation형 A/D 변환기는 이 두 형태의 절충형으로서 제작비용이 flash 방식보다는 적게 들고, 동작 속도가 계수기형보다는 빠르지만, 현재까지 발표된 successive approximation형 A/D 변환기<sup>[5]</sup>들은 대개 상당히 복잡한 논리회로를 포함하고 있다. 저자들에게 의하여 제안된 A/D 변환방식<sup>[6,7,8]</sup>은 전하결합소자(CCD; charge-coupled device)를 적용하는 pipeline 변환방식으로서 논리동작의 대부분이 전하영역에서 이루어지므로, 구조가 간단해지고 chip 면적도 적게 들며, 일종의 MOS소자이므로 전력소모로 매우 적다. 또한, CCD의 입력구조에 의해 자동적으로 A/D 변환기에서 요구되는 'sample and hold' 기능이 이루어지며, CCD 자체의 pipeline 구조로 인하여 여러 개의 신호전하를 동시에 처리하게 되므로 throughput이 증가하게 된다는 등의 장점을 지니고 있다. II장에서는 선하결합 A/D 변환기의 원리를 2-bit 소자를 통하여 간단히 설명하고, III장에서는 4-bit 실험소자의 설계와 제작에 대해 서술하기로 한다. 제작된 실험소자의 측정결과는 IV장에서 다룰 것이다.

II. 전하결합 A/D 변환기의 원리

그림 1은 2-bit, P-channel형 전하결합 A/D 변환기의 개략적인 layout이다. 맨 왼쪽의 입력단에서는 전압평형(Potential equilibration)<sup>[9]</sup>의 원리에 의하여 input gate 2에 가해지는 신호전압,  $V_{sig}$ , 에 비례하는 양의 신호전하가 입력된다. 입력된 신호전하는  $1/2$  phase clock에 의해  $I_1$ -well로 이동된다.

그림 1에서  $\phi_0$ 는 DC 전압의 phase이며,  $\phi_1$ 은 DC 전압의 상하로 변하는 clocked phase를 표시한다.<sup>[10]</sup>  $I_1$ -well의 전하는  $\phi_1$  전극 밑의 silicon 표면전위가  $\phi_0$  전극 밑의 그것보다 높아지게 되면 다시 그 오른쪽으로 이동하게 되는데, 점찍힌 영역,  $\beta$ 로 표시된 channel stop 때문에 전하가 직접  $S_1$ -well로 들어가지는 못하고  $M_1$ -well로 일단 흘러 들어 가게 된다. 만약, 이 신호전하의 크기가  $M_1$ -well의 전하용량보다 크면, 이 여분의 전하는  $S_1$ -well에 연결된

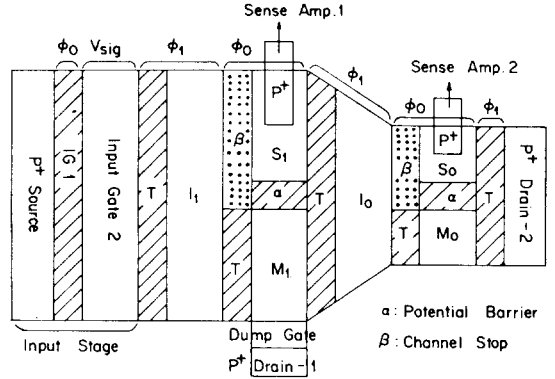


그림 1. 2-bit 전하결합 A/D 변환기의 개략적인 layout  
Fig.1. Schematic layout of a 2-bit charge-coupled A/D converter.

floating diffusion amplifier (FDA)에 의해 감지되고, 외부의 comparator를 통하여 MSB (most significant bit)는 '1'으로 된다. 이때 dump gate(DG) 1을 'ON' 시켜서  $M_1$ -well에 남아 있던 신호전하를 P+ drain-1으로 뽑아내게 되며,  $S_1$ -well의 전하는  $1/2$  phase clock에 의해 다시 오른 쪽의  $I_0$ -well로 이동된다. 만약  $I_1$ -well에서 넘어온 전하량이  $M_1$ -well의 전하용량보다 작으면, MSB는 '0'으로 되고, DG1이 'OFF'인 상태에서 이 전하는 그대로  $I_0$ -well로 이동된다.

이상과 같이 MSB ( $2^1$ -bit)가 정해지고 난 후에는,  $I_0$ -well의 전하가 전과 유사한 과정을 거쳐  $M_0$ -well과  $S_0$ -well에서  $2^0$ -bit이 정해진다. 이때,  $M_0$ -well의 전하용량은  $M_1$ -well의 전하용량의  $1/2$ 이 되어야 할 것이다. 여기서 주목할 것은 첫번째 신호에 대한  $2^0$ -bit이  $I_0$ - $M_0$ - $S_0$ 에서 정해지는 동안,  $I_1$ - $M_1$ - $S_1$ 에서는 다음 신호에 대한  $2^1$ -bit이 정해지게 되므로 pipeline 식 A/D 변환이 이루어진다는 점이다.

III. 실험소자의 설계와 제작

제안된 A/D 변환방식을 증명하기 위하여 4-bit, P-channel형의 실험소자를 제작하였다. 실험소자는 CCADC라는 monolithic chip과 TTL, CMOS 등의 custom IC로 이루어진 외부회로로 구성된다.

A. CCADC의 설계와 제작

CCADC는  $3\sim 6\Omega \cdot \text{cm}$ , n형 silicon wafer를 가지고 표준 PMOS 제작공정과, 전위장벽 (potential barrier)을 만들기 위한 phosphorus implantation, CCD에서의 겹쳐진 전극구조를 실현하기 위한 aluminum 양극산화기술<sup>[11, 12]</sup>에 의하여 제작되었으며, 자세한 공정은 표 1에 보인 바와 같다.

표 1. CCADC의 제작공정  
Table 1. Fabrication process of CCADC.

starting material : $3\sim 6\Omega \cdot \text{cm}$ , n-type, silicon wafer	
boron diffusion	input source, output drain, sensing diffusion, dump diffusion
thin oxide growth (1000 Å)	gate insulator
phosphorus implant ( $1.3 \times 10^{12} \text{cm}^{-2}$ @80keV)	potential barrier (barrier height : 2 volt)
first aluminum	$\phi_{os}$ , $\phi_{is}$ electrodes
anodization (applied voltage : 40V, ammonium tartrate 3% solution)	500 Å thick $\text{Al}_2\text{O}_3$ film (inter-aluminum insulator)
second aluminum	$\phi_{ob}$ , $\phi_{ib}$ electrodes, connection, bonding pad

그림 2는 CCADC의 layout을 보인 것이다. 맨 왼쪽의 입력단의 구조와 동작은 II장의 설명과 같으며, input P-diffusion 영역에는 sampling pulse가, IG 1에는 적당한 크기의 DC전압이, IG 2에는 analog 입력 신호 전압이 가해진다.

Clock 전극의 구조는 aluminum 양극산화에 의해 생성되는 약 500 Å 두께의  $\text{Al}_2\text{O}_3$  막을 사이에 둔 두 층의 aluminum으로 이루어지는데, 그림 2에 보인  $\phi_{is}$ 와  $\phi_{os}$ 는 1차 aluminum으로,  $\phi_{ib}$ 와  $\phi_{ob}$ 는 2차 aluminum으로 각각 이루어진다.  $\phi_{ob}$ 와  $\phi_{os}$ 는 각각 적당한 크기의 DC전압이 가해지는 전극으로서 그림 1의  $\phi_0$ 에 해당하는 것이며,  $\phi_{ib}$ 와  $\phi_{is}$ 는 각각 적당한 폭을 swing하는 clock pulse가 가해지는 전극으로서 그림 1의  $\phi_1$ 에 해당하는 것이다. 이와같이 4 종류의 clock 전극에 적당한 DC전압 및 pulse를 가하면 신호전하는 한쪽 방향으로만 이동하게 된다. 앞서 그림 1에서 설명한 channel stop,  $\beta$ 와 전위장벽,  $\alpha$ 가 그림 2에서는 겹쳐 칠한 L字 모양의 phosphorus implant 영역 하나로 이루어졌는데,  $\phi_{ob}$ 와  $\phi_{os}$ 에 가해지는 DC전압의 차이때문에 'L'字의 수직부분은 channel stop으로 'L'字의 수평부분은 전위장벽으로서의 역할을 각각 하게 된다.<sup>[10]</sup>

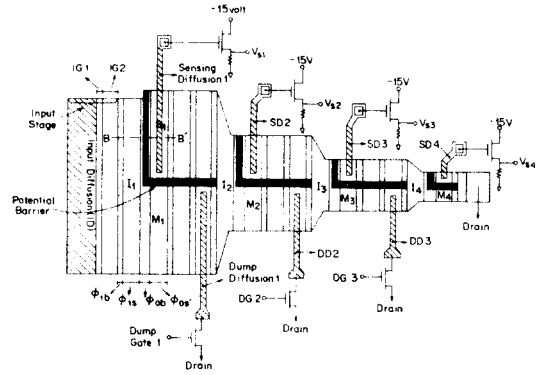


그림 2. CCADC chip의 layout (4-bit 전하 결합 A/D변환기의 monolithic부분)

Fig. 2. Layout of CCADC (monolithic part of a 4-bit charge-coupled A/D converter).

II장에서 서술한 바에 의하면 그림 2에 보인 4개의 M-well ( $M_1, M_2, M_3, M_4$ )의 전하저장용량은 8:4:2:1이 되어야 할 것이다. 전위장벽의 높이가 한 chip내의 모든 M-well에 대하여 같다고 가정하면, 각 M-well의 전하용량은 사진식각공정을 통하여 정해지는 각 M-well의 면적에 의해 정해질 것이다. 이 실험에서는 각 M-well의 수평방향길이(1차 aluminum으로 된  $\phi_{os}$  전극 pattern의 형성에 정해짐.)를 모두  $30\mu\text{m}$ 로 동일하였는데  $\phi_{os}$  전극의 각 finger에서의 파다식각정도가 균일하다고 보면 각 M-well의 전하용량의 절대 크기는 변하더라도 4개의 M-well간의 면적비는 손상받지 않게 된다.

또한 각 M-well의 수직방향 길이를 한 step의 mask로 결정하게 되면, M-well의 상한선이 전위장벽 implant mask에 의해 정해지고, 하한선이 또 다른 mask (channel stop)에 의해 정해지는 경우에 생겨날 misalignment에 의한 길이 오차는 없이게 될 것이다. 이를 위하여, 그림 2에 보이지는 않았으나, M-well의 하한선이 전위장벽을 실현하는 phosphorus implant mask에 의해 정해지도록 M-well의 하단에 dummy phosphorus implant를 하였다.

다음에는 dump gate의 실현에 대하여 생각해 보자. CCADC의 적극구조는 두 층의 aluminum으로 된 4 종류의 전극 ( $\phi_{ib}, \phi_{is}, \phi_{ob}, \phi_{os}$ )으로 이루어지는데,  $\phi_{ob}, \phi_{os}$ 의 DC 전극은 CCADC channel의 윗쪽에서 연결되고,  $\phi_{ib}, \phi_{is}$ 의 pulse 전극은 CCADC channel의 아랫 쪽에서 연결된다. 이것은

channel 윗쪽으로 연결된 floating diffusion 이 DC 전극 아래에 놓이게 함으로써, 전하의 감지 과정에 clock pulse에 의한 noise가 섞여 들어가지 못하게 하기 위한 것이다. 이러한 관점에서 제 3의 aluminum층을 사용하지 않고 쉽게 dump gate를 실현하는 방법은 P형 확산의 under path를 사용하는 것이다. 그러면, M-well의 전하는 P형 확산과 이에 연결된 dump gate를 통하여 channel 밖으로 빠져 나오게 되는데, P형 확산을 M-well에 직접 연결하면 M-well밖으로 나온 P형 확산영역의 capacitance성분이 M-well의 전하용량에 합쳐지므로 각 M-well의 전하용량이 손상을 받게 된다. 이것을 방지하기 위하여 그림 2에 보인 CCADC의 layout에서는 그림 2의 dump diffusion으로 표시된 P형 확산영역을 M-well보다 한 clock 단 뒤에 연결하였다. 그림 3에 CCADC의 chip 사진을 보이고 있다.

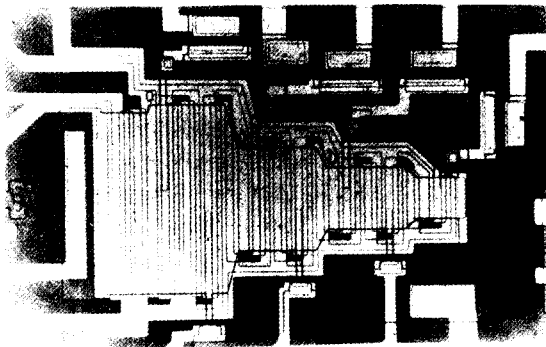


그림 3. CCADC의 chip 사진  
Fig. 3. Photomicrograph of the CCADC.

B. 외부회로의 구성

그림 4에 보인 것은 A/D변환기의 전체개략도이다. CCADC가 완전한 A/D변환기로 동작하기 위해서는 CCADC에 on-clip으로 제작된 floating diffusion amplifier의 출력신호로부터 각 bit가 '1' 이냐 혹은 '0' 이냐를 정해주는 comparator와 이로부터 각 dump gate를 'ON' 혹은 'OFF' 시켜 주는 dump gate control 회로가 필요하다.

또한 I 장에서의 설명에서 알 수 있듯이, 각 bit가 MSB부터 LSB의 순서로 정해지는데, 이것을 parallel binary code로 바꾸기 위한 data sequencer가 필요하게 된다. 이 실험에서는 모든 외부회로를 TTL, CMOS 등의 개별 IC소자로 구성하였는데, 이들을 모두 MOS digital 논리회로를 대체하여

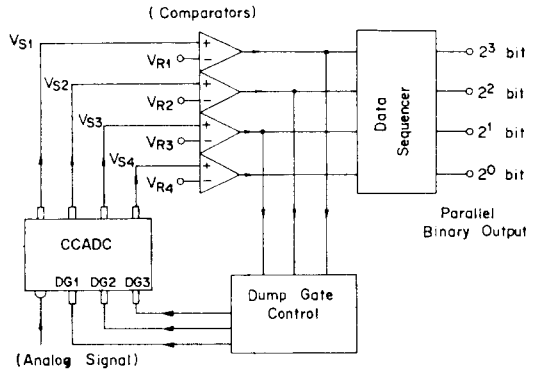


그림 4. 4-bit 전하결합 A/D 변환기의 전체 회로도  
Fig. 4. Overall system schematic of the 4-bit charge-coupled A/D converter.

CCADC와 같은 chip내에 제작하는 것은 어려운일이 아닐 것이다.

IV. 실험 결과

A. 예비 실험 결과

그림 5는 입력된 신호전하가 CCADC의 channel을 진행하여 각 S-well (S<sub>1</sub>, S<sub>2</sub>, S<sub>3</sub>, S<sub>4</sub>)에서 나타나는 파형의 timing을 보여 주기 위한 CRO 사진으로서, (a)는 input gate 2 (IG<sub>2</sub>)에 가해지는 입력 신호, (b)는 φ<sub>1b</sub> (혹은 φ<sub>1s</sub>) clock 파형이며, (C<sub>1</sub>), (C<sub>2</sub>), (C<sub>3</sub>), (C<sub>4</sub>)는

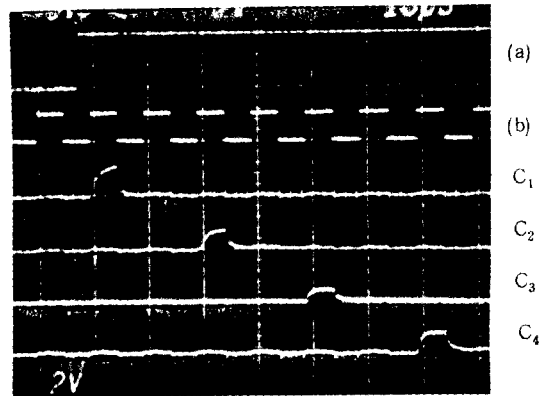


그림 5. CCADC내에서의 신호전하 packet의 이동을 보여 주는 사진

Fig. 5. Oscilloscope showing the propagation of a single charge packet along the channel in the CCADC.

각각  $S_1, S_2, S_3, S_4$ -well에서의 전압에 의한 전압파형으로서, floating diffusion amplifier(FDA)에 연결된 MOST source follower의 출력(source 저항은 10 k $\Omega$ )에서 측정된 것이다.

이 그림으로부터 MSB부터 LSB까지의 각 bit가 차례로  $2T_c$  ( $T_c$ 는 clock 주기)간격으로 정해지는 것을 알 수가 있다. ( $C_1$ )부터 ( $C_4$ )까지의 각 전압파형의 크기를 각각  $V_{S1}, V_{S2}, V_{S3}, V_{S4}$ 라 하면, 그림 6은 이들의 크기를 analog 입력신호 전압의 변화에 따라 측정할 경우에 대한 CCADC의 이상적인 전달 특성이다.

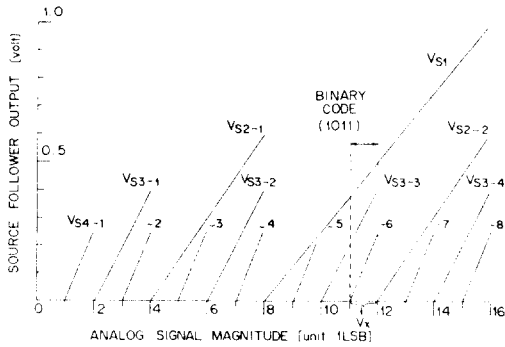


그림 6. CCADC의 이상적인 전달 특성  
Fig. 6. Ideal transfer characteristic of CCADC.

이 그림의  $V_{Sj}$ 는  $j$ 번째 S-well에 연결된 FDA의 출력이며,  $j$ 는 앞단의 dump gate의 조건을 표시하는指數이다. 예를 들어서,  $V_{S3-3}$ 는 dg 1이 'ON', DG 2가 'OFF'인 상태에서의  $S_3$ -well에 연결된 FDA의 출력파형의 전압크기이다. 이 전달특성 곡선에 의하여 4-bit code가 한 값으로 정해지게 되는데, 예를 들어서  $V_x$ 로 표시된 [11 LSB~12 LSB] 구간내의 입력신호에 대하여는  $V_{S2}$ 만 zero이고  $V_{S1}, V_{S3}, V_{S4}$ 는 non zero이므로 comparator를 통하여 zero 준위의 detection을 하게 되면 binary code가 1011이 될 것을 알 수가 있다.

B. A/D 변환

그림 7은 직선적으로 증가하는 ramp 입력신호에 대한 각단의 FDA의 출력파형을 보여 주고 있다.

제작된 CCADC는 p-channel형 소자이므로 입력전압이 minus 방향으로 갈수록 신호전하량은 증가하는데, 그림 7에서 (a)는 ramp 입력신호이고 (b1)부터 (b4)는 MSB단부터 LSB단까지의 FDA의 출력파형이다. 그림 8의 (b1)부터 (b4)는 그림 7의 (b1)-(b4)가 각각 comparator와 data sequencer를 거친 후에 나타나는 4-bit parallel binary code이다.

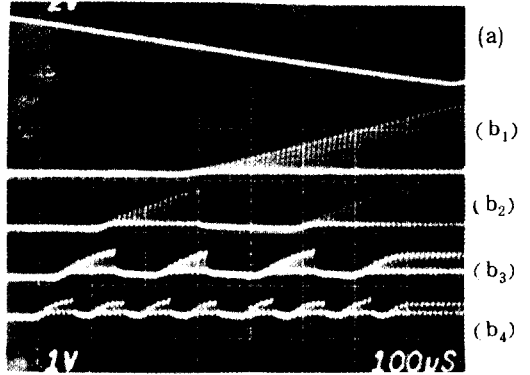


그림 7. (a)는 입력신호, (b1)부터 (b4)는 각각 MSB 단부터 LSB 단의 감지증폭기의 출력파형들  
Fig.7. (a); Ramp input signal  
(b1) thru (b4); sense amplifier output waveforms at the MSB thru LSB stage.

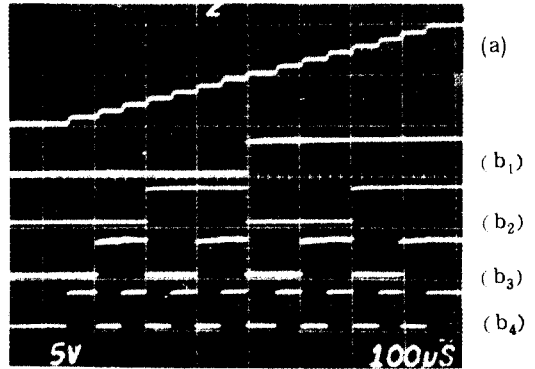


그림 8. (b1)부터 (b4)는 각각  $2^3, 2^2, 2^1, 2^0$ -bit의 binary code, (a)는 이들로부터 재생된 계단파형  
Fig. 8. (b1) thru (b4): 4-bit binary code from the MSB to the LSB.  
(a): Staircase waveform reconstructed from A/D-D/A conversion.

그림 8의 (a)는 이로부터 4-bit D/A 변환기를 통하여 재생한 계단파형이다.

그림 9는 재생된 계단파형과 원래의 ramp 입력신호(위 trace)와의 차이인 양자화 오차(아래 trace)를 보여 주고 있다.

그림 10의 (a)는 삼각파 입력신호이며, (b)는 이로부터 재생된 파형인데, (b) 파형의 내려오는 부분을 보면 (1000→0111)의  $2^3$ -bit transition point와 (1100→1011), (0100→0011)의  $2^2$ -bit transition point에서 1 LSB 크기의 'glitch'가 생겨 있음을 알 수

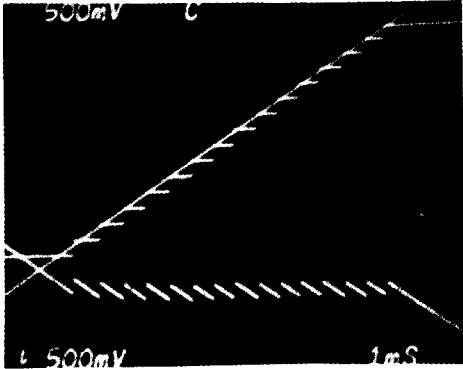


그림 9 (위) Ramp 입력신호와 이로부터 재생된 계단파형

(아래) 이 두 파형의 차이인 양자화 오차

Fig. 9. (upper) : Ramp input signal and the reconstructed staircase waveform,

(lower) : Quantizing error as a difference between the original and the reconstructed waveform.

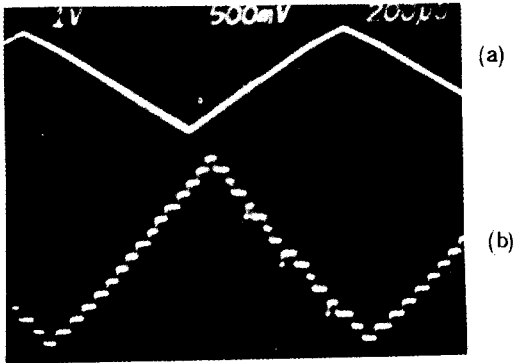


그림 10. (a) 삼각파 입력번호 (b) 재생된 계단파형 내려가는 부분에 glitch가 보인다.

Fig. 10. (a) Triangular input signal. (b) Reconstructed triangular waveform. Glitches are observed at the lowering portion.

있다. 다음에는 이러한 오동작의 원인과 그 해결책에 대하여 생각해 보기로 하자.

### C. Dump Slot

그림 10(b)에서 관찰된 'glitch'는 M-well 안에 저장되어 있던 전하를 dump diffusion (DD)과 dump gate (DG)를 통하여 channel에서 뽑아낼 때에

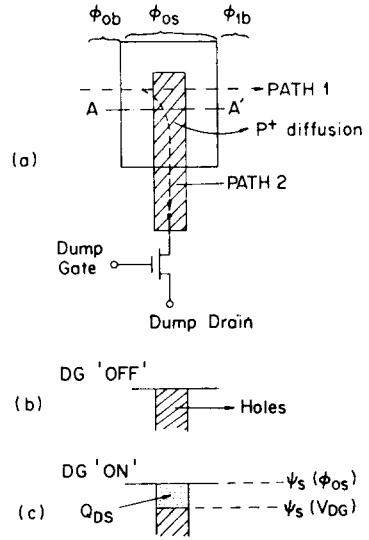


그림 11. (a) Dump gate (DG)부근의 layout 개략도

(b) DG가 'OFF'일때 A-A' 단면상의 실리콘 표면전위의 분포

(c) DG가 'ON'일때

Fig. 11. (a) Schematic layout in the neighborhood of the dump gate (DG).

(b) Surface potential profile along A-A' when DG is 'OFF'

(c) When DG is 'ON'.

생기는 'dump slot'에 기인하는 것이다.

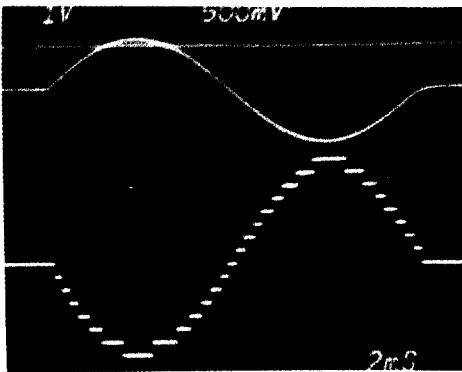
그림 11은 이 'dump slot'효과를 설명하기 위한 것으로서, (a)는 DD와 DG 부근의 구조를 개략적으로 보인 그림이다. 이 부근 영역에서의 신호전하는 DG가 'ON'일때는 path 2를 따라서, DG가 'OFF'일때는 path 1을 따라 이동하는데, path 1을 따라 이동한 후의 A-A' 단면상의 silicon 표면전위,  $\psi_s$ 를, 그림 11(b)에 보였으며, path 2를 따라 이동한 경우의  $\psi_s$ 는 (c)에 보였다. M-well 내에 있던 신호전하를 모두 channel 밖으로 뽑아내기 위해서는 dump gate 밑부분의  $\psi_s$ 가 (a)에 보인  $\phi_{os}$  전극 밑의  $\psi_s$  보다 낮거나, 최소한 같아야 할 것이다. 즉,  $\psi_s(V_{DG}) \leq \psi_s(V_{OS})$ 이며, 여기서  $V_{DG}$ 는 DG에 가해지는 'ON' 전압,  $V_{OS}$ 는 하전극에 가해지는 전압을 표시한다.  $\phi_{os}$  전극 밑의 신호전하인 hole이 dump gate를 통하여 빠져나올 때에 P형 확산인 DD의 신호전하가 아닌 다수 반송자 hole도 동시에 빠져 나오게 되므로, DD상의 표

면 전위는  $\psi_s(V_{DG})$ 까지 내려간다. 따라서, A-A' 단면상의 silicon 표면전위의 분포는 (c)에 보인 것과 같은 'slot'을 보이게 되는데, 이것을 'dump slot'이라고 부르기로 한다.

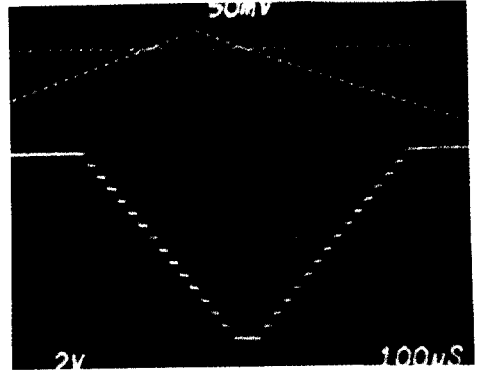
$\psi_s(V_{DG})$ 와  $\psi_s(V_{OS})$ 의 차이를  $\Delta\psi_s$ 라 하면 (c)와 같은 상태에서 다음번에 오는 신호전하가 path 1을 따라 이동하려면  $Q_{DS} = C_{DS} \cdot \Delta\psi_s$  만큼의 신호전하량이 dump slot에 잡히게 된다. 여기서  $C_{DS}$ 는 dump diffusion 영역의 capacitance를 표시한다. 이러한 전하량의 손실때문에 DG의 상태가 'ON'에서 'OFF'로 바뀌는 bit transition point에서는 실제로 입력된 신호의 크기가 줄어들어서 출력단에 나타나게 되는데, 이것이 그림 10에서 관찰한 'glitch'의 원인이다. 그림 10에서 3번째 dump gate, DG3가 'ON'에서 'OFF'로 바뀌는 bit transition point에서는 glitch가 나타나지 않은 이유는 DG3에 연결된 DD의 면적이 다른 것들보다 작았기 때문인데,  $\Delta\psi_s$ 를 더욱 증가시키면 역시 glitch가 생기는 것을 관찰하였다.<sup>[10-13]</sup> 그리고, 그림 10(b)의 계단파형의 올라가는 부분에서는 'dump slot' 효과로 인하여 bit transition point가 변화하게 되는데, 이것에 대한 논의는 참고문헌 [13]으로 미룬다.

D. Slot Zero의 삽입

C에서 설명한 'dump slot' 효과에 의한 A/D 변환의 오동작을 막기 위해서는 dump slot을 메꿀만한 양의 전하를 각 신호전하 sample의 사이에 입력시켜 주면 될 것이다. 이러한 목적으로 신호전하 sample의 사이에 삽입되는 비신호전하를 'slot zero'\*라고 부르기로 한다.



(그림 12 a)



(b)

그림 12. (a) Slot zero 삽입방식에 의한 입력신호 파형(위)과 A/D-D/A 변환을 거쳐서 재생된 파형(아래)

(b) (a)보다 시간축을 늘려서 본 사진 slot zero(SZ)와 신호가 multiplex된 모양을 볼 수 있다.

Fig.12. (a) Input signal waveform (upper) and the reconstructed waveform (lower) in the slot zero insertion input scheme.  
(b) Time-expanded version of(a). Input waveform is shown as multiplexed between the slot zero (SZ) and the 'signal'.

그림 12(a)는 slot zero의 삽입에 의한 입력방식에서의 입력파형(위trace)과 이 방식에 의해 재생된 'glitch'가 없는 계단파형을 보여 주고 있다. 그림 12(a)의 입력파형에서 평평한 직선 trace의 전압준위가 slot zero(SZ)의 크기에 해당하며, SZ과 signal이 multiplexing 되어 있는 것을 보이기 위하여 시간축을 확대시킨 그림이 그림 12(b)이다.

V. 결 토

제작된 전하결합 A/D 변환기의 동작 특성을 표 2에 정리해 보았다. Clock 주파수의 下限은 CCADC chip에서의 암전류의 크기에 관계되는데, 실제의 제

\* CCD channel에서의 표면상태 (Surface state) 의한 신호전하의 포획, 방출에 의한 전하이동 손실을 막기 위해서 여분으로 주입시켜 주는 비신호전하를 'fat zero'라고 부른다.

작 결과 CCADC의 암전류 밀도는  $10 \mu\text{A}/\text{cm}^2$  정도로서, 최신 MOS 반도체 기술에서 얻어지는 대표적인 값이  $10 \text{nA}/\text{cm}^2$ 의 약 1000배 정도로 크게 나타났다.

표 2. 제작된 4-bit A/D 변환기의 동작특성  
**Table 2.** Performance characteristics of the experimental 4-bit A/D converter.

number of bit	4 bit
input signal dynamic range	2.4 ± 0.1 volt
DC offset range	-5 volt ~ -9 volt
magnitude of 1 LSB	0.15 volt, 0.45 pc
input capacitance	3 pf
input resistance	≥ 10 <sup>8</sup> ohms
conversion nonlinearity	≤ 1/2 LSB (3% of full scale)
throughput rate range	500 Hz ~ 200 KHz (in conventional input scheme)  250 Hz ~ 100 KHz (slot zero insertion scheme)

표 2에 보인 throughput rate의 下限은 dryice 중기로 chip을 냉각시켜 암전류의 크기를 약  $\frac{1}{10}$  정도로 줄인 후에 측정한 값이다. 동작 clock 주파수의 上限은 전하이동 손실량에 의해 정해지는데, CCADC에서는 전하이동단의 수가 보통의 CCD shift register에 비해 매우 적기때문에 표면상태에 의한 손실량은 별로 문제가 되지 않는다. 한편, 제안된 A/D 변환기에서는 bit수가 커질수록 MSB 단의 전극길이가 커지므로 자유전하 이동손실량(free charge transfer inefficiency)은 이에 따라 증가하게 된다. 이러한 관점에서, 제안된 전하결합 A/D 변환기의 실제적인 응용범위는 8-bit 정도로 제한 될 것으로 생각된다.

끝으로, 16개의 실험 sample 소자에 대하여 각 M-well의 전하용량을 측정된 결과를 그림 13에 보였다. (a)는 각 M-well에서 신호전하에 의한 전압파형이 나타나기 시작하는 입력전압을 입력단의 capacitance에 곱하여 얻어진 각 M-well의 전하용량,  $Q_{M_i}$  ( $i = 1, 2, 3, 4$ )의 분포이다. 그런데,  $Q_{M_i}$ 는 implant된 전위장벽의 높이  $\psi_B$ 와  $M_i$ -well의 면적  $A_{M_i}$ 의 곱에 비례하게 되므로, 그림 13(a)에서 각  $A_{M_i}$  사이의 면적비를 알기 위해서는 각  $Q_{M_i}$ 를 어느 한 M-well의 전하용량으로 나눈 값의 분포를 보아야 할 것이다. 그림 13(b)는

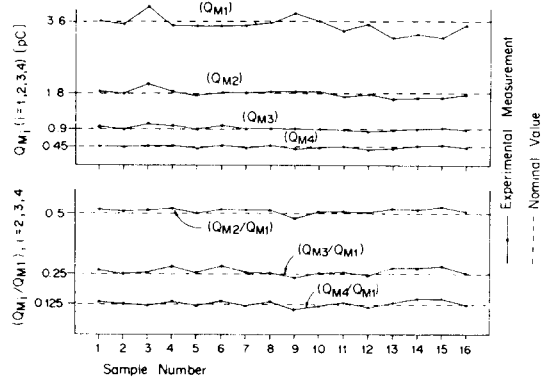


그림 13. (a) 16개의 sample 소자에 대한 각 M-well의 전하용량  $Q_{M1}, Q_{M2}, Q_{M3}, Q_{M4}$ 의 분포

(b) (a)의  $Q_{M2}, Q_{M3}, Q_{M4}$ 를  $Q_{M1}$ 으로 나눈 값의 분포

**Fig.13.** (a) Distribution of the four M-well charge capacities,  $Q_{M1}, Q_{M2}, Q_{M3}$ , and  $Q_{M4}$  for 16 sample devices.

(b) Distribution of  $Q_{M_i}$  ( $i = 1, 2, 3$ ) normalized to  $Q_{M1}$  for 16 sample devices.

각 sample의  $Q_{M2}, Q_{M3}, Q_{M4}$ 를 동일한 sample내의  $Q_{M1}$ 으로 나눈 값의 분포인데, (a)의 분포에 비해 비교적 (8 : 4 : 2 : 1)의 정격 면적비가 잘 유지된 것을 알 수 있다.

## VI. 결 론

전하결합소자(CCD)를 이용하는 A/D 변환방식을 실험적으로 증명하기 위하여, 4-bit, p-channel 소자를 제작하여 성공적으로 동작시켰다. 주변회로를 포함한 전체 A/D 변환회로를 모두 MOS 반도체 기술로 실현하여, 제안된 A/D 변환기를 one chip으로 제작하는 것은 어려운 일이 아닐 것으로 생각된다. 제안된 A/D 변환기는 제작경비와 전력소모가 적고 구조도 간단한 것이 장점이므로, 정확성과 변환속도보다는 경제성이 우선시되는 응용분야에 적합할 것이다.

## 謝 辭

이 논문의 실험소자를 제작하는데 도움을 주신 삼성반도체의 장호승씨와 설계 team의 여러분들, 금성반



도체주식 회사의 양 장섭, 최 성현, 최 대현, 이 동휘씨, Motorola Korea의 김 성환, 노 성재, 정 인종씨께 감사드립니다. Aluminum 양극산화기술에 대한 자료를 제공해 주신 한국과학기술원의 김 오현, 신 윤승씨에게 감사드립니다. 끝으로, 이 논문에 대한 재정적 지원을 해 주신 한국과학재단에 깊은 사의를 표합니다.

參 考 文 獻

1. D.A. Hodges and V.I. Johannes: editors, Joint Special Issue on Solid-State Circuits for Telecommunications, IEEE J. Solid-State Circuits, vol.SC-14, Feb. 1979.
2. R.C. Pettengill, P.W. Bosshart, M. de Wit, and C.R. Hewes, "A monolithic 512 point chirp z-transform processor," 1979 ISSCC Dig. Tech. Papers, pp. 68-69, Feb. 1979.
3. J.G. Peterson, "A monolithic, fully parallel 8 b A/D converter," 1979 ISSCC Dig. Tech. Papers, pp. 128-129, Feb. 1979.
4. W.J. Butler and C.W. Eichelberger, "Monolithic charge-transfer A/D converter," IEEE Trans. on Circuits and Systems, vol. CAS-25, pp. 497-503, July 1978.
5. J.L. McCreary and P.R. Gray, "All-MOS charge redistribution analog-to-digital conversion technique-part I," IEEE J. Solid-State Circuits, vol. SC-10, pp. 371-379, Dec. 1975.
6. C.M. Kyung and C.K. Kim, "Pipeline analog-

- to-digital conversion with charge-coupled devices," IEEE J. Solid-State Circuits, vol. SC-15, pp. 255-257, April 1980.
7. C.M. Kyung and C.K. Kim, "Charge-coupled A/D converter," 1981 Custom Integrated Circuits Conference, Rochester, N.Y., May 11-13, 1981.
8. 경 종민, 김 충기, "Pipeline A/D conversion with CCD." 1979년 하계전자전기연합학술표회, 경북대학교, 대구, 1979. 8.3~4.
9. M.F. Tompsett, "Surface potential equilibration method of setting charge in charge-coupled devices," IEEE Trans. on Electron Devices, Vol. ED-22, June, 1975.
10. C.M. Kyung and C.K. Kim, "Charge-coupled analog-to-digital converter," submitted for publication in the IEEE J. Solid-State Circuits, 1981 December issue.
11. D.R. Collins, et al., "Charge-coupled devices fabricated using Al-A1<sub>2</sub>O<sub>3</sub>-Al double level metallization," J. Electrochem. Soc., vol. 120, pp. 521-526, 1973.
12. 신 윤 승, 김 오 현, 경 종 민, 김 충 기, "2중 알루미늄 전극구조의 charge-coupled device 를 이용한 저역역파기" 대한전자공학회지 제 18 권 3 호 (1981년 6월).
13. 경 종 민, A New Charge-Coupled Analog-to-Digital Converter, 한국과학기술원 박사논문 (1981년 2월).

