

CdSe TFT의 製造 및 電氣의 特性

(Fabrication and Characteristics of CdSe TFT)

金 基 完 * , 李 宇 一 * , 崔 時 永 * , 李 龍 鉉 *

(Kim Ki - Wan , Lee Wu - Il , Choi Sie - Young and Lee Yong - Hyun)

要 約

CdSe 半導體와 SiO 誘電體를 使用하여 眞空蒸着方法으로 薄膜트랜지스터를 製造하고 半導體의 두께 및 드레인-소오스間的 채널길이 變化가 薄膜트랜지스터의 特性에 미치는 影響을 調査하였다. 半導體의 두께를 1500 Å으로 하고 채널길이를 40 μm으로 製造한 TFT가 가장 좋은 特性을 나타내었다. 이 特性을 MOSFET의 關係式에 適用하여 이로부터 CdSe 半導體의 캐리어 移動도는 115 cm²/V·sec 였고 活性化 에너지는 0.13 eV 였다.

Abstract

The Cdse TFTs with SiO gate insulator layer have been fabricated with vacuum evaporation technique. The effects of semiconductor thickness and drain-source channel length on the electrical properties have been investigated. The TFTs with 1000 Å SiO insulator, 1500 Å CdSe semiconductor layer and 40 μm channel length showed the best characteristics.

I. 序 論

薄膜트랜지스터 (thin film transistor : TFT) 는 構造 및 基本動作原理가 MOSFET (metal oxide semiconductor field effect transistor) 의 그것과 類似的한 絶緣 게이트 電界效果트랜지스터이다^[1]. 1961年 P. K. Weimer^[2]에 의하여 TFT가 처음 研究發表되었으나, 電氣의 特性이 MOSFET에 비해 뒤지고 또한 薄膜技術의 어려움과 실리콘 LSI 技術의 급속한 進歩때문에 TFT에 對한 研究가 지연되어 왔다.^[3] 그러나 TFT는 MOSFET 보다 製造工程이 매우 간단하

고 經濟的이며, 製造된 素子間的 우수한 絶緣성과 값이 큰 受動素子が 포함된 回路를 集積回路化하는데 便利하다는 利點때문에 최근에는 많은 사람들이 TFT素子の 開發에 참여하고 있다.^{[4]~[14]}

本 研究에서는 非晶質 CdSe 半導體와 非晶質 SiO 誘電體를 使用하여 眞空蒸着 方法으로 薄膜트랜지스터를 製造하였다. 이때 誘電體의 두께를 1000 Å으로 一定하게 두고 半導體 및 채널길이의 變化가 薄膜트랜지스터의 特性에 미치는 影響을 調査하였다. CdSe TFT의 게이트 절연물질로 SiO₂를 使用할 수 있으나, 本 研究에서는 우선 沸騰點이 낮은 SiO를 택했다. 다음에는 電子線 증착장치를 利用하여 SiO₂를 使用한 TFT를 製造할 것이다.

* 正會員, 慶北大學校 工科大學 電子工學科
(Dept. Electronics Eng. Kyung-Pook National Univ.)

接受日字: 1981年 6月 6日

(※ 本 研究는 1980年度 文教部 研究費로 遂行되었음)

II. 製造 및 測定

本 實驗에서는 그림 1과 같은 逆 스택거 構造의(in-

verted staggered structure)^[15]의 薄膜트랜지스터를 製造했다. 그림 2는 이와 같은 TFT를 眞空蒸着法으로 製造하기 위한 工程을 概略적으로 圖示한 것이다. 眞空蒸着裝置로는 Varian 315를 使用하였고 眞空蒸着時 眞空도는 3×10^{-5} Torr. 로 하였다. 基板으로는 현미경用 슬라이드유리를 使用하였다. 세척한 슬라이드 유리板 위에 SiO를 1000 Å 정도 베이스 코

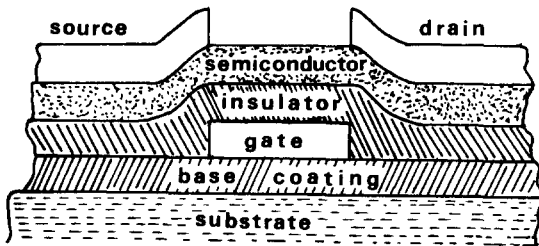


그림 1. 逆 스테거構造의 TFT 斷面圖
Fig. 1. Cross-section of inverted staggered TFT.

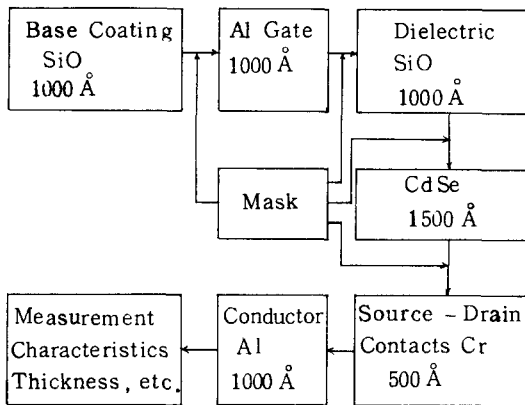


그림 2. TFT의 製造工程
Fig. 2. Process sequence for the preparation of TFT.

우팅(base coating) 하였다. 이의 目的은 基板으로부터 확산되어 들어올 수 있는 不純物에 의한 汚染을 防止할 뿐만 아니라 基板의 絶緣을 좋게 하기 위함이다. SiO로 베이스 코우팅된 基板위에 幅이 0.2 mm인 Al 게이트 電極을 만들었다.

誘電體로는 純도가 99.9%인 Nordicko 製의 SiO를 使用하였다. 이때 SiO는 특별히 제작된 SiO 專用의 텅스텐 보우트(Nordick SO-22)를 使用하여 蒸着되었으며, 그 蒸着率은 300 Å/min 였고, 誘電體의 두께는 約 1000 Å 였다. 이어서 CdSe를 물리브덴 보

우트에 넣어 이를 眞空蒸着시켜 半導體 薄膜으로 하였다. 이때도 蒸着率은 300 Å/min 였다. 使用한 CdSe는 그 純도가 99.999%인 Nordicko 製의 非晶質 粉末로 된 것이었다. 이와 같이 蒸着된 半導體 위에 채널의 길이가 25, 40 및 50 μm로 되도록 드레인-소스 電極用 마스크를 놓고 텅스텐棒에 두겹게 塗布된 Cr(純도 99.999%, R.D. MATHIS 製, CRW2)으로 먼저 蒸着하고, 이어서 Al(純도 99.99%)을 蒸着하여 電極을 만들었다. 이때 Cr의 두께는 약 500 Å 였고 Al의 두께는 약 1000 Å 였다. 여기서 Cr을 蒸着하는 理由는 CdSe 半導體와 Al 電極사이의 抵抗性 접촉을 좋게 하기 위한 것이다. 그림 3은 製造된 TFT素子 및 各 工程마다의 薄膜두께를 測定하기 위한 모니터들을 나타낸 것이다. 50 × 25 mm인 슬라이드 유리板위에 TFT가 16개, 誘電率 測定用 커패시

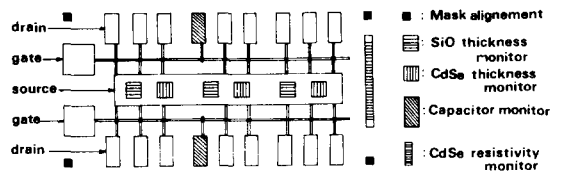


그림 3. TFT素子들과 두께 測定用 모니터
Fig. 3. TFTs and thickness monitors.

터가 2개, 半導體의 두께 變化에 따른 抵抗率測定用 모니터가 1개, 半導體 및 誘電體의 두께 測定用 모니터가 各 3개 및 마스크 얼라인먼트用 모니터 4개가 들어 있다.

TFT를 構成하는 各 薄膜의 蒸着時 두께 제어에는 水晶發振子를 利用한 두께測定器를 使用하였다. 이들 薄膜의 두께는 干涉計(Å meter)로 測定하여 재확인 하였다. 蒸着된 誘電體의 比誘電率은 커패시터 모니터의 커패시턴스를 LC미터로 測定하여 그 값을 얻었다. 그리고 TFT의 Id-Vd特性은 게이트 電壓을 파라미터로 하여 메모리 오실로스코프를 써서 調査하였다.

III. 結果 및 考察

誘電體 두께 및 소스-드레인 채널의 길이를 各 各 1000 Å 및 40 μm로 一定하게 두고, CdSe 半導體의 두께를 1000 Å, 1500 Å으로 製造한 TFT의 Id-Vd特性을 그림 4, 5 및 6에 나타내었다. 그림 4는 CdSe의 두께가 1000 Å인 TFT의 特性이다. 이 特性에서는 드레인 電壓增加에 따라 드레인 電流의 飽和現象이 일어나지 않았다. 그림 5는 CdSe의 두께를

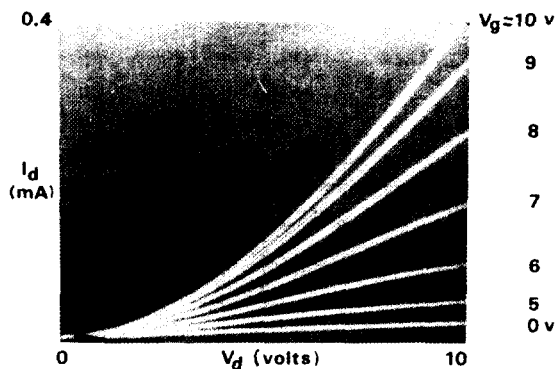


그림 4. 1000 Å CdSe 薄膜으로된 TFT의 Id - Vd 特性 (SiO 薄膜; 1000 Å, 채널길이: 40 μm)

Fig. 4. Id vs Vd With a 1000 Å CdSe layer. (SiO layer; 1000 Å, channel length: 40 μm)

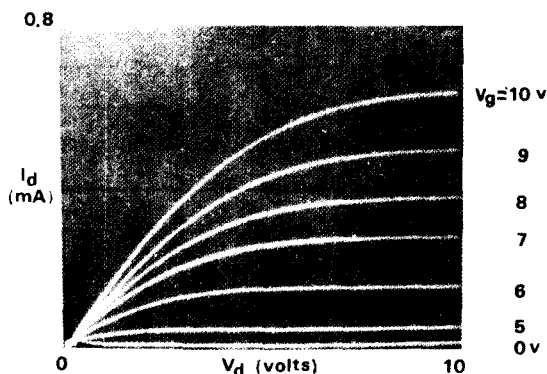


그림 5. 1500 Å CdSe 薄膜으로된 TFT의 Id - Vd 特性 (SiO 薄膜; 1000 Å, 채널길이: 40 μm)

Fig. 5. Id vs Vd with a 1500 Å CdSe layer. (SiO layer; 1000 Å, channel length; 40 μm)

1500 Å 으로 蒸着하여 製造한 TFT의 特性이다. 이 素子의 特性은 MOSFET의 特性과 거의 같이 게이트 電壓變化率에 따라 드레인 電流變化率이 거의 一定하고, 드레인 電壓增加에 따라 드레인 電流의 飽和現象도 잘 나타내었다. 그림 6은 CdSe의 두께를 2000 Å 으로 蒸着하여 製造한 TFT의 特性으로서, 半導體의 두께가 두껍게 蒸着되어 드레인 電流는 크게 增加되었으나 드레인 電壓의 增加에 따라 드레인 電流의 飽和現象이 나타나지 않았다. 그러므로 眞空蒸着法에 의한 CdSe

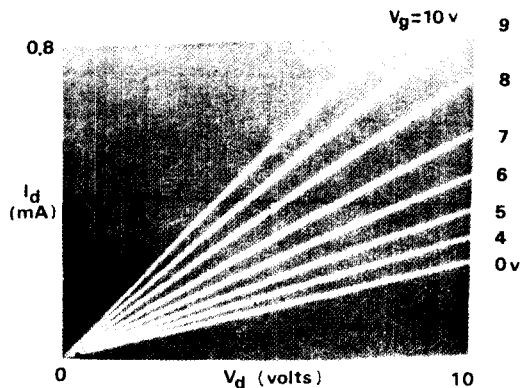


그림 6. 2000 Å CdSe 薄膜으로된 TFT의 Id - Vd 特性 (SiO 薄膜; 1000 Å, 채널길이: 40 μm)

Fig. 6. Id vs Vd with a 2000 Å CdSe layer. (SiO layer; 1000 Å, channel length; 40 μm)

TFT 製造에 있어서 絶緣體로 SiO를 1000 Å의 두께로 蒸着하여 使用하는 경우, CdSe 半導體의 두께로서는 1500 Å 정도가 알맞음을 알 수 있다. 絶緣材料로는 주로 SiO₂가 使用되고 있으나 SiO₂를 眞空蒸着시키면 蒸着된 薄膜의 物質이 SiO₂가 되지 않고 SiQ로 되며 薄膜의 두께도 균일하지 않았다. 그러나 SiO는 沸騰點이 SiO₂보다 낮으므로 蒸着이 容易하고 蒸着된 物質도 SiO로 되며 薄膜의 두께도 균일하게 蒸

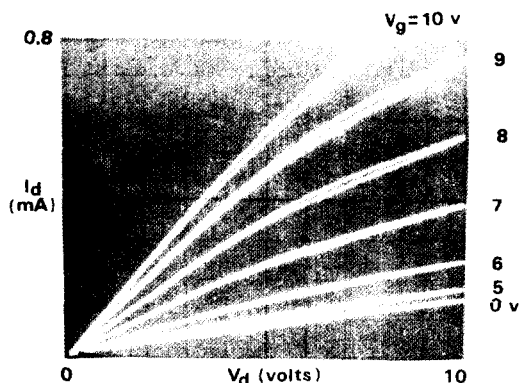


그림 7. 채널길이 25 μm인 TFT의 Id - Vd 特性 (SiO 薄膜; 1000 Å, CdSe 薄膜; 1500 Å)

Fig. 7. Id vs Vd with a 25 μm channel length. (SiO layer; 1000 Å, CdSe layer; 1500 Å)

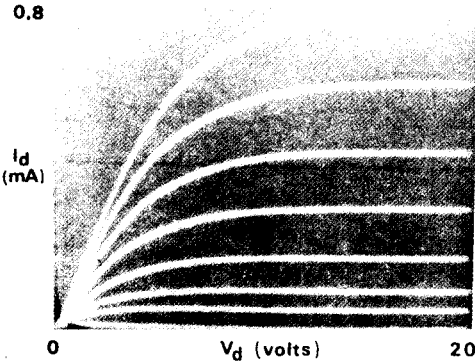


그림 8. 채널 길이가 40 μm인 TFT의 Id-Vd 특성 (SiO 薄膜; 1000 Å, CdSe 薄膜; 1500 Å)

Fig. 8. Id vs Vd with a 40 μm channel length. (SiO layer; 1000 Å, CdSe layer; 1500 Å)

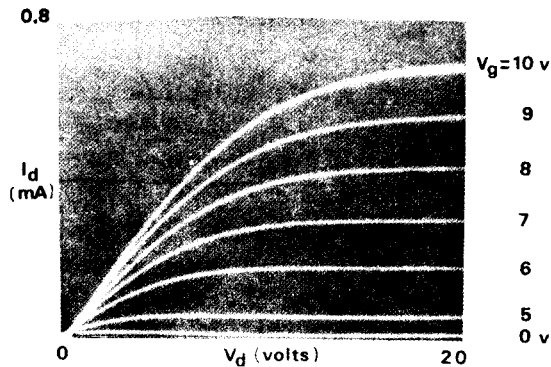


그림 9. 채널 길이가 50 μm인 TFT의 Id-Vd 특성 (SiO 薄膜; 1000 Å, CdSe 薄膜; 1500 Å)

Fig. 9. Id vs Vd with a 50 μm channel length (SiO layer; 1000 Å, CdSe layer; 1500 Å)

着되었다. 또한 SiO의誘電率^[14]이室溫에서SiO₂^[16]와 비슷하므로本實驗에서는SiO를絶緣材料로使用하였다.

TFT의 채널 길이變化에 의한 트랜지스터 특성變化를觀察하기 위하여, 채널의 길이를 25, 40 및 50 μm로 하고 위의條件으로製造한TFT의 Id-Vd 특성을그림 7, 8 및 9에 나타내었다. 그림 7은誘電體SiO의 두께를 1000 Å, 半導體CdSe의 두께를 1500 Å으로蒸着하고드레인-소오스電極間的 채널 길이가 25 μm인TFT素子の特性이다. 여기서 채널

의 길이를 짧게 함으로써 드레인 電流는 약간 增加되었으나 드레인 電壓增加에 따라 드레인 電流의 飽和現象이 나타나지 않았다. 그림 8은 채널의 길이가 40 μm인 TFT의 特性이다. 이素子は 드레인 電壓의 增加에 따라 드레인 電流의 飽和現象을 가장 잘 나타내었다. 그림 9는 채널의 길이가 50 μm인 TFT의 特性이다. 채널의 길이가 넓어짐에 따라서 채널의 길이가 40 μm인 TFT의 特性보다 약간 減少되었으며 드레인 電壓의 增加에 따른 飽和現象도 약간 나빠졌다. 眞空蒸着方法에 의한 CdSe TFT의 製造에 있어서 CdSe 薄膜의 두께를 1500 Å과 채널의 길이를 40 μm로 하는 것이 가장 좋은 TFT의 特性을 나타내었다.

製造된 TFT의 再現性은 同一 기판위에서 製造된 16個素子の 特性이 거의 같았으며, 製造를 20回 반복하여 보아도 같은 結果가 나타났다. 그리고素子を 질소 가스 분위기 속에서 300°C ~ 450°C, 1 ~ 3時間의 條件으로 熱處理한 結果의 特性은 상당히 低下되었다. 이런 現象과 老化現象의 問題는 계속 研究課題로 남아 있다.

本實驗에서 製造한 CdSe TFT의 特性을 MOSFET의 動作機構의 모델에 適用시켜 보았다^[1,12] 드레인電流 Id를線形領域(Vd < Vg - Vo)와 飽和領域(Vd > Vg - Vo)로 나누어 表現하면

$$I_d = \frac{CW\mu}{L} \left\{ (V_g - V_0) V_d - \frac{V_d^2}{2} \right\} \quad (V_g - V_0) > V_d \quad (1)$$

$$I_d = \frac{CW\mu}{2L} (V_g - V_0)^2 \quad (V_g - V_0) < V_d \quad (2)$$

C: 誘電體의 單位面積當 靜電容量

W: 게이트의 幅

μ: 캐리어 移動度

L: 채널의 길이

Vg: 게이트 電壓

Vo: threshold 電壓

Vd: 드레인 電壓

로 된다. 여기서 Vo는 드레인 電流가 흐르는 最小의 게이트 電壓, 즉 threshold 電壓이다. Vo를 구하기 위하여式(1)에서 Vg - Vo > Vd이므로 Vd²/2項을 무시하면, Id가 Vg에 一次比例하게 되므로 Vd를 一定하게 유지하고 Id를 Vg의 파라미터로 測定하면 바로 Vo를 구할 수 있다. 그림 10은 그림 8의 特

性曲線의 線形領域으로 부터 구한 $I_d - V_g$ 特性이다. 여기서 이 素子의 V_0 는 3.5V 임을 알 수 있다. 式 (1)에서 V_0 를 알면 μ 를 계산할 수 있다. 이 素子의 경우 25°C 에서 캐리어 移動度는 $115 \text{ cm}^2/\text{V}\cdot\text{sec}$ 였다. 이것은 M. J. Lee 等^[12]이 測定한 것과 잘 一致

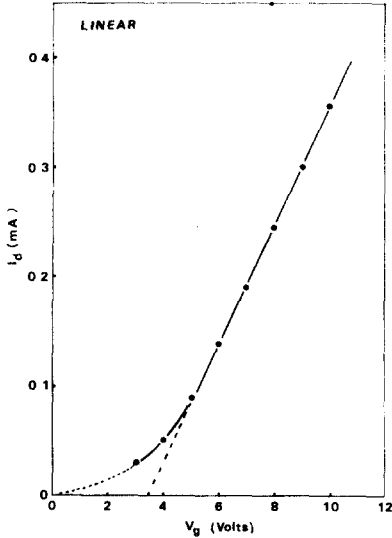


그림 10. 線形領域에서 $I_d - V_g$ 特性
Fig. 10. I_d vs V_g in the linear.

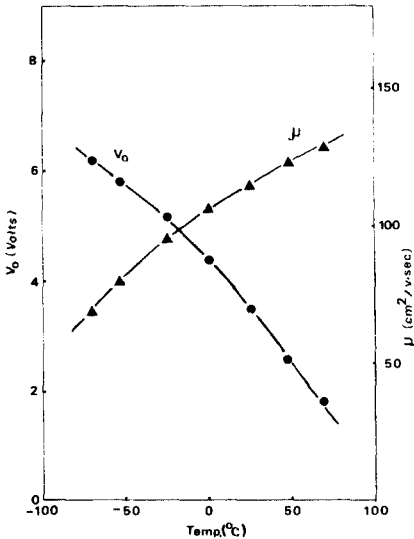


그림 11. 溫度變化에 대한 threshold 電壓 및 캐리어 移動度의 變化
Fig. 11. Variation of threshold voltage and carrier mobility with temperature.

하였다. 캐리어 移動度를 測定하는 方法으로서 Hall 效果를 利用하는 方法이 있지만, CdSe 半導體는 캐리어 移動度가 적어서 Hall 電壓測定이 곤란하였다.

그림 11은 素子의 주위온도를 -70°C 에서 $+70^\circ\text{C}$ 까지 變化시켰을 때의 threshold 電壓 V_0 의 變化 및 이 값으로부터 계산되는 캐리어 移動度 μ 의 變化를 나타낸 것이다. 이 溫度範圍에서 캐리어 移動度는 $68 \text{ cm}^2/\text{V}\cdot\text{sec}$ 에서 $125 \text{ cm}^2/\text{V}\cdot\text{sec}$ 의 範圍에 있었다. 그림 12는 그림 11에 주어진 CdSe 薄膜 半導體의 캐리어 移動度의 變化를 溫度에 따른 Arrhenius 圖表로 그린 것이다. 이 그래프에서 CdSe 의 캐리어 活性化에너지는 약 0.13 eV 였다. 이 값도 M. J. Lee 等이 測定한 것과 잘 一致하였다.

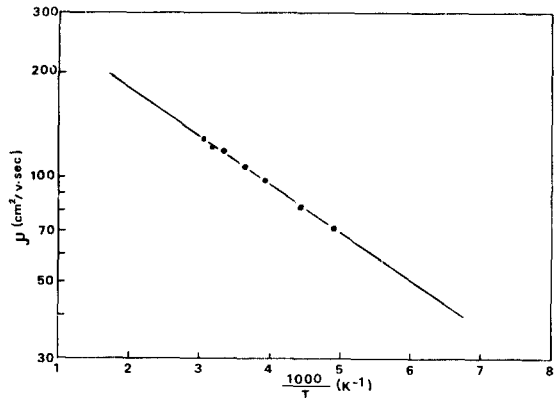


그림 12. 溫度에 對한 캐리어 移動度
Fig. 12. Carrier mobility vs temperature.

N. 結論

本 研究에서는 CdSe 와 SiO 를 使用하여 眞空蒸着 方法으로 薄膜트랜지스터를 製造하고 誘電體의 두께를 1000 \AA 으로 一定하게 한 후, 半導體의 두께 및 채널길이의 變化가 薄膜트랜지스터의 特性에 미치는 影響을 調査하였다.

CdSe 의 두께를 1500 \AA 으로 하고 드레인-소오스 間의 채널길이를 $40 \mu\text{m}$ 로 製造한 TFT 가 가장 좋은 特性을 나타내었다. 이의 特性을 解析하기 위하여 MOSFET의 關係式에 適用하였다. 이로부터 CdSe 半導體의 캐리어 移動度는 25°C 에서 $115 \text{ cm}^2/\text{V}\cdot\text{sec}$ 였고 活性化 에너지는 0.13 eV 였다.

參 考 文 獻

1. A. C. Tickle, "Thin film transistors", Wood and Hills, (1968).
2. P. K. Weimer, "An evaporated thin film tri-

- odes", Presented at the IREAIICE Device Res. Conf., Stanford Univ., June (1961).
3. R. Zuleeg, "Electrical evaluation of thin film CdS diodes and transistors" *Solid - State Electronics* 6, 645-655 (1963).
 4. A. Waxman and G. Mark, "Electron mobility studies in surface space - charge layers in vapor - deposited CdS films", *J. Appl. Phys.* 35(1), 168-175, (1965).
 5. P. K. Weimer "A 180 stage interated thin film scan generator", *Proc. IEEE*, 54, 354-360, (1966).
 6. A. V. Calster, and H. J. Pauwels, "Theoretical influence of surface states and bulk traps on thin film transistor characteristics", *Solid - State Electronics*, 18, 691-698(1975).
 7. M. Burgelman, and H. J. Pqwels, "Influence of a flatband -voitage variation along the channel on the drain characteristics of ATFT", *Solid -State Electronics*, 19, 459-461(1976).
 8. M. Smijanac, "A simple boundary condition at interface of TFT", *Solid - State Electronics* 20, 767-780 (1977).
 9. K. H. Norian, "The effect of annealing on the semiconductor in a thin film transistor", *Thin Solid Films*, 47, 195-201(1977).
 10. J. C. Erskine and A. Cserhati, "Cadmium selenide thin film transistors", *J. Vac. Sci. Tech.*, 15(6), 1823-1835(1978).
 11. S. R. Jawalekar, and M. K. Rao, "Photoconductivity in evaporated CdSe films", *INT. J. Electronics*, 46, 483-485 (1979).
 12. M. J. Lee, S. W. Wright, and C. P. Judge, "Electrical and structural properties of cadmium selenide thin film transistors" *Solid - State Electronics*, 23, 671-679(1980).
 13. M. K. Rao, and S. R. Jawalekar, "A CdSe thin film field effect Fransistor", *INT. J. Electronics*, 46, 309-311(1979).
 14. S. Y. Choi, "Fabncation of CdSe thin film transistor", *Bull. Indust & Soc. Devel.*, KNU., 8, 17-23(1980).
 15. S. M. Sze, "Physics of semiconductor devices", Willey - Interscience (1961).
 16. K. L. Chopra, "Thin film phenomena", McGRAW-Hill (1969).

