

PMOS 技術을 이용한 512 Bit Mask Programmable ROM의 設計 및 製作

(A 512 Bit Mask Programmable ROM
using PMOS Technology)

申 鉉 宗*, 金 忠 基**

(Shin, Hyun Jong and Kim, Choong-Ki)

要 約

PMOS 集積技術을 이용하여 512-Bit mask programmable ROM을 設計하고 製作하였다. ROM의 내용은 製作工程에서 gate pattern으로 記憶시켰으며 chip 의 出力을 512(32 × 16)개의 點의 行列로써 오실로스코프에 나타내어 確認하였다. 製作된 chip 은 -6V와 -12V의 범위에서 정상적으로 동작하였다. 消耗電力과 傳達遲延시간은 -6V에서 각각 3mW와 13 μsec였다. -12V에서는 消耗電力이 27mW로 증가하였으며 傳達遲延시간은 3 μsec로 감소하였다. Chip 의 出力은 TTL gate의 入力을 직접 驅動시킬 수 있었으며 chip select에 의하여 出力을 disable시켰을 때는 높은 임피던스 상태를 維持하였다.

Abstract

A 512-bit mask programmable ROM has been designed and fabricated using PMOS technology. The content of the memory was written through the gate pattern during the fabrication process, and was checked by displaying the output of the chip on an oscilloscope with 512(32 × 16) matrix points. The operation of the chip was successful with operating voltages from -6V to -12V. The power consumption and propagation delay time have been measured to be 3mW and 13 μsec, respectively at -6 Volt. The power consumption increased to 27mW and propagation delay time decreased to 3 μsec at -12 V. The output of the chip was capable of driving the input of a TTL gate directly and retained a high impedance state when the chip select function disabled the output.

1. 서 론

ROM(Read Only Memory)는 거의 모든 digital system에서 가장 중요한 부분의 하나로, micro-program, code conversion table, character generator, look-up table 등을 구성하는데 적합하다. 또한 ROM

을 이용하면 어떠한 random logic도 간단히 구성할 수 있다는 長點이 있다.

ROM은 주로 半導體 集積回路 製作技術을 이용하여 제작되고 있으며 PMOS, NMOS, CMOS 등의 技術이 주로 이용되고 있다.^{[1][2]} PMOS 技術은 NMOS, CMOS 技術에 비하여 그 工程이 훨씬 간단하며 threshold電壓의 조절이 容易하기 때문에 소규모의 設備만을 이용하여서도 實現시킬 수 있다는 장점이 있다. 그러나 PMOS 技術로 製作된 素子の 동작전압은 負電壓이므

* 正會員, 韓國電子技術研究所 (KIET)

** 正會員, 韓國科學技術院 電氣 및 電子工學科
(Dept. of Electrical Science, KAIST)

接受日字: 1981年 4月 8日

로 사용하기에 불편한 점이 있다.

본 논문에서는 工程이 간단하다는 長點을 살려서, 국내에서도 이미 발표된 표준 PMOS 技術^[3]을 이용하여, Mask 한개로 ROM 내용을 programm 할 수 있는, 용량 512 Bit 의 ROM 을 設計, 製作하였다. 設計는 chip 이 다른 digital system과 간편하게 interface 될 수 있도록, address decoder, 입출력 buffer, chip 選擇 (CS) 기능 등의 주변회로를 함께 구성하는 방향으로 하였다.

본 논문에서의 logic 전계는 negative true logic 을 사용하고, 전압의 크기는 절대치로 다루었음을 밝혀 둔다.

II. PMOS ROM 設計의 기본 概念

1. ROM Cell

MOS ROM 에서 binary ("1", "0") 의 情報를 저장하는 cell 은 MOSFET 로 이루어져 있으며, 情報저장 방식중 가장 보편적인 것은 FET 의 threshold 전압을 다르게 하는 방식이다.

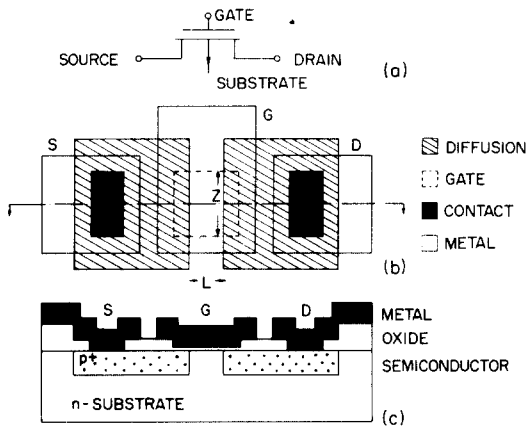


그림 1. P-channel MOSFET (a) 기호 (b) Layout (c) 단면

Fig.1. P-channel MOSFET.

(a) Symbol (b) Layout (c) Cross-section

Threshold 전압 (V_T)란 그림 1의 MOSFET 에서 Source-Drain(S-D) 사이에 전류가 흐를 수 있는 통로를 형성시키는데 필요한 Gate-Source (G-S) 사이의 최소 전압을 말하며, 식 1 과 같이 표시된다.^[4]

$$V_T = \phi_{MS} + 2\phi_F - \frac{t_{ox}}{C_{ox}} (Q_f + Q_B) \quad (1)$$

여기서 ϕ_{MS} 는 실리콘 일함수에 대한 gate 금속의 일

함수의 차이를 표시하고, ϕ_F 는 실리콘의 fermi potential 을 표시하고, t_{ox} 는 산화막의 두께, C_{ox} 는 산화막의 유전상수, Q_f 는 산화막과 실리콘의 경계면에 존재하는 fixed-charge density [coulomb/cm²]^[5], Q_B 는 실리콘內的 공핍영역에 존재하는 電荷密度 [coulomb/cm²] 를 표시한다.

Binary 情報를 구별하기 위해서는 두개의 FET 의 G-S 사이에 어떤 일정한 전압, V_{GS} 를 인가하는 경우에 drain 에 흐르는 電流의 크기를 다르게 하면 되는데, 보편적인 方法은 하나의 FET 는 V_T 가 V_{GS} 보다 작아서 電流를 흐를 수 있고, 다른 FET 는 V_T 가 V_{GS} 보다 커서 電流를 흐를 수 없게 하는 것이다. 그러나 식 1 에서 ϕ_{MS} , ϕ_F , Q_f , Q_B , ϵ_{ox} 등은 常數이거나, 일단 공정이 결정되면 chip 상에서는 일정한 값을 갖게 되므로, 이들을 이용하여 V_T 가 다른 두 종류의 FET를 만들기에 는 부적당하다. 한편, t_{ox} (酸化膜의 두께)는 손쉽게 두 값을 얻을 수 있으므로, V_T 조절에 적합하다. 실제로 MOS 技術에서는, 최대 동작전압에서도 각각의 素子들이 隔離되도록 두꺼운 酸化膜을 사용하므로 同-한 두꺼운 酸化膜을 이용하여 V_T 가 높은 cell 을 얻을 수 있고, 보통의 回路素子用 FET 에 사용되는 얇은 酸化膜을 이용하면 V_T 가 낮은 cell을 얻을 수 있다.

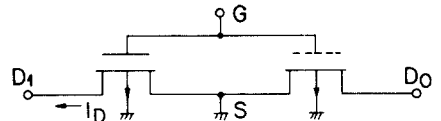
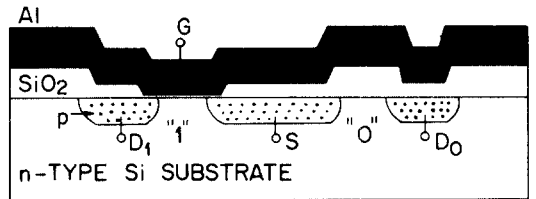


그림 2. PMOS ROM의 기억소자

Fig.2. Memory cells of PMOS ROM.

그림 2는 이와 같은 概念을 구체화한 것으로, 얇은 酸化膜의 cell 이 "1"의 情報를 저장한다면, 두꺼운 酸化膜의 cell 은 "0"의 情報를 저장한다. 그러므로 ROM 의 內容은 gate mask 하나로 바꿀 수 있게 된다.

2. Pels Inverter 및 NOR Chain

MOSFET 에 흐르는 電流는 식 2 와 같이 표시된다.

$$I_D = \frac{\mu_p \epsilon_{OX}}{2 t_{OX}} \left(\frac{Z}{L} \right) \left\{ 2(V_{GS} - V_T)V_{DS} - V_{DS}^2 \right\};$$

$$|V_{GS} - V_T| > |V_{DS}|$$

$$I_D = \frac{\mu_p \epsilon_{OX}}{2 t_{OX}} \left(\frac{Z}{L} \right) (V_{GS} - V_T)^2$$

$$|V_{GS} - V_T| \leq |V_{DS}|$$
(2)

여기서 μ_p 는 inversion layer 에서의 홀(hole) 의 mobility 이고 Z 는 channel 의 폭, L 은 channel 의 길이이다 (그림 1 참조). ROM cell 에 흐르는 전류를 感知하고 cell 의 情報를 외부 회로로 전달하기 위해서는, FET drain 에 부하를 달아야 한다. 부하는 여러 방법으로 構成할 수 있으나, 면적을 줄이고 큰 동작 저항값을 얻기 위해서는 PELS(P-channel enhancement load with saturation) 形態가 손쉽고 유리하다. [2], [3]

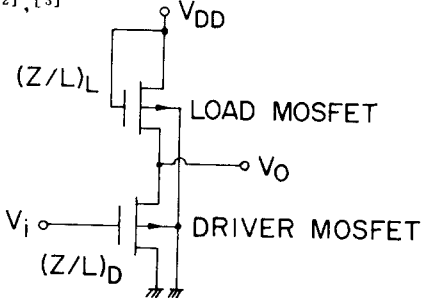


그림 3. PELS inverter
Fig.3. PELS inverter.

그림 3 처럼 PELS 形態의 inverter 를 構成할 경우, 입·출력 變換特性은 driver FET 의 전압, 전류 특성과 부하 FET 의 포화전류 특성에 의하여 결정된다. 즉, driver FET 가 OFF 되면 부하 FET 의 포화전류에 의해 출력의 용량성 부하 (capacitive load) 가 충전되며, driver FET 가 ON 되면, driver FET 가 부하 FET 의 전류와 용량성 부하의 電荷를 흡수하고, 출력전위는 다음 단의 FET 를 OFF 시킬 수 있도록 낮아진다. 결국 變換特性은 부하 FET 의 $(Z/L)_L$ 과 driver FET 의 $(Z/L)_D$ 에 의해 결정되는데, $\beta_R = \frac{(Z/L)_D}{(Z/L)_L}$ 이 "0" 의 전위를 결정하고 $(Z/L)_L$ 은 遲延特性을 결정한다. 이때, 變換特性을 좋게 하려면 β_R 을 16 이상으로 設計하여야 한다. [2]

이렇게 하여 PELS inverter 를 構成하는데, ROM 의 각 cell 마다 부하를 달면 면적이 커지므로, 큰 용량의 ROM 에서는 여러 cell 에 공통 부하를 달고 (즉, NOR gate 를 構成하고), decoder 를 이용하는 방식

을 취한다. 실제로 decoder 도 ROM 形態로 構成된 NOR gate 이므로, address 입력으로부터 cell 의 情報가 외부로 전달되기까지는 많은 단계의 NOR chain 을 거치게 된다. [1]

III. 設 計

1. Block Diagram [1]

512 Memory cell 의 情報를 읽어내기 위해서는, Binary coding 을 할 경우에, 9-bit 의 address ($2^9 = 512$) 가 필요하다. 이처럼 code 化된 address 신호는 入力回路를 거치는데, chip 의 入力회로는 입력 MOSFET 의 gate 가 過電壓에 의해 파괴되지 않고, 불완전한 address 신호를 chip 内部回路에 맞도록 變換하는 役割을 한다.

입력된 address로부터 cell 의 위치를 찾아내려면 address decoder 가 chip 内部에 構成되어야 하는데, ROM chip 의 면적을 效率의로 사용하기 위해 보통 address bit 을 두 부분으로 나누어 두 개의 decoder (X 및 Y) 를 構成한다.

9-bit address 에 의해 선택된 cell 의 情報는, 外部의 다른 素子와 interface 될 수 있도록 출력 buffer 를 거쳐야 하며, 이때 chip 선택 기능을 첨가하여 정보의 전달을 斷續시킬 수 있도록 하였다.

그림 4 는 이와 같은 概念을 요약한 chip 의 block diagram 이다.

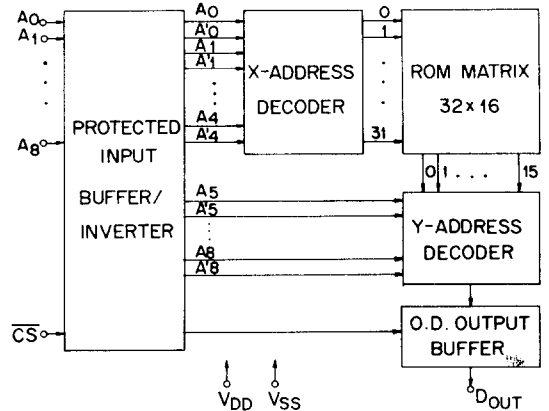


그림 4. ROM chip 의 block diagram

Fig.4. Block diagram of the ROM chip.

2. 각 Block 의 設計

ㄱ. 入力回路

입력회로는 입력 gate 의 보호회로와 신호변환 회로로 구분된다. 입력 gate 의 保護回路는 입력단자에

가해지는 靜電荷나 過電壓에 의해 gate 酸化膜이 파괴되는 것을 방지하기 위하여 gate modulated junction breakdown이나 확산층 사이의 punch through 등을 이용하여, gate 에 걸리는 전압을 제한하는 회로이다.^[4] 실제로 1000 Å 두께의 酸化膜은 50~90 V 에서 파괴되므로, gate 전압을 50V 이하로 제한하여야 한다. Junction breakdown 전압은, 대표적으로 P+ 확산층의 깊이가 2 μm이고, substrate 의 불순물 농도가 10¹⁵ atoms/cm³ 일때, 약 100V인데, junction 을 gate 로 덮고 gate 의 전위를 substrate 와 같게 하면 breakdown 전압이 약 1/3으로 감소한다. 이 때의 breakdown 전압을 BV_{JG}(gate modulated junction breakdown 電壓) 이라고 한다.^{[6], [7]}

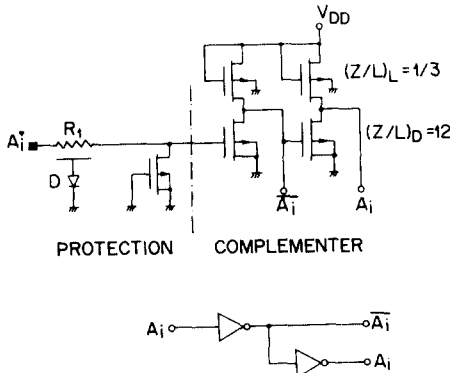


그림 5. 입력 보호회로 및 address 신호변환회로
Fig.5. Input protection circuit and address code completer/buffer.

한편, punch through 전압 (V_p)는, 확산층 사이의 거리와 substrate 농도에 관계되며, 거리 7 μm, 농도 10¹⁵ atoms/cm³ 일때 약 30V 가 된다. 그림 5 는 入力回路로써, 입력 직렬 저항 R₁을 5kΩ, 보호 FET의 Z = 105 μm, L = 10 μm로 設計하였다. 이와같은 회로에서는 보호 FET의 BV_{JG}와 V_p 값중 적은 값에 의하여 보호회로가 동작하게 된다.

신호변환 회로는 address 신호를 decoder 의 동작 전위에 맞게 變換하는 작용을 하므로 遲延시간이 짧고 變換特性이 좋아야 한다. PELS inverter 의 遲延시간은

$$t_d = \frac{2 C_L t_{ox}}{\mu_p \epsilon_{ox} \left(\frac{Z}{L}\right)_L V_{omax}} \quad (3)$$

과 같이 표시할 수 있다.^[4] 여기에서 C_L 은 inverter 의 출력단자에 연결된 부하용량으로서 회로의 layout 과 제작공정에 의하여 결정되며 Vomax 는 logic level 의 최대 전압으로서 V_{DD}와 threshold 電壓에 의하

여 결정된다. 設計에서는 $\left(\frac{Z}{L}\right)_L = \frac{1}{3}$, $\beta_R = 36$ 으로 하여, 이 부분에서의 遲延시간이 V_{DD} = -6V 일때 2 μsec 가 되도록 하였다.

ㄴ. X - address decoder

X - address decoder 는 9 - bit 의 address 중에서 5 - MSB (A₀ ~ A₄)를 이용하여 cell array 의 32 column 을 선택하는 回路로, 그림 6 과 같이 ROM 의 형태로 구성하였다.^[3] 이 부분에서의 지연시간은 V_{DD} = -6V 에서 1.5 μsec 가 되도록 設計하였다.

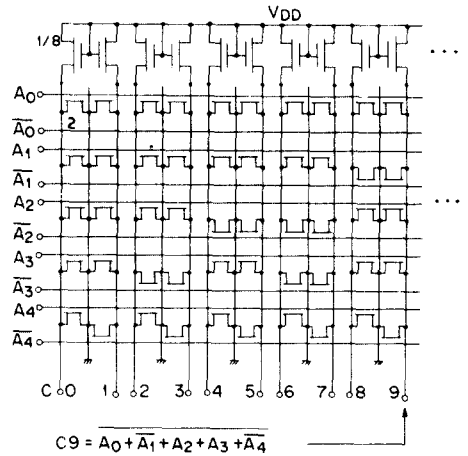


그림 6. X - address decoder
Fig.6. X - address decoder.

ㄷ. ROM Matrix

Memory cell array 는 32 × 16 의 matrix 형태로 構成하였으며 따라서 32 column 중 하나의 column 을 선택하면 동시에 16 cell 의 情報가 출력된다. 이 부분의 設計에서는 전달 遲延시간보다는 cell 의 크기를 최소화 하는데 중점을 두었다.

Gate mask 를 이용하여 program 할 내용은, 8 개 의 글자 형태 (K, A, I, S, P, M, O, S) 로, 그림 7 과 같이 배열하였다. Memory cell 의 $\left(\frac{Z}{L}\right)_L$ 과 β_R 값은 각각 1/8 과 16 으로 設計하였으며 이와 같은 cell 의 지연시간은 V_{DD} = -6V 에서 2 μsec 정도가 될 것이다.

ㄹ. Y - Address Decoder

Y - Address decoder 는 ROM matrix 로부터 출

력된 16-bit의 情報중 1 bit의 정보만을, $A_5 \sim A_8$ 을 통하여 선택하는 회로이며 multiplexer라고도 할 수 있다.(그림 8)

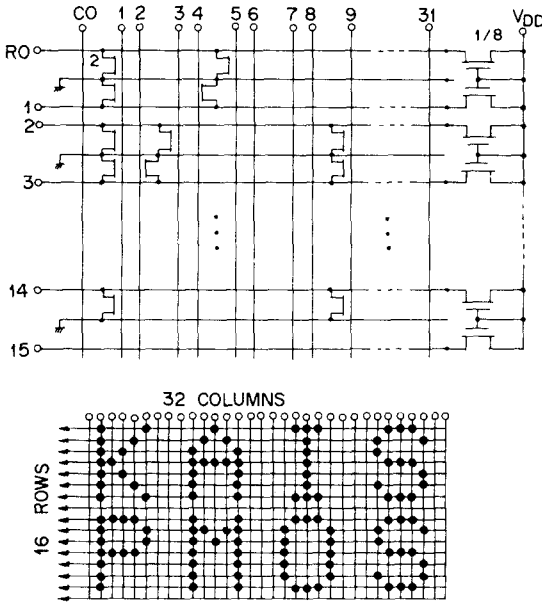


그림 7. ROM matrix 및 mask program된 내용
Fig. 7. Main ROM matrix and mask programmed memory content.

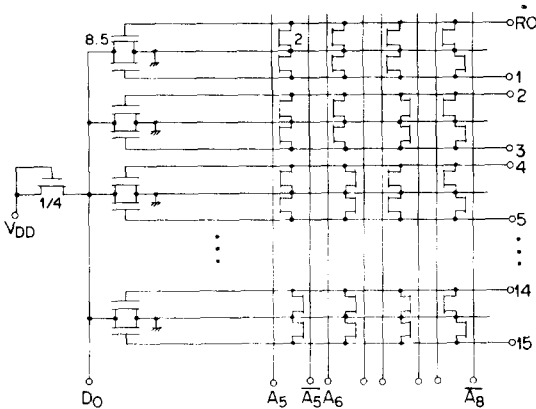


그림 8. Y-address decoder
Fig. 8. Y-address decoder.

출력buffer의 큰 용량성 부하에 의한 遲延시간을 $V_{DD} = -6V$ 에서 $2.5\mu\text{sec}$ 로 제한하기 위하여, $(Z/L)_L = \frac{1}{4}$, $\beta_R = 34$ 로 設計하였다.

□. Chip 選擇 기능 및 출력회로

선택된 1 bit의 정보를 출력 단자로 전달하기 전에 chip 選擇(CS)기능을 첨가하여 情報의 전달을 斷續시킬 수 있도록 하면, CS기능을 또 하나의 address bit로 이용할 수도 있고, ROM chip의 출력 단자를 외부에 연결되는 素子로부터 隔離시킬 수 있는 등, 회로상에서 ROM chip의 유용도가 높아진다.

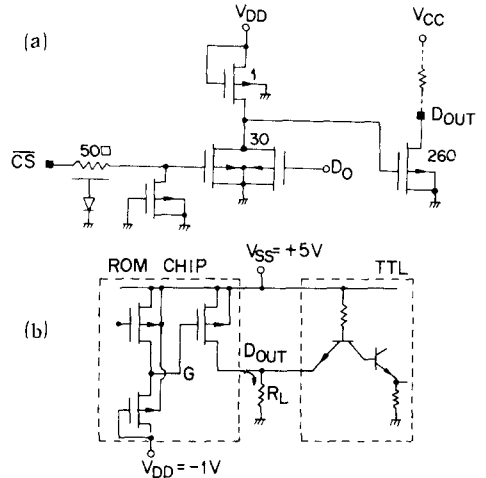


그림 9. (a) Chip 선택 및 출력구동 회로
(b) TTL과의 interface

Fig. 9. (a) Chip select and output driver.
(b) Direct TTL interface.

그림 9(a)처럼 \bar{CS} 단자와 선택된 cell의 출력을 NO R시키고, 출력 buffer를 open drain(OD) 형태로 구성하면, $CS = "1"$ 일때 buffer FET가 cell 情報에 무관하게 OFF되고 출력 단자가 高抵抗 상태로 되어 외부와 격리된다. 한편, $CS = "0"$ 일때는 cell의 정보가 출력 buffer를 거쳐 외부회로를 구동시킨다. 출력 buffer의 $(Z/L)_D$ 는 최소 동작 전압에서도 하나의 TTL gate 입력을 구동할 수 있도록(그림 9(b) 참조) 260으로 設計하였다. 이 부분에서의 지연시간은 $V_{DD} = -6V$ 에서 약 $1.6\mu\text{sec}$ 가 될 것으로 기대된다.

IV. 工程 및 製作

Chip을 $-6V$ 에서 $-12V$ 까지 동작시키도록 $V_T = -2V$ 로 결정하고, (100), n-type, $2 \sim 4\Omega\text{-cm}$ 인 wafer를 선택하여, gate 酸化膜 1000\AA , field 酸化膜 $1.2\mu\text{m}$, P^+ 확산길이 $2\mu\text{m}$, sheet 저항 $100\Omega/\square$ 가 되도록 工程設計를 하였다.

Layout은 최소 pattern의 크기를 $10\mu\text{m}$, 최소 gate의 길이를 $10\mu\text{m}$, 최대 alignment 허용치를 5

μm로 하여 設計하였다.

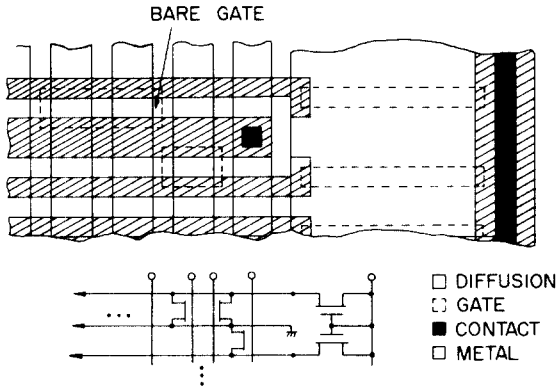


그림 10. 기억 cell 의 layout 설계

Fig. 10. Layout design of the memory cell.

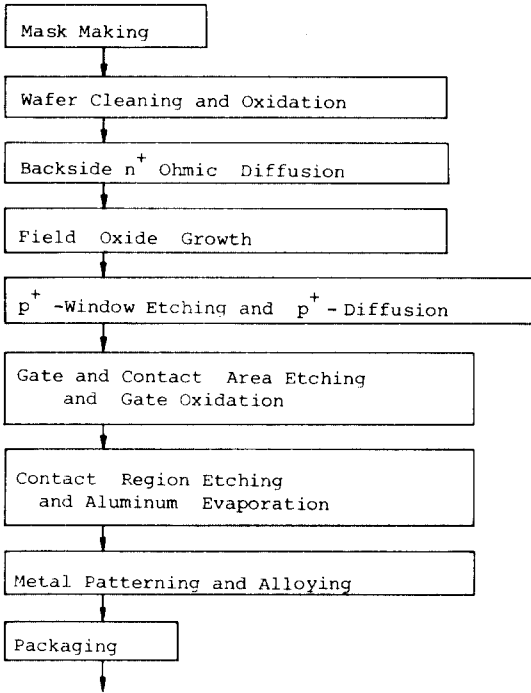


그림 11. 표준 PMOS 공정

Fig. 11. A standard PMOS process.

그림 10은 ROM matrix 부분의 layout 으로 cell 의 gate 폭이 metal 폭에 의해 결정된다. 그림 11의 표준 aluminum gate PMOS 工程에 따라 제작된 chip 의 사진은 그림 12 와 같다.

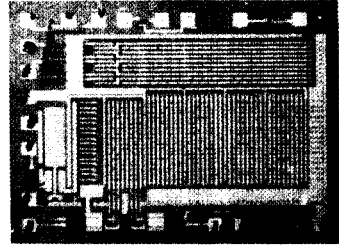


그림 12. 제작된 chip 의 현미경사진

Fig. 12. Photomicrograph of the fabricated chip.

V. 測定 및 結果

1. 工程變數의 測定

Chip 에 포함된 測定素子로부터, 제작된 chip 의 공 정變數와 전기적 變數를 測定한 結果, P⁺ 확산 깊이 1.85 μm, lateral 확산 1.4 μm, sheet 저항 125 Ω/□ 이었고, V_T = -1.9V, field threshold 전압 -12.3V, BV_J = 65V, BV_{JG} = 42V, V_p = 57V 이었다. 이 結果로부터, gate 의 保護回路는 gate modulated junction breakdown 전압, BV_{JG} 에 의하여 동작함을 알 수 있다.

測定結果들은 設計값과 거의 일치하였으나, 좋지 않은 工程過程 때문에 누설전류가 컸고 aluminum 의 over etching 때문에 ROM cell 을 構成하는 FET의 (Z/L) 오차가 비교적 컸다. 즉, cell FET의 (Z/L) 가 1.7로 설계값의 85% 정도였다.

2. Chip 技能의 測定

Chip 의 技能을 測定하고, ROM의 전체 정보를 한눈에 알아 볼 수 있도록 그림 13 과 같은 測定回路를 구성하였다.

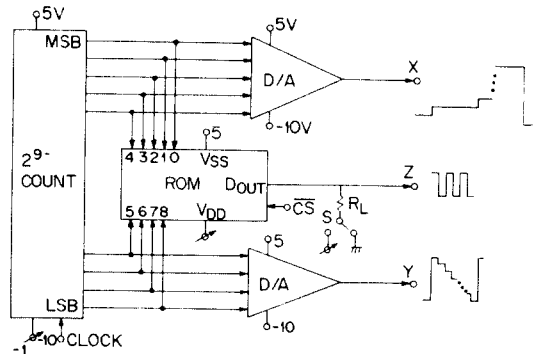


그림 13. 제작된 ROM chip 의 測定회로

Fig. 13. Test circuit of the fabricated ROM.

이 회로는 cell 의 情報을 cell matrix 와 같은 형태로 oscilloscope 화면에 표시하도록 설계한 것으로, "1"의 정보가 밝은 點으로 표시된다.

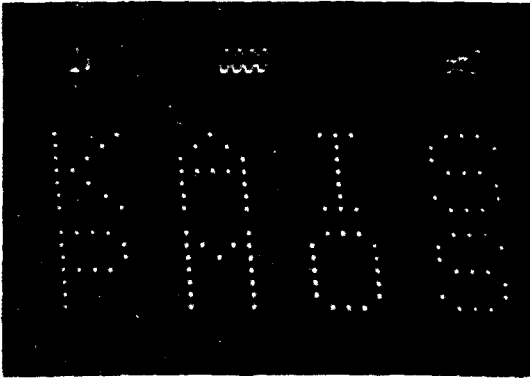
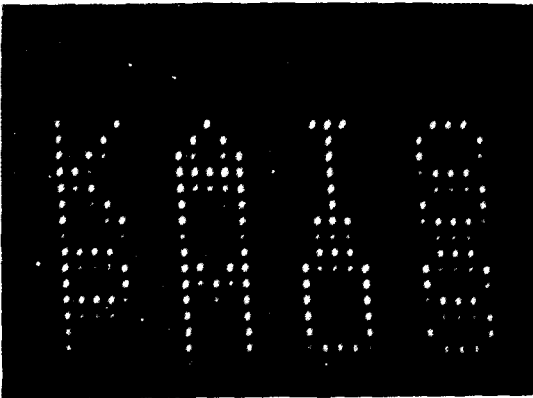


그림 14. (a) 화면에 표시된 ROM의 내용 clock = 10 KHz

Fig.14. (a) Displayed ROM content of the chip : clock = 10 KHz



(b) Delay 효과가 나타난 화면 clock = 100KHz

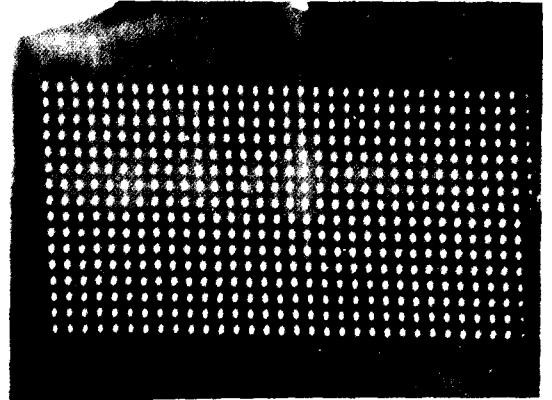
(b) Displayed ROM content with delay effect clock = 100KHz

그림 14 (a)는 clock 주파수를 10 KHz로 하였을 때에 화면에 나타난 정보로서 mask program한 내용과 일치하고 있다. 동작 주파수를 높이면 address 입력으로부터 출력까지의 遲延現象을 그림 14 (b)처럼 볼 수 있다.* 이것은 바로 앞 address 的 cell 정보가 遲延되어 화면의 다음 address 위치에 잠시 표시되기 때문이다. 그림 14 (c)는 chip 選擇技能의 *그림 14에서 사용

* 그림 14에서 사용한 주사방법은 주사선을 x 방향으로 천천히 일정한 간격만큼씩 오른쪽으로 이동해 가면서 각 x 주사점에서 y 방향으로 빠르게 아래로 주사

하는 방법을 선택하였다. 그림 14 (C)는 chip 선택기능의 효과가 화면에 나타난 것으로, cell 정보에 관계없이 출력단자가 외부회로와 격리되어 있음을 알 수 있다.

제작된 chip 은 -6 V에서 -15 V 까지 동작했는데, 동작電壓이 field threshold 電壓보다 클 때에도 회로가 정상적으로 동작하는 것은 擴散層 사이에 흐르는 누설전류가 동작전류에 비해 무시될 수 있기 때문이라고 생각된다.



(c) CS = "0" 일때의 chip 출력

(c) Displayed output of the chip with CS = "0".

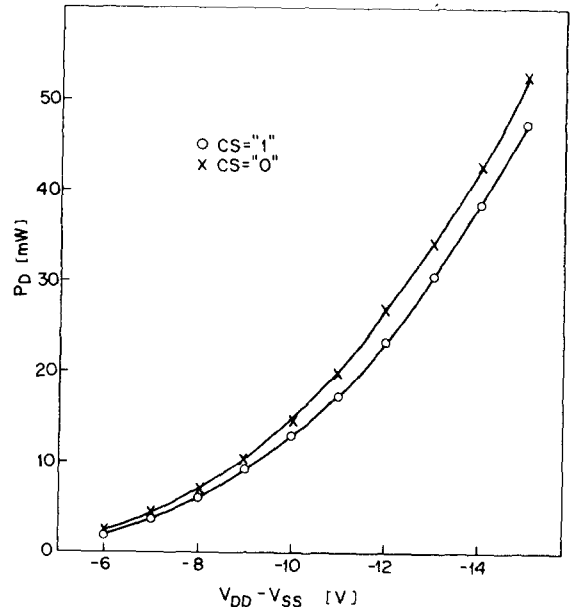


그림 15. 동작전압에 따른 전력소모

Fig. 15. Power consumption vs. operating voltage.

Chip에서 소모되는 전력은 그림 15에 보인 것과 같이 동작電壓에 대해 대략 세 제곱에 비례하였다. 消耗

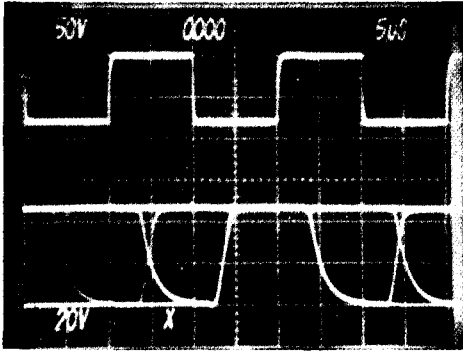


그림 16.(a) Chip의 입력과 출력의 시간관계
clock = 100KHz

출력 파형에는 "1"과 "0"가 함께 나타나 있다.

Fig.16.(a) A_8 and D_{out} of the chip
clock = 100KHz

Both "1" and "0" are shown simultaneously in D_{out} .

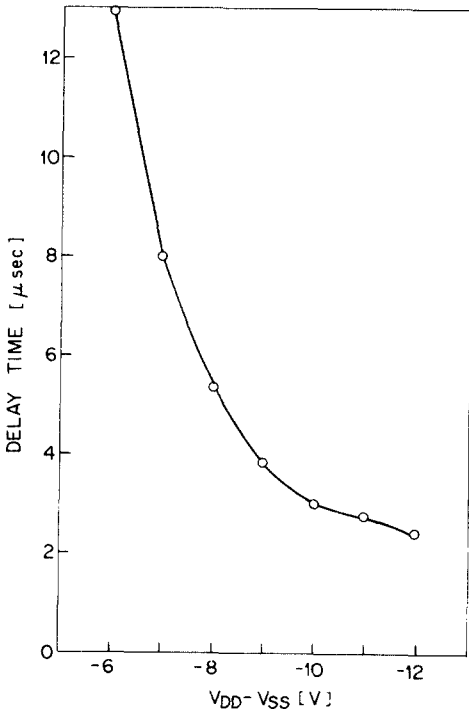


그림 16 (b) 동작전압에 따른 전달 지연시간
Fig. 16.(b) Propagation delay time vs. operating voltage.

電力은 동작전압이 $-6V$ 일 때에는 약 $3mW$ 였고 $-12V$ 에서는 약 $27mW$ 였다.

Address 입력으로부터 출력단자까지의 遲延시간은 memory access 시간으로, 그림 16과 같이 대략 동작 전압에 반비례 하였으며 $-6V$ 에서는 $13\mu sec$, $-12V$ 에서는 약 $3\mu sec$ 이었다. \overline{CS} 단자로부터의 지연시간은 $2.6\mu sec$ 였다. 遲延시간이 設計值인 $9.6\mu sec$ 보다 큰 이유는, 앞에서 언급한 바와 같이, 누설전류가 크고, ROM cell의 $(Z/L)_D$ 가 설계값의 85%로 출었기 때문이라고 생각된다.

출력전압은 그림 13의 회로에서 $R_L = 900\Omega$, $V_{DD} = -3V$ 일 때, $3.4V$ ("0")와 OV ("1")의 값을 가진다. 그러므로, chip의 출력은 하나의 표준 TTL입력을 충분히 驅動할 수 있었다.

VI. 結 論

PMOS 技術을 이용한 512-bit mask programmable ROM의 設計 및 製作은 성공적이었다. 좋지 않은 工程조건에서도 올바르게 동작하는 chip이 50%정도 나왔으므로, 높은 수준의 工程過程을 거친다면 높은 yield를 얻을 수 있을 것이다.

ROM chip의 access 시간이 비교적 크지만, metal pattern을 정확히 조절하고 passivation을 하면 개선될 수 있을 것이다. 제작된 chip은 CS 기능, interface 능력 등, 유용도가 높으므로, 100KHz 이하의 digital system에서는 유용하게 쓰일 수 있다.

또한, ROM의 내용을 gate mask 하나로 program할 수 있으므로, 사용자가 원하는 random logic, 한글의 字母형태 등을 쉽게 具現할 수 있다.

參 考 文 獻

1. G. Luecke, J. P. Mize, and W. N. Carr, "Semiconductor Memory Design and Application," Texas Instruments Inc., 1973.
2. W. N. Carr and J. P. Mize, "MOS/LSI Design and Application," Texas Instruments Inc., 1972.
3. 김충기, 임형규, "PMOS 집적회로 제작기법을 사용한 Seven Segment Decoder/Driver의 설계와 제작," "전자공학회지 제 15권 제 3호, 1978년 7월.
4. W. M. Penney and L. Lau, ed., "MOS Integrated Circuits," Litton Educational Publishing, Inc., 1972.
5. B. E. Deal, "Standardized Terminology for

- Oxide Charges Associated with Thermally Oxidized Silicon, "IEEE Transactions on Electron Devices, T-ED 27, No. 8, March 1980.
6. A. S. Grove, "Physics and Technology of Semiconductor Devices," John Wiley & Sons, Inc., 1967.
7. R. S. C. Cobbold, "Theory and Applications of Field-Effect Transistors," John Wiley & Sons, Inc., 1970.

