

# 空間電荷重疊 모델에 의한 스위칭 과도상태 特性解析

## ( Analysis of Switching Transient State Characteristics Based on Space Charge Overlapping Model)

鄭 鴻 倍\* , 朴 昌 燁 \*\*

( Chung, Hong Bay and Park, Chang Yub )

### 要 約

本 研究에서는 非晶質 칼코게나이드薄膜의 스위칭 과도 特性을 分析하기 위해 空間電荷重疊 모델에 의 한 數式的 理論과 그 理論의 妥當성에 따른 實驗을 行하였다.

理論과 實驗에 대한 分析의 觀察을 室溫에서 非晶質 칼코게나이드薄膜에 電壓펄스를 印加할 때 생 기는 스위칭 과도 特性에 대해 比較하였다. 結果로는 電子스위칭 特性에 대한 單純한 理論的 모델의 形 態로 說明할 수 있다. 캐리어의 注入은 스위칭 特性을 誘發시키기에 必要하며 注入된 캐리어들은 空 間電荷制限電流(SCLC)로서 電流 흐름에 奇與한다.

그러므로 提案된 電荷制御 스위칭 特性은 2중 注入 空間 電荷重疊 모델로 解析할 수 있다.

### Abstract

In this study, a numerical theory based on space charge overlapping model and experiments on the propriety of its theory were carried out to analyze the switching transient characteristic in amorphous chalcogenide thin film.

Theoretical and experimental as well as analytical investigations were carried out on the switching behaviour in a transient state arising from a voltage pulse applied to amorphous chalcogenide thin films at room temperature.

The results can be explained in terms of a simple theoretical model of the electronic characteristics of switching. The injection of carriers are necessary to initiate the switching action and injected carriers contribute to the current flow as a space-charge limited current (SCLC)

The proposed charge controlled switching characteristics can be explained by double injection space charge overlapping model.

\* 正會員, 光云工科大学 電子材料工學科  
(Dept. Electronic Material Eng. Kwang woon)

### 1. 序 論

\*\* 正會員, 延世大學校 工科大学 電氣工學科  
(Dept. Electrical Eng. Yonsei Univ.)  
接受日字: 1980年 11月 3日

非晶質 칼코게나이드薄膜에서 문턱스위칭 現象은 일단 遲延時間,  $t_D$  이 지난 후 高傳導狀態로 급격히 遷移하

는 특성과 스위칭이 된 후,勵起된 전스의除去후에 초기의 高抵抗狀態로 回復되는 특성을 가지고 있다. 이러한 특성을 說明하기 위해 스위칭 動作 機構에 대한 研究<sup>[1, 3]</sup>가 活潑히 進行되어 왔으며 이중에서 Thomas等<sup>[3]</sup>은 다음과 같은 動作 機構에 의해 發生된다고 分類했다.

- i) 電子-熱的인 破壞
- ii) 캐리어의 注入으로 인한 高傳導通路 形成
- iii) avalanche 現象으로 인한 固體狀態 plasma의 發生

여기서 i)은 電子的인 理論과 熱的인 理論의 混合한 形態로 解析될 수 있지만 非晶質칼코게나이드 薄膜에서 관찰된 매우 빠른 스위칭時間, off-와 on-狀態間의 不連續인 遷移特性和 문턱電壓의 두께 의존성 등은 熱的 및 電子-熱的인 理論에 의해 說明될 수 없다. 또한 結晶質 半導體를 非晶質半導體에 異種接合시킨 후 하나의 電極으로 보는 경우 觀察된 非對稱的인 스위칭 特性<sup>[4]</sup>이 일어나는 것으로 보아 iii)의 avalanche 現象은 없다는 것을 알 수 있다. ii)의 캐리어 注入에 의한 高傳導 電流通路形成으로 解析하면 電子-熱的인 理論으로 解析되지 않는 부분<sup>5</sup> 어느 程度 解決할 수 있다. 즉, 스위칭時 電流通路의 形成 'forming' 週期동안 콘덕턴스 變化는 우선적으로 活性化된 薄膜에서 局在化된 電流通路領域의 傳導度變化에 起因<sup>[4]</sup>하며 'forming'의 形態는 한번 또는 몇 번의 스위칭 動作에 따라 off-狀態의 콘덕턴스 또는 문턱電壓의 어떠한 變化에 따라 說明되어 왔다. 그러나 Jones<sup>[6]</sup> 등은 문턱素子에서 'forming'의 出現이 試料製造時 適宜치 못한 方法으로 인해 나타날지도 모르며 一定한 문턱電壓은 'forming'이 없다는 강력한 證據로서 나타낸다고 指摘했다. 이것은 단지 'forming'의 例들이 non-ohmic contact과 같은 것에 의해 문턱素子の 콘덕턴스 變化로 說明되었을 지에만 타당하다.

그러므로 스위칭 動作을 일으키는 局在적인 媒介體는 문턱素子の 兩電極으로부터 캐리어의 注入으로 보아 高電界 効果를 고려해야 한다. 그런데 電子-熱的인 理論에서는 電子傳導에 대한 高電界 效果를 單純한 指數函數的인 關係로만 考慮했을 뿐이고 스위칭 現象을 說明하기 위한 많은 電子理論에서도 細密한 分析은 별로 行하지 않았다. 특히 스위칭 過渡狀態에서의 分析은 별로 報告되지 않았다.

그러므로 本 研究에서는 이미 提案된 캐리어의 二重注入으로 인한 空間電荷重疊에 基礎를 둔 電子的 스위칭 모델<sup>[7]</sup>로 理論을 再定立하고 一定常狀態에서의 動作機構를 分析하여 스위칭 過渡狀態로 連結지어

定量的인 解析을 해보고자 한다. 우선 스위칭 特性을 解析하기 위해 安定된 스위칭 特性을 나타내는 4원계  $As_{30}Te_{48}Si_{12}Ge_{10}$  非晶質칼코게나이드 유리질<sup>[8]</sup>을 택하여 薄膜을 形成한 후 스위칭 過渡狀態 特性을 관찰하여 앞서 誘導된 理論的인 스위칭 모델과 實驗結果를 比較하므로써 空間電荷重疊에 基礎를 둔 過渡狀態의 理論的인 모델의 타당성을 確認해 보고자 한다.

2. 스위칭 過渡 狀態에 대한 理論的인 모델

過渡狀態에 따른 電子的 特性을 分析하기 위한 數學的인 모델을 提示하기 前에 우선 그림 1과 같이 스위칭 動作 過程을 簡單하게 表示해 보자. 스위칭 動作을 空間電荷의 重疊에 의한 現象으로 分類해 보면 i) off-狀態, ii) 문턱狀態, iii) 스위칭狀態, iv) on-狀態로 나눌 수 있다. Off-狀態에서 兩電極으로부터

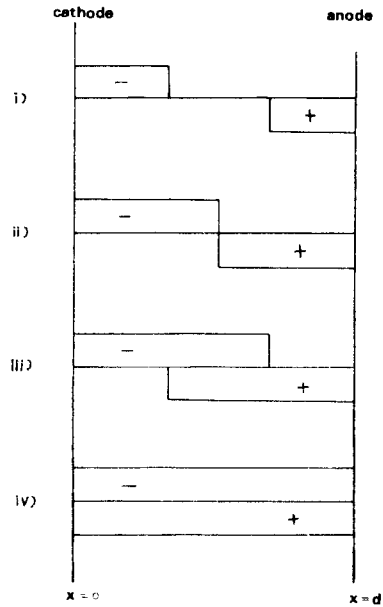


그림 1. 空間電荷重疊 모델에 따른 간단한 스위칭 모델

Fig. 1. Simplified switching model based on space charge overlapping model.

터 注入된 캐리어들은 i)의 경우와 같이 注入準位가 增加함에 따라 반대편 電極을 向해 擴大되어 가는 空間電荷 領域을 形成하며 이때 (+)와 (-)부호는 各 各 正孔과 電子의 空間電荷 領域을 表示한다. 그러나 薄膜의 中間 領域에는 아직까지 空間電荷 領域을 包含하고 있지 못하므로 高抵抗 狀態를 유지하고 있다. 일단 캐리어 注入이 더욱 增加하면 ii)의 같이 薄膜의 中間程度에서 서로 만나게 된다. 이때를 문턱狀態로 解析하여 이 狀態에서 문턱電壓,  $V_{th}$ 와 문턱電流

$I_{th}$ 을 얻을 수 있다. 結果的으로 遲延時間,  $t_D$ 를 캐리어가 注入되기 始作한 時間부터 문턱狀態가 되는 時間까지의 間隔이라 하자. 문턱狀態에서 더욱 캐리어의 注入이 增加하면 iii)과 같이 (+) 空間電荷領域과 (-) 空間電荷領域은 重疊되기 始作하여 重疊된 領域은 二種類의 캐리어로 因한 傳導形態로 高傳導狀態를 보이기 始作하여 薄膜內部的 電壓降下가 적어진다.

이러한 重疊된 領域은 캐리어의 注入이 더욱 增加함에 따라 薄膜의 全體로 擴大되어 iv)에서와 같이 on-狀態를 보이게 된다. 여기서 가장 現象學的으로 取扱하기 어려운 狀態는 ii)와 iii)의 狀態로 문턱과 스위칭狀態에서 測定되는 電氣的 媒介常數에 대해 考察해 보자.

遷移되는 過渡特性을 分析하는 過程에서 數學的인 複雜性 및 문턱스위칭 素子 自體에서의 複合的인 現象을 피하기 위해 몇 가지 假定 및 近似的인 方法을 取해 보자.

1) 正孔과 電子는 薄膜의 陽極과 陰極으로부터 同時에 注入된다.

2) 電流는 캐리어 濃度差에 의한 擴散成分은 없고 電界에 의한 드리프트 成分만이 흐른다.

3) 注入된 캐리어들은 空間電荷에 制限된 電流에 寄與한다. 특히 分析方法에서는 TF-SCLC (Trap Free Space Charge Limited Current)로 取扱하여 이는 觀察된 空間電荷制限電流<sup>[9]</sup>에 의해 잘 알 수 있다.

4) 電流는 薄膜의 斷面積을 통해 均一하게 흐른다. 以外的 假定은 다른 半導體素子에서 取扱한 것과 같은 方法으로 이루어지므로 數式을 整理할 때이나 境界條件으로 取한다.

우선 Lampert<sup>[9]</sup>에 의해 提示된 方法과 같은 方法으로 基本的인 方程式은 電流密度方程式과 poisson 方程式으로부터 誘導해 보자.

電流密度方程式을 一次元으로 取하는 경우 다음과 같다.

$$J(x, t) = J_c(x, t) + J_d(x, t) \dots\dots\dots(1)$$

$$J_c(x, t) = q[n(x, t)\mu_n + p(x, t)\mu_p]E(x, t) \dots\dots\dots(2)$$

: 傳導電流密度

$$J_d(x, t) = \partial D(x, t)/\partial t = \epsilon \partial E(x, t)/\partial t \dots\dots\dots(3)$$

: 變位電流密度

또한 poisson 方程式을 一次元으로 取하는 경우 다음과 같다.

$$\epsilon \partial E(x, t)/\partial x = q[n(x, t) - p(x, t)] \dots\dots\dots(4)$$

數式을 簡單히 取扱하기 위해 薄膜의 왼편 절반영역에서만 취하면 電子電流만으로 다룰 수 있다.

$$J_{cn}(x, t) = qn(x, t)\mu_n E(x, t) \dots\dots\dots(5)$$

$$\epsilon \partial E(x, t)/\partial x = qn(x, t) \dots\dots\dots(6)$$

式(6)을 式(5)에 代入하면 다음과 같다.

$$J_{cn}(x, t) = \frac{\epsilon \mu_n}{2} \cdot \frac{\partial E^2(x, t)}{\partial x} \dots\dots\dots(7)$$

그러므로 全體 電子電流密度  $J_n(x, t)$ 는

$$J_n(x, t) = J_{cn}(x, t) + J_{dn}(x, t) = \epsilon \left[ \frac{\mu_n}{2} \cdot \frac{\partial E^2(x, t)}{\partial x} + \frac{\partial E(x, t)}{\partial t} \right] \dots\dots\dots(8)$$

여기서 假定한 方法에 따라  $x=0$ 와  $x=d/2$ 까지의 境界條件을 取하여 積分하면 다음과 같다.

$$J_n(t) = \frac{\epsilon \mu_n}{d} \left[ E_{\frac{d}{2}}^2(t) - E_c^2(t) \right] \dots\dots\dots(9)$$

$$E_{\frac{d}{2}}(t) : x = \frac{d}{2} \text{에서의 電界}$$

$$E_c(t) : x = 0 \text{인 陰極에서의 電界}$$

그런데 實際로 (-) 空間電荷領域이 陰極( $x=0$ )에서 陽極( $x=d$ )까지 到達될 때까지의 時間內에는 電流가 흐르지 않으므로 이 狀態에서는  $J_n(x, t) = 0$ 이다.

그러므로 傳導電子電流-變位電子電流인 關係가 成立하므로 다음과 같다.

$$\epsilon \frac{\partial E(t)}{\partial t} = \frac{\epsilon \mu_n}{d} [E_{\frac{d}{2}}^2(t) - E_c^2(t)] \dots\dots\dots(10)$$

여기서 陰極과 陽極의 電界,  $E_c$ 와  $E_d$ 를 0이라 하면 式(10)은 다음과 같다.

$$\frac{dE_{\frac{d}{2}}^2(t)}{E_{\frac{d}{2}}^2(t)} = \frac{\mu_n}{d} dt \dots\dots\dots(11)$$

式(11)을 풀면 解는 다음과 같다.

$$E_{\frac{d}{2}}(t) = \frac{V}{d} [J_{on}(1-t/J_{on})]^{-1} - E_{\frac{d}{2}}(0) [1-t/J_{on}]^{-1} \dots\dots\dots(12)$$

$$E_{\frac{d}{2}}(0) = \frac{V}{d_n}$$

$$\tau_{on} = \frac{d^2}{\mu_n V} : \text{陰極에서 陽極까지 到達하는 電子의 走}$$

行時間(transit time)이다.

式(12)를 式(9)에 代入하면 式(13)과 같다.

$$J_n(t) = J_{on} [1 - t/J_{on}]^{-2} \dots\dots\dots (13)$$

$$J_{on} = \frac{t \mu_n V^2}{d^3}$$

또한 薄膜의 오른쪽 영역에서는 正孔電流로 取扱하여 誘導하면 다음과 같다.

$$J_p(t) = J_{op} [1 - t/J_{op}]^{-2} \dots\dots\dots (14)$$

數式을 좀더 簡單히 하기 위해 電子와 正孔의 모든 媒介常數를 같게 놓는다면, 즉  $\mu_n = \mu_p \cong \mu_0$ ,  $J_{on} = J_{op} \cong \frac{1}{2} J_0$ ,  $J_{on} = J_{op} = J_0$ 라 하면 全體電流密度,  $J(t)$ 는 다음과 같다.

$$J(t) = J_{on}(t) + J_{op}(t) = J_0 [1 - t/J_0]^{-2} \dots\dots\dots (15)$$

또한 遲延時間,  $t_D$ 를 구하기 위해 式(12)로부터 走行時間,  $J_0$ 間的 關係를 구해보면 다음과 같다.

우선 時間間隔을  $t = 0$ 에서  $t = t_D$ 까지 式(12)를 積分하면 다음과 같다.

$$\frac{d}{2} = \mu_n \int_0^{t_D} E_d(t) dt = \frac{\mu_n V}{d} J_{on} \log [1 - t_D/J_{on}]^{-2} \dots\dots\dots (16)$$

式(16)을 整理하면 式(17)과 같다.

$$t_D \cong 0.3934 J_{on} \dots\dots\dots (17)$$

遲延時間,  $t_D$ 와 薄膜두께  $d$ 의 關係를 整理하면 式(12)와 式(17)에 의해

$$t_D \cong 0.3934 J_{on} = 0.3934 \frac{d^2}{\mu_n V} \text{ 이므로}$$

$$t_D \propto d^2 V^{-1} \mu_n^{-1} \dots\dots\dots (18)$$

인 關係를 가지고 있음을 알 수 있다.

著續되는 電荷量을 求하기 위해 式(13)을 利用하여 遲延時間,  $t_D$ 동안 注入되는 單位面積當電荷量,  $Q^-$ 를 求하면 다음과 같다.

$$Q^- = \int_0^{t_D} J(t) \cdot dt = J(t_D) \cdot t_D - J(0) \cdot t(0) \dots\dots\dots (19)$$

여기서 그림 1의 ii) 조건에 따라  $t = t_D$ 에서  $J t_D = J_{th}$ 이고  $t = 0$ 時 電流密度,  $J_0$ 와  $t(0)$ 의 곱을  $Q_0^-$ 라 하면 式(19)는 다음과 같다.

$$Q^- = Q_0^- + J_{th} \cdot t_D \dots\dots\dots (20)$$

式(20)은 Haberland criterion과 一致된다.

### 3. 實驗 및 結果考察

#### 3-1. 素子製造 및 特性調査

使用된 試料는 非晶質半導體中에서 스위칭特性이 安定된 四元系  $As_{30}Te_{48}Si_{12}Ge_{10}$  칼코게 나이드유리질을 택하였다. 純도가 높은 (99.9999%) 元素를 正確히 秤量한 成分元素를 洗滌한 석영판에 넣고  $1 \times 10^{-5}$  [Torr]까지 排氣시킨 후 眞空封入하였다. 이 眞空封入된 석영용기를 Bridgemann型 電氣爐에 넣고  $1000^\circ$  (C)로 48時間 加熱하여 混合한 후 空氣中에서 冷却시켰다. 이러한 方法으로 만든 試料는 X線回折分析結果 非晶質體임을 確認하였으며, DTA分析結果, 遷移溫度,  $T_g$ 는  $232^\circ$  (C)로 나타났다. 또한 室溫에서 比抵抗을 測定한 結果  $1.5 \times 10^7$  ( $\Omega$ -cm)였고 溫度에 따라 急激한 比抵抗의 減少를 볼 수 있었으며 比抵抗의 기울기를 利用하여 活性化에너지를 구해본 結果  $0.54$  [eV]였다. 이러한 試料로 스위칭 薄膜素子를 製作하기 위해 電極을 Al (99.999%)를 使用하여  $10^{-6}$  [Torr]의 眞空中에서 corning glass를 基板으로 眞空蒸着시키고

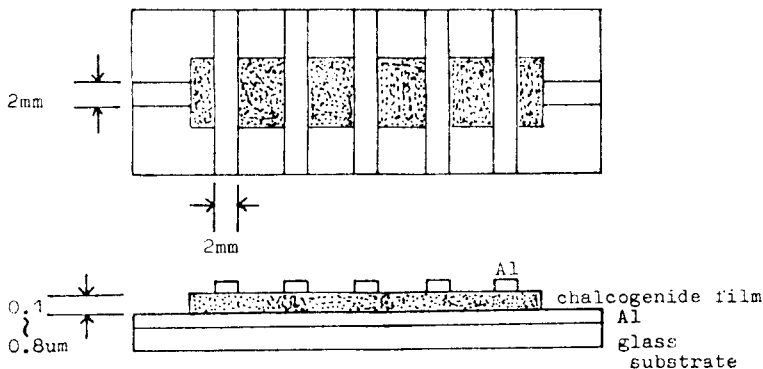


그림 2. 샌드위치 構造를 가진 스위칭 薄膜素子  
Fig. 2. Switching thin film device with structure.

그위에  $As_{30}Te_{48}Si_{12}Ge_{10}$  칼코게 나이드유리질을 각 다른 두께를 갖도록 眞空蒸着 시킨 후 그 위에 다시 電極을 蒸着시켜 샌드위치構造인 素子를 그림 2 와 같이 製作하였다.

理論적으로 스위칭 素子는 두개의 薄膜金屬電極間에 샌드위치形態로 칼코게 나이드 유리질薄膜을 構成한 것으로 單純하게 생각할 수 있다. 그러나 實驗結果로는 이 構造의 素子에서 스위칭動作時 生기는 "forming" 이 金屬-칼코게 나이드 境界面에서 酸素吸收에 의해 生기는 酸化膜을 'punch-through' 過程의 結果로 나타날 수 있으므로 素子の 製作時 酸化되는 것을 最少限으로 막아야 했다. 製作된 스위칭素子の 스위칭動作을 觀察하기 위해 전압펄스는 off-狀態에서 on-狀態로 遷移될 때까지 振幅이 增加되도록 印加하였다. 그리고 印加되는 電壓펄스는  $200(\mu S)$ 의 幅을 가졌으며 다음 스위칭 動作時까지의 時間間隔을  $200(mS)$  程度로 여유있게 잡았다. 그러나 실제로 素子에 電壓펄스를 印加하는 경우 펄스의 歪형이 생기는데 이는 高眞性 임피던스와 캐퍼시턴스로 된 素子를 回路에 넣으므로 生기게 되므로 Reehal<sup>[10]</sup> 등이 使用한 balanced circuit 를 利用하여 電壓波形과 電流波形을 測定하였다. 그림 3 과 같이 똑 같은 크기이면서 反對極性的의 電壓펄스를 人力 A 와 B 에 同時에 印加한다. 이때 素子가 가지고 있는 캐퍼시턴스,  $C_D$ 에 의해 生기는 變位

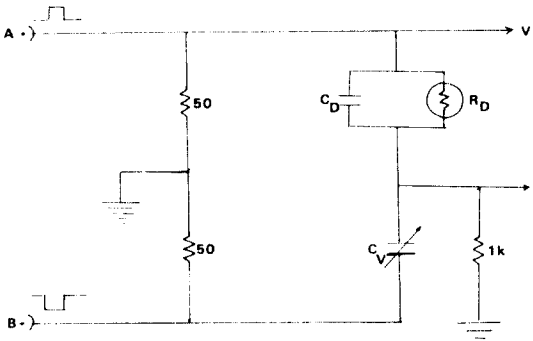


그림 3. balanced 測定回路의 概要  
Fig. 3. Schematic diagram of the balanced measurement circuit.

電流는  $C_D$ 와 같이 調整된 可變콘덴서,  $C_V$ 를 통해 흐르는 反對極性的의 電流에 의해 어느 程度 補償될 수 있다. 또한 素子와 直列로 連結된  $1(k\Omega)$ 의 抵抗은 電流波形을 觀察하고 on-狀態의 電流를 制限하여 素子の 破壞를 막기 위해 使用하였다. 結果적으로 이 回路는 素子の 캐퍼시턴스로 因해 觀察될 수 있는 過渡狀

態, 즉 素子の 眞性特性和 結合한 高임피던스는 過渡 電壓 및 過渡電流의 rise time에 影響을 미치게 되므로 이 影響을 除去시키게 된다. 실제로 使用한 高壓펄스의 rise time 은  $50(\mu S)$  以下로 行하였다. 스위칭에 앞서 特히 傳導度の 電界依存性에 따라 on-set 以後 電流가 조금씩 增加하는 變化가 나타났는데 이는 連續的인 펄스印加에 의해 生기는 現象으로 解析하고 처음 펄스의 電流值를 기준치로 잡았다.

3-2. 遲延時間

우선 遲延時間에 따른 電流密度的 變化를 보기 위해 式(14)의 關係를 生覺해 보자.  $t = t_D$ 인 경우, 일단 電壓  $V$ 項을 包含하지 않도록 式(15)를 代入시키면 다음과 같다.

$$J(t_D) = J_{th} \propto \mu_0 t_D^{-2} L \dots \dots \dots (21)$$

式(21)에서는 문턱電流密度  $J_{th}$ 가 遲延時間  $t_D$ 의 제공에 逆比例하며 薄膜 두께가 增加 할수록 電流密度가 增加된다는 것을 보인다. 우선 遲延時間,  $t_D$ 에 따른 문턱電流,  $I_{th}$ 의 變化를 보기 위해 薄膜 두께를  $5.6 \times 10^{-7}(m)$ 로 놓고 式(21)를  $I_{th} \propto t_D^{-n_1}$ 으로 놓아 觀察하면 그림 4 와 같다. 그림 4에서 보는 바와 같이 문턱電流의 變化는  $t_D^{-n_1}$ 에서  $n_1 = 0 \sim 0.5$  程度가 된다 이는 실제로 문턱電流가 遲延時間,  $t_D$ 의 0.5 乘에 比例

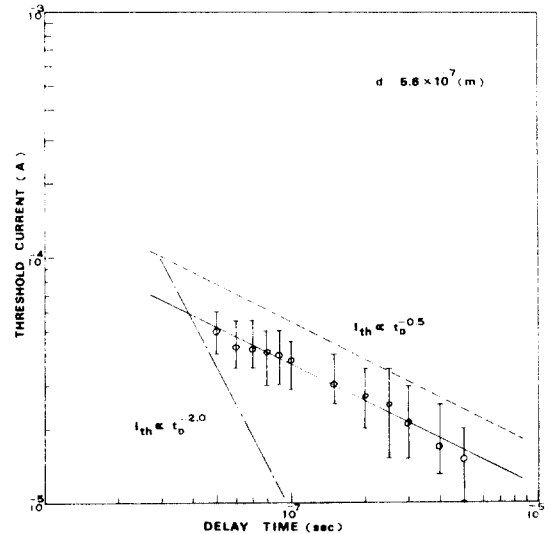


그림 4. 遲延時間에 따른 문턱電流變化  
Fig. 4. The dependence of threshold current on the delay time.

한다는 것인데 이를 解析해 보면 문턱電流와 電流密度的 關係에서 구할 수 있다. 理論上으로는  $I_{th}$ 와  $J_{th}$ 는 斷面積  $S$ 에만 關係되어 直接 比例하지만 Gurin 등<sup>[11]</sup>

이 報告한 바에 따르면  $t_D$ 는 電極面積  $S$ 에 강하게 의존하여  $S$ 가 減少할수록  $t_D$ 는 增加한다고 했다. 즉  $S$ 가  $5 \times 10^{-5} \sim 10^{-6}$  (m)으로 減少하면  $t_D$ 는  $0.3 < d < 1$  ( $\mu\text{m}$ ) 범위에서 約 3~10 倍程度로 增加한다고 指摘했다. 그러므로 그림 4에 나타난 것은  $I_{th}$  이므로  $J_{th}$ 와는 線型的으로 比例하지 않아서 이러한 結果가 나온다고 生覺할 수 있다. 그러나 좀더 正確히 分析하기 위해 일단  $I_{th}$ 와  $J_{th}$ 는 線型的인 關係로 보고 앞서 一定하다고 假定한 移動度,  $\mu_0$ 의 關係를 다시 生覺해 보자. 式(21)이 誘導된 結果는  $J_{th} \propto \mu_0 t_D^{-2} d$ 인 關係로 成立되는데 Miyazono等<sup>[12]</sup>은 實際로  $\mu_0$ 가 一定하지 않으며  $\mu_0 \propto t_{Dn_2}$ 인 關係로 比例하고 이때  $n_2$ 는 1.5~2.0으로 計算해 내었다. 그러므로  $\mu_0 \propto t_D^{1.5}$ 라 假定하여 式(21)에 代入하면  $J_{th} \propto t_D^{-0.5}$ 인 關係(點線)로 나타나서 거의 一致됨을 알 수 있다. 그림 4에서 理論値와 實驗値와는 약간 差異를 보이는데 이는 電極面積의 값이 다르게 計算된 것을 나타낸다. 또한 遲延時間,  $t_D$ 를  $10^{-7}$  (sec)로 一定하게 놓고 문턱電流의 두께 의존성을 比較하면 그림 5와 같다. 薄膜 두께의

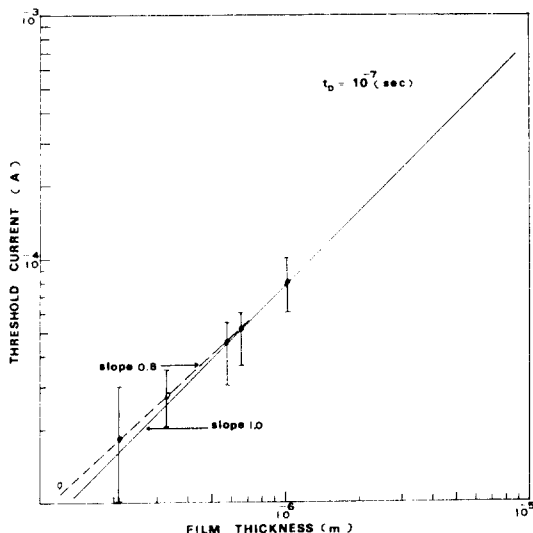


그림 5. 薄膜 두께에 따른 문턱電流變化  
**Fig. 5.** The dependence of threshold current on the film thickness.

존성은 式(21)에서  $J_{th} \propto d$ 인 관계가 成立하므로  $J_{th} \propto d^{1.5}$ 라 假定하여 比較해 보면  $n_2 \cong 0.8$ 程度로 나타난다. 이는 약간의 誤差를 나타내는데 이 誤差는 測定時 나타나는 測定誤差라 할 수 있으므로 理論値와 實

驗値가 一致된다고 볼 수 있다. 또한 印加電壓에 따른 遲延時間變化를 보면 그림 6과 같다.

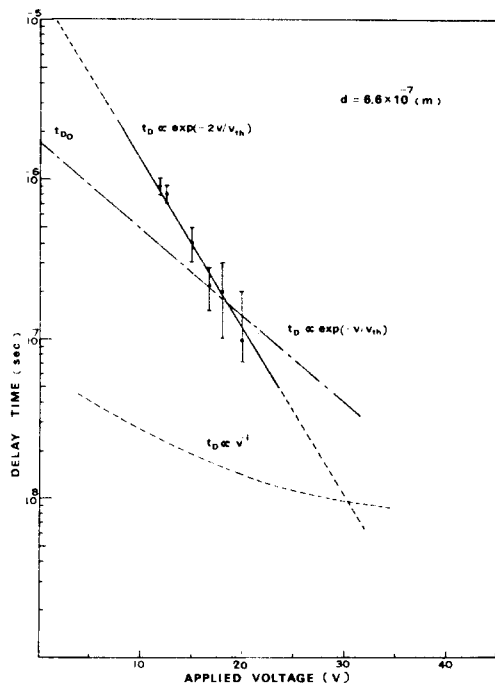


그림 6. 印加電壓에 따른 遲延時間의 變化  
**Fig. 6.** The dependence of the delay time on applied voltage.

우선 式(18)을 따라 그려보면 點線으로 나타나게 되어 實驗値와는 다르게 된다. 그러므로 Csillag<sup>[13]</sup>이 나타낸 移動度の 電壓 依存性を 고려해 보자

$$\mu_0 = k_1 V^{-1} \exp(V/V_{th}) \dots\dots\dots (22)$$

式(22)를 式(18)에 代入하면 다음과 같다.

$$t_D = \left( \frac{0.393}{k_1} d^2 \right) \exp(-V/V_{th}) \propto t_{D0} \cdot \exp(-V/V_{th}) \dots\dots\dots (23)$$

이 關係에서  $k_1$ 을  $\sim 10^{-7}$  ( $\text{m}^2 - \text{sec}^{-1}$ )과 놓고 計算하면 그림 6의 中間點線과 같다. 그런데 實驗値는  $t_D \propto \exp(-2V/V_{th})$ 의 關係를 보이므로  $t_D(0) = t_{D0}$ 의 關係式을 Bunton等<sup>[14]</sup>의 數式으로 表現하면 다음과 같다.

$$t_{D0} = \left( \frac{0.393 d^2}{k_2} \right) \exp(-V/V_{th}) \propto \exp(-V/V_{th}) \dots\dots\dots (24)$$

그러므로  $k_2$ 를  $\sim 10^{-9}$  ( $\text{m}^2 - \text{sec}^{-1}$ )라 놓고 式(23)

에 代入하면 다음과 같다.

$$t_D = \left( \frac{0.393 d^2}{k_2} \right) \exp(-2V/V_{th}) \propto \exp(-2V/V_{th}) \dots (25)$$

式(25)는 그림 6 과 比較하여 잘 一致됨을 알 수 있다. 이러한 遲延時間,  $t_D$  과  $t_{D0}$  의 두께 의존성을 보기

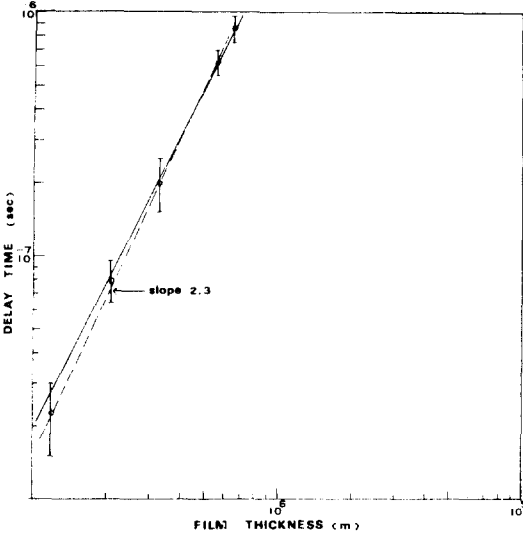


그림 7.  $t_{D0}$  의 두께 의존성  
Fig. 7. The dependence of the on the film thickness.

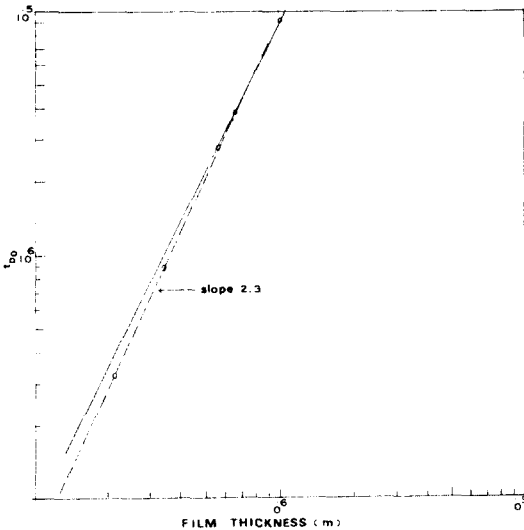


그림 8. 遲延時間의 두께 의존성  
Fig. 8. The dependence of the delay time on the film thickness.

위해 式 (23)과 (24)을 整理하면  $t_D \propto d^2$ ,  $t_{D0} \propto d^2$  으로 나타나므로 이를 그래프로 表示하면 그림 7 과 8 과 같다. 그림 7 과 8 에 나타난 기울기는  $t_D \propto d^{n_4}$  로 表示되어  $n_4 = 2.3$  이다. 이는 Gurin 等<sup>[15]</sup>이 報告한  $n_4 = 2.3 \sim 2.4$  의 값과 一致하여 理論値와 實驗値가 잘 一致된다고 볼 수 있다.

3-3. 蓄積電荷量

空間電荷重疊 모델에 의한 스위칭 特性解析時 空間電荷의 存在 및 蓄積量이 問題가 되므로 式(20)을 整理하면 다음과 같다.

$$Q^-(t_D) = Q_0 + J_{th} \cdot t_D \propto \epsilon_0 \mu_0^{-1} d t_D^{-1} \dots (26)$$

式(26)에서 우선 遲延時間에 따른 蓄積電荷量變化를 보기위해  $J_{th} \cdot t_D \propto t_D^{-1}$  인 關係로 나타내 그래프로 그리면 그림 9 와 같다. 그림 9 에서는 實驗値와 理論値

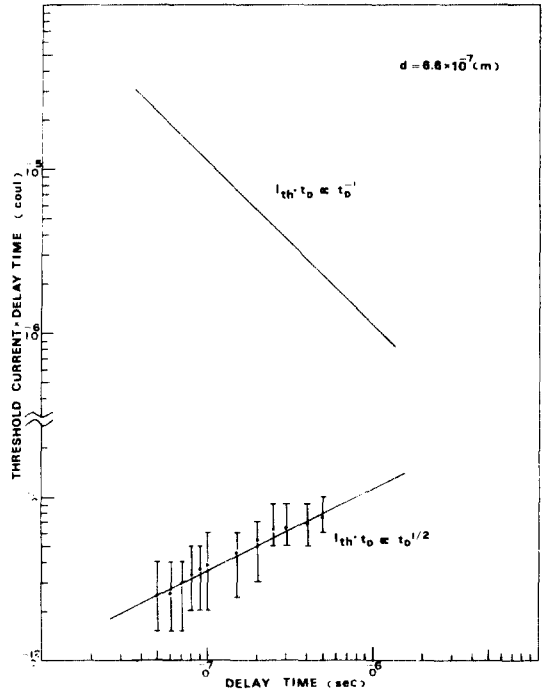


그림 9. 遲延時間에 따른 蓄積電荷量變化  
Fig. 9. The dependence of accumulated charges on the delay time.

와는 아주 相異한 關係를 갖고 있다. 즉  $I_{th} \cdot t_D \propto t_D^{-1}$  의 경우  $t_D$  가 增加함에 따라 減少되는 反面에 실제 實驗値는 增加하고 있다. 이것은 앞서 說明된  $\mu_0 \propto t_D^{1.5}$  인 假定에 따라 式(26)을 修正하면 다음과 같다.

$$Q^-(t_D) = Q^- + J_{th} \cdot t_D \propto t_D^{0.5} \dots (27)$$

그러므로 式(27)에 따라 計算하면 그림 9와 같이 (實線) 거의 一致됨을 알 수 있다 또한 薄膜두께에 따른 蓄積電荷量의 關係를 보기위해  $J_{th} \cdot t_D \propto d$ 로 計算하여 그래프를 그리면 그림 10과 같다. 이때  $t_D = 10^{-7}$  (sec)로 一定하게 놓았다. 그림 10에서 理論의인 기울기는 1.0인데 비해 實驗的인 기울기는 0.8程度가 된다. 이는 문턱電流의 두께의존성에서  $n_3 = 0.8$ 程度이므로 앞서 指摘했듯이 약간의 實驗誤差라고 볼 수 있다.

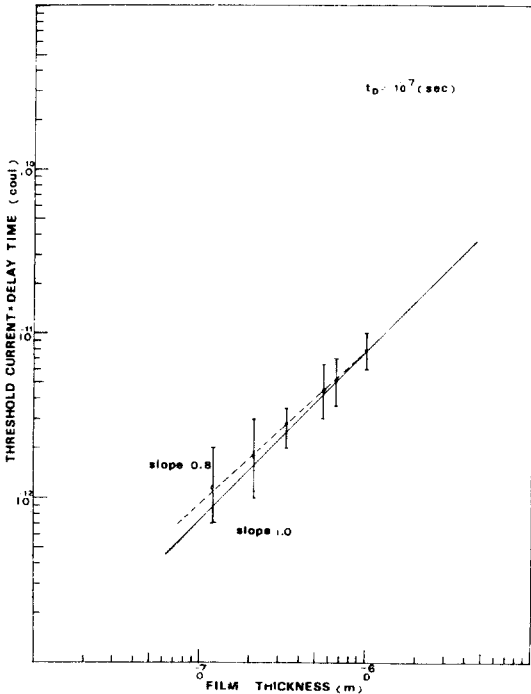


그림 10. 薄膜두께에 따른 蓄積電荷量 變化  
 Fig. 10. The dependence of accumulated charges on the film thickness

4. 結 論

本 研究에서는 非晶質 칼코게나이드 薄膜에서 空間電荷重疊 모델에 의한 스위칭 過渡狀態 特性에 대하여 數式的 理論과 그 理論의 妥當性에 따른 實驗結果를 考察해 본 結果 다음과 같은 結論을 얻었다.

- 1) 遲延時間에 따른 電流는  $I_{th} \propto t_D^{-0.5}$ 인 關係로 變化된다.
- 2) 薄膜 두께에 따른 電流는  $I_{th} \propto d^{0.8}$ 인 關係가 成立한다.
- 3) 印加電壓에 따른 遲延時間變化는 移動度의 變化를 고려하여  $t_D \propto \exp(-2V/V_{th})$ 인 關係가 成立된다.

4) 薄膜 두께에 따른 遲延時間變化는  $t_D \propto d^{2.3}$ 인 關係이다.

5) 遲延時間에 따른 蓄積電荷量은 移動度의 變化를 고려하여  $Q \propto t_D^{0.5}$ 인 關係가 成立된다.

6) 薄膜 두께에 따른 蓄積電荷量變化는  $Q \propto d^{0.8}$ 인 關係이다.

以上的 結論으로서 非晶質 칼코게나이드 薄膜에서 스위칭 特性을 分析하기 위해서는 空間電荷重疊 모델에 따른 空間電荷 制限電流의 形態로 解析하는 것이 가장 妥當하다고 生覺되며 또한 이를 앞선 假定的 실제 近接을 取하기 위해 좀더 細密한 數式的 假定을 세워 各 스위칭 狀態 條件에 따른 特性을 分析할 수 있음을 提示할 수 있다.

참 고 문 헌

1. S. R. Ovshinsky, "Reversible Electrical Switching Phenomena in Disordered Structures," Phys. Rev. Lett., Vol. 21, No. 20, 1968, p 1450
2. M. H. Cohen, "Simple Band Model for Amorphous Semiconducting Alloys," Phys. Rev. Lett., Vol. 22, No. 22, 1969 p 1065.
3. C. B. Thomas et al., "Monostable Switching in Amorphous Chalcogenide Semiconductors," J. Phys. D; Appl. Phys., Vol. 9, 1976, p 2571.
4. D. K. Reinhard et al., "Properties of Chalcogenide Glass-Silicon Heterojunctions," Appl. Phys. Lett., Vol. 23, 1973, p 186.
5. R. F. Ormondroyd et al., "Effect of Composition and Forming Parameters on the Conductance of Amorphous Chalcogenide Threshold Switches," J. of Non-Cryst. Solid, Vol. 18, 1975, p 375.
6. S. R. Jones et al., "Relaxation Processes in Memory and Threshold Chalcogenide Switches," J. of Non-Cryst. Solid, Vol. 28, 1978, p 1.
7. H. K. Henisch et al., "A Qualitative Theory of Electrical Switching Processes in Monostable Amorphous Structures," J. of Non-Cryst. Solid, Vol. 4, 1971, p 538.
8. 朴昌燁, 鄭鴻倍, "비정질 칼코게나이드 반도체 박막 경계면의 전기적 특성" 대한전기학회지, Vol. 29, No. 2, 1980 p 37.
9. M. A. Lampert & P. Mark, "Current Injection in Solids," Academic Press, New York, 1970, p 44.



10. H. S. Reehal & C. B. Thomas, "A Study of High-Field Transient Conduction in Amorphous Films of  $\text{Si}_{12}\text{Te}_{48}\text{As}_{30}\text{Ge}_{10}$ ." J. Phys. D; Appl. Phys., Vol. 11, 1978, p 927.
11. N. T. Gurin & D. G. Semak, "Delay Time of Switching in Chalcogenide Glasses," Sov. Phys. Semicond., Vol. 11, No. 7, 1977, p 825.
12. T. Miyazono et al., "Switching Characteristics in Amorphous Semiconductors." Jan. J. of Appl. Phys., Vol. 14, No. 7, 1975, p 969.
13. A. Csillag, "Investigation of the Switching Characteristics of the TeAsGeSi Glass-Films." J. of Non-Cryst. Solid, Vol. 4, 1970, p 518.
14. G. V. Bunton & R. M. Quilliam, IEEE, Trans. Electron Devices, ED-20, 1973, p 140.

