

고성능 I²L을 위한 새로운 제작공정

(A New Process for a High Performance I²L)

韓 喆 熙*, 金 忠 基*, 徐 光 錫**

(Han, Chul Hi Kim, Choong Ki and Seo, Kwang Seok)

요 약

양호한 특성의 I²L 구조를 구현하기 위한 새로운 공정을 제안하였다. 이 구조에서는, extrinsic base의 불순물 농도가 높으며, 또한 collector는 불순물 농도가 낮은 intrinsic base와 self align된다. 제안한 공정에서는 spin-on source를 확산원으로 사용하였고, mask 단계를 줄이기 위하여 열처리로 단단해진 spin-on source를 확산 mask로 사용하였다. 이 공정에 의하여 13段 ring oscillator를 포함한 시험소자를 6.5 μm의 epi 층을 갖는 n/n⁺ silicon wafer 상에 제작하였다. 제작한 시험소자의 특성은, collector가 세 개인 I²L의 경우 npn transistor의 상향 전류이득은 최대치가 8이었으며, collector가 하나인 I²L의 속도전력積과 최소 전달 지연시간은 각각 3.5 pJ과 50 ns 이었다.

Abstract

A new I²L process for a high performance I²L structure is proposed. The modified structure consists of a heavily doped extrinsic base and lowly doped intrinsic base where the collector regions are self-aligned with the intrinsic base regions. The proposed process utilizes spin-on sources as the diffusion sources and the self-alignment of collectors is achieved by using the hardened spin-on source as a diffusion mask. Test devices including a 13-stage ring oscillator have been fabricated by the proposed process on n/n⁺ silicon wafers with 6.5 μm epitaxial layer. The maximum upward current gain of npn transistors is 8 for a three collector I²L cell. The speed-power product and minimum propagation delay for a one collector structure are 3.5 pJ and 50 ns, respectively.

1. 서 론

Integrated injection logic (I²L)^[1] 또는 merged transistor logic (MTL)^[2] 이라고 불리는 새로운 bipolar 논리회로의 제작 기법이 1972년에 발표된 이후, 이 제작 기법은 고집적도와 적은 전력소모의 장점 때문에 직접회로 연구자들의 많은 관심을 끌고 있다.

I²L은 그림 1에 보인 바와 같이 한 개의 입력에 수 개의 출력을 갖는 inverter를 기본구조로 하고 있다. 이 inverter는 실제로 pnp transistor와 npn transistor로 구성되는데, pnp transistor는 npn transistor의 base에 전류를 공급하면서 동시에 前段 npn transistor의 부하로써도 동작한다. 동작 원리를 보면, 입력이 논리 "1" (대략 0.7 volt)이면 npn transistor는 포화상태로 되고 출력이 논리 "0" (대략 0.1 volt)로 된다. 반대로, 입력이 논리 "0"이면, pnp transistor에서 공급하는 전류는 前段의 npn transistor로 흘러가고 현재 switching 될 npn transistor의 base에는 전류가 흐르지 않게 된다.

* 正會員, 韓國科學技術院 電氣 및 電子工學科 (Dept. of Electrical Science, KAIST)

** 正會員, 韓國電子技術研究所 (Korea Institute of Electronics Technology)

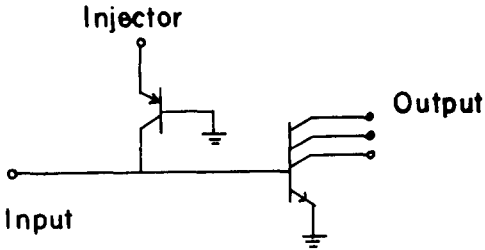


그림 1. I²L의 회로도
Fig. 1. Circuit diagram of I²L.

따라서, 이 npn transistor는 off되고 출력은 논리 "1"으로 된다.

보통의 I²L gate의 구조는 그림 2에 보인 바와 같이, n-type wafer에 두 개의 인접한 p-영역을 만들고 그 중의 한 영역에 n⁺-영역을 형성함으로써 제작된다. 이때 npn transistor는 윗 부분의 n⁺-영역을 collector로 쓰므로 multi-collector 구조를 쉽게 얻을 수 있으며, pnp transistor는 multi-collector 구조로 되어 전체 chip에 동작전류를 공급할 수 있게 되어 있다. 또한, 두 개의 npn, pnp transistor가 서로 병합된 구조로 되어 있어 집적도가 커지고 제작이 간편한 이점이 있다.

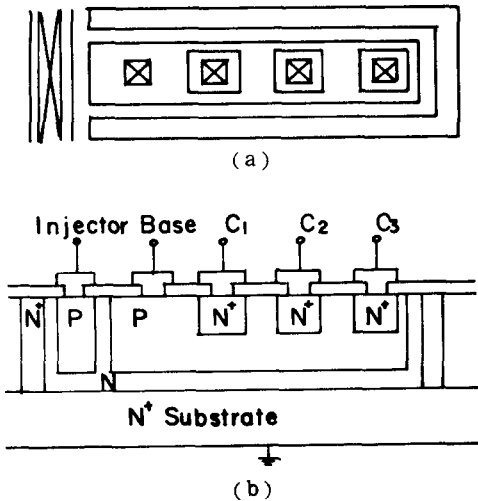


그림 2. (a) I²L의 평면도 (b) I²L의 단면도
Fig. 2. (a) Top view (b) Cross-sectional view of I²L.

최초의 I²L은 從來의 bipolar 제작기법을 그대로 사용하여 만들어졌으나, npn transistor의 상향 전류이득이 작고 속도특성이 나쁜 이유때문에 그림 3과 같이 base를 두 부분으로 나누어 각각의 불순물

농도를 다르게 한 형태가 나오게 되었다.^{[3],[4]} 그러나, 이 두 개의 불순물 농도가 다른 extrinsic base와 intrinsic base를 만들기 위해서는 한 단계의 사진식각 과정이 추가로 필요하게 되었다.

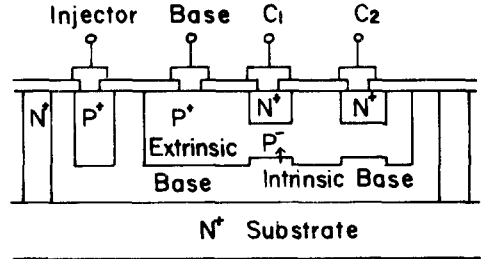


그림 3. 개량된 I²L 구조
Fig. 3. Modified I²L structure.

본 논문에서는 사진식각 과정을 추가하지 않으면서 그림 3과 같은 변형된 구조를 얻을 수 있는 새로운 I²L 제작공정을 제안하였다. 그리고, I²L 시험소자를 이 제작공법에 의해 제작하고, 그 특성을 측정하였으며 다른 논문의 결과와 비교하였다.^{[5][6]}

2. 새로운 제작공정

상향 전류이득과 최소전달 지연시간은 I²L의 특성을 나타내는 중요한 요인이므로 이 두 가지에 대하여 간단히 고찰한 다음에 이 둘이 개선된 변형된 형태를 설명하겠다.

상향 전류이득은 I²L이 동작하기 위해서는 적어도 1보다는 커야 한다. 여기에 잠음면역과 속도특성을 좋게 하기 위해서는 상향 전류이득이 어느 정도 큰 값이 되어야 한다.^{[5][7]} 최소전달 지연시간은 I²L이 포화영역에서 동작하기 때문에 주로 npn transistor의 base와 emitter에서 switching 작용을 하는 소수 반송자의 크기에 의하여 결정된다고 볼 수 있다. 따라서, 속도특성이 좋아지기 위해서는 이 영역에서 저장되는 소수 반송자의 크기가 작아져야 한다. 특히, 얇은 epi 층을 갖는 고속도 I²L에서는 extrinsic base에 저장되는 소수 반송자가 최소 전달 지연시간을 결정하는데 지배적인 요소가 된다.^[7]

상향 전류이득을 크게 하려면 extrinsic base에서의 불순물 농도는 높은 반면 intrinsic base의 불순물 농도는 낮아야 한다. 또, base의 대부분의 부피를 차지하는 extrinsic base에 저장되는 소수 반송자를 줄이기 위해서는 extrinsic base의 불순물 농도가 높아야 한다. 따라서, 그림 3에서 보인 바와

같은 불순물 농도가 높은 extrinsic base와 불순물 농도가 낮은 intrinsic base를 갖는 변형된 구조가 나타나게 되었다.^{[3][4]}

이렇게 변형된 I²L 구조는 다음과 같은 장점을 갖고 있다. 첫째, extrinsic base의 불순물 농도가 높으므로 extrinsic base에서의 base 전류요소인 전자전류가 감소하며, 따라서 전체 전류이득은 증가한다. 또한, base 직렬저항이 작기때문에 collector의 위치에 따른 전류이득의 변화가 감소한다.^[3] 둘째, extrinsic base에서의 높은 불순물 농도때문에 그곳에 저장되는 소수 반송자가 감소하고 따라서 속도특성이 좋아진다.^[7] 셋째, injector線の 불순물 농도가 높으므로 저항이 작고, 그 결과로 injector線 위에 금속을 추가로 없을 필요가 없어진다. 이와 같은 변형된 구조를 제작하기 위해서는, 보통의 I²L 제작공정과 비교할 때, extrinsic base가 될 부분을 결정하기 위하여 mask 단계가 하나 더 추가로 필요하게 된다.^[3]

본 논문에서 제안된 새로운 제작공정은 보통의 I²L 공정과 같은 수의 mask 단계를 사용하고 확산原으로 spin-on source를 사용한다.^[8] 공정과정은 그림 4에 보인 바와 같으며 아래에서 설명한다.

(a) npn transistor의 base 전류를 감소시키기 위하여 n⁺-type collar를 만든다.^[9]

(b) Base와 injector가 될 부분에 p-type pre-deposition을 행한다.

(c) Wafer 전체에 arsenosilicafilm을 입힌 다음 collector 영역을 제외한 나머지 부분으로부터 arsenosilicafilm을 제거한다.

(d) Wafer 전체에 borosilicafilm을 입힌다.

(e) Boron과 arsenic을 동시에 확산시킨 다음에 spin-on source를 모두 제거한다. 이때 arsenosilicafilm은 collector 영역내로 boron이 확산되는 것을 막아 준다.

(f) 다시 산화막을 기르고 접점을 낸 후 metallization을 행한다.

위의 제작공정에서 (b) 단계와 (e) 단계에서 각각 intrinsic base와 extrinsic base의 불순물 농도가 결정된다. 새로운 제작공정은 두 가지 장점이 있다. 하나는 collector가 intrinsic base와 self align된다는 점이다. 그에 따라 집적도가 커질 뿐더러 실제 transistor 동작이 불순물 농도가 낮은 intrinsic base에서 효과적으로 일어난다. 둘째로는 mask 단계를 추가하지 않고도 intrinsic base와 extrinsic base의 불순물 농도를 각각 독립적으로 조절할 수

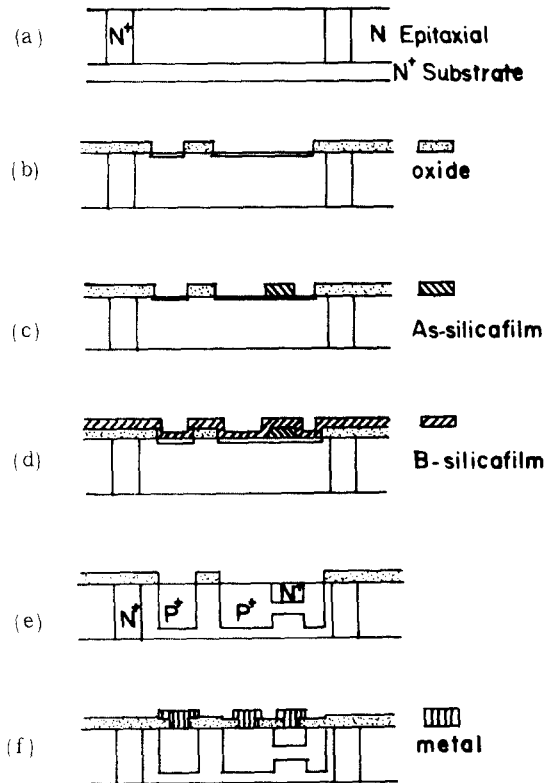


그림 4. 새로운 공정과정

Fig. 4. New process sequence.

있다는 점이다.

3. 시험소자의 설계 및 제작

새로운 제작공정에 의한 I²L 특성을 조사하기 위하여 시험소자를 제작하였다. 시험소자는 DC 특성을 보기 위한 I²L gate들과 전달 지연시간을 측정하기 위한 13段 ring oscillator이며 소자의 최소線幅은 10 μ m이고 alignment tolerance는 5 μ m로

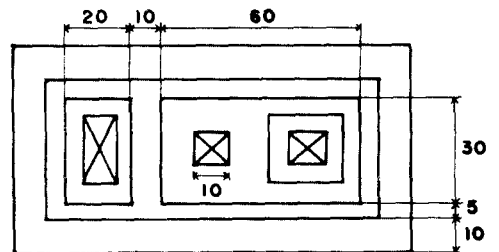


그림 5. 한개의 collector를 가진 I²L의 크기(단위; μ m)
Fig. 5. Dimensions of one collector I²L gate.
(units; μ m)

잡았다. 그림 5는 이와 같이 설계된 I^2L 기본구조의 평면도를 보여 준다.

실험에 사용한 wafer는 n/n^+ silicon wafer이며 epi 층의 두께는 $6 \sim 7 \mu\text{m}$ 이고 비저항은 $0.6 \sim 0.8 \Omega \cdot \text{cm}$ 이었다. 공정을 요약하면 다음과 같다.

(a) Wafer를 세척하고 두께가 약 6000 \AA 인 산화막을 wet 산화공정에 의하여 만든다. 첫번째 사진식각 과정을 거쳐 n^+ -type 확산이 행하여진다.

(b) 2번째 사진식각 과정에서 base 영역과 injector 영역을 결정하고, borosilicafilm을 사용하여 p-type predeposition을 한 다음, borosilicafilm을 제거한다.

(c) Arsenosilicafilm을 입히기 전에 silicon 표면을 친수성으로 만들기 위하여 $\text{H}_2\text{SO}_4 : \text{H}_2\text{O}_2 = 4 : 1$ 용액에 10분 동안 끓인다. 이때 생기는 친수성 막은 silicon과 arsenosilicafilm과의 접촉을 양호하게 만든다. Arsenosilicafilm을 입힌 다음에 $\text{N}_2 : \text{O}_2 = 4 : 1$ 의 분위기에서 800°C 로 hardbake 과정을 15분 동안 행한다. 다음에 silicafilm을 입히고 arsenosilicafilm에서와 같은 hardbake 과정을 거친다. 이 silicafilm은 다음의 사진식각 과정을 위한 것이다. 3번째 사진식각 과정에 의해 collector 영역을 제외한 나머지 부분의 arsenosilicafilm과 silicafilm을 제거한다. 이 때 buffered oxide etchant ($\text{NH}_4\text{F} : \text{HF} = 6 : 1$)를 사용하여 실온에서 $30 \sim 50$ 초가 걸린다. 다음에, silicon 표면에 남아 있는 arsenic을 제거하기 위하여 35°C HCl 용액에 2분 동안 담근다. 이 단계에서 마지막으로 photoresist가 제거된다.

(d) 세척과정으로 $\text{H}_2\text{SO}_4 : \text{H}_2\text{O}_2 = 1 : 1$ 용액에서 10분 동안 끓인 후 borosilicafilm을 입힌 다음 hardbake 과정을 행한다.

(e) 확산공정을 행하여 boron과 arsenic을 동시에 확산시킨다. 확산이 끝난 다음에, 남아 있는 spin-on source를 $10 : 1$ 로 희석된 HF 용액으로 모두 제거한다.

(f) 다시 산화공정을 행한다. 다음에 4번째와 5번째의 사진식각 과정을 거쳐 접점을 내고 metallization을 행한다.

그림 6은 위의 공정에 의하여 제작된 chip의 사진이다. 모든 확산공정이 끝났을 때, collector 영역에서는 접합깊이와 sheet resistance가 각각 $0.35 \mu\text{m}$ 와 $25 \Omega/\square$ 로, extrinsic base에서는 각각 $2.2 \mu\text{m}$ 와 $22 \Omega/\square$ 로 측정되었다.

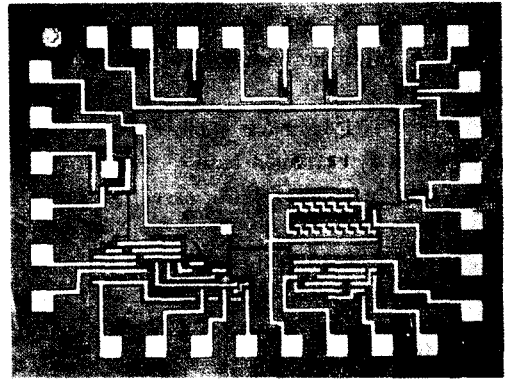


그림 6. 제작된 I^2L 시험소자의 현미경 사진
Fig. 6. Microphotograph of the fabricated I^2L test chip.

4. 측정 결과 및 검토

그림 7은 제작된 시험소자중 어떤 한 npn transistor의 collector 특성을 보인다. 그림 8은 13段 ring oscillator의 출력 파형을 보여 준다. 이 그림에서, 전달 지연시간은 ring oscillator 출력 파형의 주기를 段의 수의 두 배로 나눈 것이 되므로, 전달 지연시간은 50 ns 가 됨을 알 수 있다.

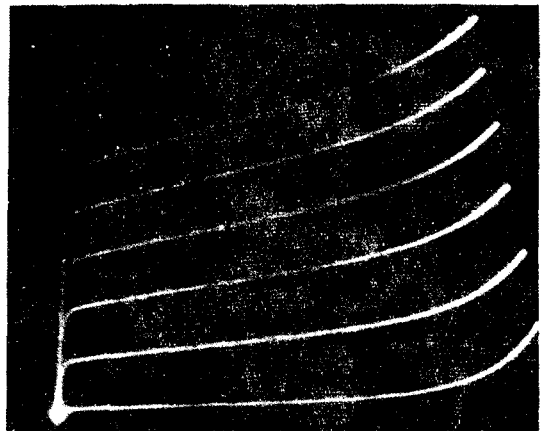


그림 7. npn transistor의 collector 특성곡선
(vertical : $100 \mu\text{A}/\text{div.}$, horizontal : $500 \text{ mV}/\text{div.}$, step : $20 \mu\text{A}/\text{step}$)

Fig. 7. Collector characteristics of an npn transistor.
(vertical : $100 \mu\text{A}/\text{div.}$, horizontal : $500 \text{ mV}/\text{div.}$, step : $20 \mu\text{A}/\text{step}$)

그림 9는 상향 전류이득과 하향 전류이득이 intrinsic base 영역을 predeposition한 후의 sheet resistance에 따라서 변하는 양상을 보여준다. Sheet resistance의 값이 커짐에 따라 상향 전류이득과 하

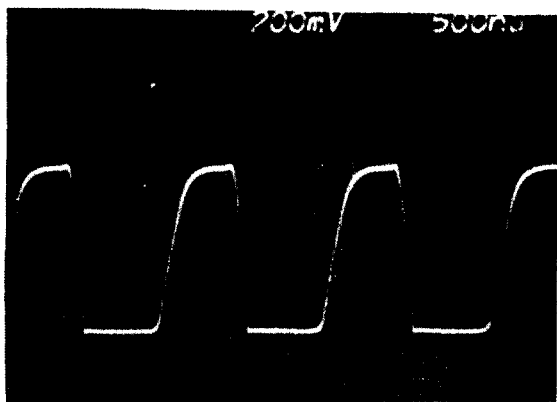


그림 8. 13 단 ring oscillator 의 출력파형
Fig. 8. Output waveform of a 13-stage ring oscillator.

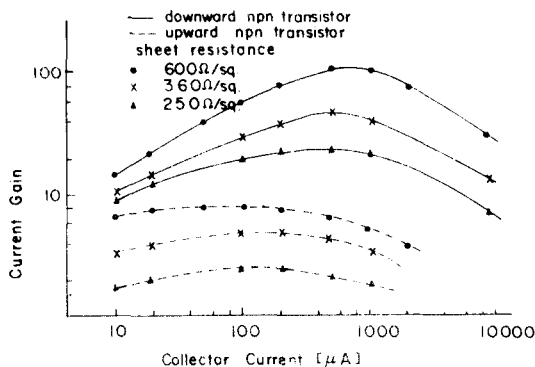


그림 9. Intrinsic base 에서의 sheet resistance 에 따른 npn transistor 의 정향 및 하향전류이득의 변화
Fig. 9. Upward and downward current gain of the npn transistor vs. the sheet resistance in the intrinsic base.

향 전류이득이 둘 다 증가하는 것을 보이고 있다. 그러나, 실험에 의하면 sheet resistance 가 1000 Ω/sq 이상이 되면 소자의 특성이 wafer 内에서 균일하지 않게 되어, 이 방법에 의한 전류이득의 증가에 제한을 받게 된다.

그림 10은 3 collector I²L gate 의 npn transistor 의 상향 전류이득을 일반적인 bipolar 공정^[5]에 의한 결과와 비교하여 보였다. collector 전류의 크기가 100 μA 정도에서 새로운 공정에 의한 상향 전류이득이 대략 두 배 정도의 증가를 보였다. 또한, 일반적인 bipolar 공정에서는 base 의 접점에서 멀리 떨어져 있는 collector (C₂ 와 C₃)들은 collector 전류가 증가함에 따라 정향 전류이득이 감소하는 현상

을 보이고 있다. 이것은 extrinsic base 의 저항에 의한 영향으로 새로운 제안된 공정에서는 extrinsic base 의 저항이 작으므로 이 현상이 현저히 개선됨을 보였다.

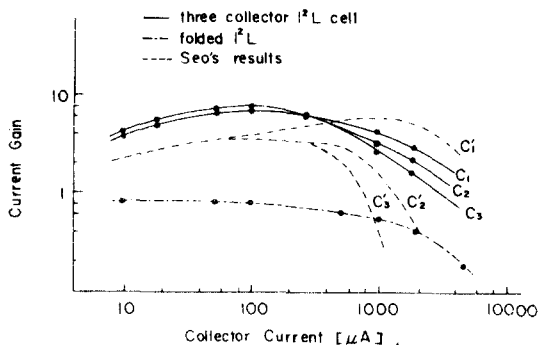


그림 10. 새개의 collector 를 갖는 I²L 의 상향 전류이득과 folded I²L 의 전류이득
Fig. 10. Upward current gain of a three-collector I²L and current gain of a folded I²L.

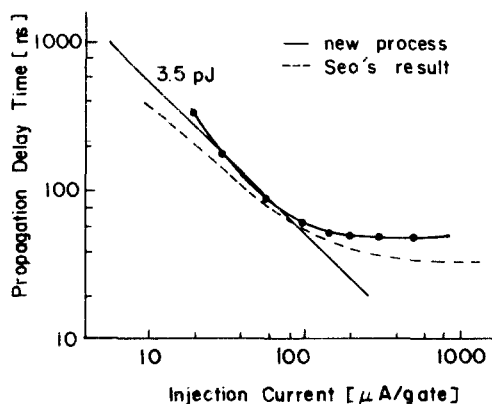


그림 11. 주입전류에 따른 전달 지연시간
Fig. 11. Propagation delay time versus injector current per gate.

그림 11 은 13 단 ring oscillator 의 주입전류의 크기에 따른 전달 지연시간을 나타낸다. 속도 전력곱은 3.5 pJ 로 보통의 bipolar 공정에 의한 결과^[5]인 2.6 pJ 보다 크다. 그 원인은, 낮은 주입전류의 범위에서는 switching 되는 전하의 몫이 공핍층에 의한 capacitance 의 크기에 의해 좌우되는데, 새로운 공정에 의한 구조에서는 extrinsic base 의 불순물 농도가 높기 때문에 공핍층에 의한 capacitance 가 커지기 때문이다. 최소 전달 지연시간은 50 ns 로 일반적 linear IC 와 양립하는 I²L (비교적 epi 층이 두

꺼움) 에서와 비슷한 결과를 보인다.^{[6],[5]} 의 결과인 36 ns 는 epi 층이 얇은 (3.5 μ m) wafer 에 의한 결과이다. epi 층이 두꺼운 wafer 에 있어서 I²L 의 최소 전달 지연시간은 epi 층에 저장되는 소수 반송자의 크기에 의해 좌우된다.^{[4],[10],[11],[12]} 그런 이유로 epi 층이 6.5 μ m 인 wafer 를 사용한 본 공정에 의한 결과에서는 base 에서의 속도특성 개선이 보이지 않는다. 그러나, base 영역 아래에 남아 있는 epi 층을 극소화시킨 고속도 I²L 구조에서는 extrinsic base 에 저장되는 소수 반송자의 크기가 최소 전달 지연시간을 좌우하게 되므로, 이런 구조에서는 새로운 공정이 extrinsic base 에 저장되는 소수 반송자를 감소시켜 줌으로써 최소 전달 지연시간을 감소시킬 수 있을 것이다.^[12]

하향으로 본 transistor 에서 측정된 파괴전압은 BV_{EBO} = 5 volts, BV_{EEO} = 5.3 volts, BV_{CBO} = 35 volts, BV_{CEO} = 22 volts 이다. [5] 의 결과보다 파괴전압 특성이 좋은 이유는 epi 층이 두껍기 때문이며, 위의 결과는 [6] 에서와 비슷한 양상을 보여 준다.

5. 결 론

새로운 공정에 의하여 불순물 농도가 다른 두 종류의 base 를 갖는 변형된 I²L 구조를 제작하였다. 이 공정에서 확산 시간과 온도를 변화시킴으로써 intrinsic base 와 extrinsic base 의 불순물 농도를 각각 독립적으로 조절할 수 있었다. 따라서, intrinsic base 의 불순물 농도를 변화시킴으로써 전류이득을 쉽게 조절할 수 있었고, extrinsic base 의 저항을 작게 하여 base 접점에서 멀리 떨어진 collector에서의 상향 전류이득의 감소현상을 현저하게 줄일 수 있었다.

상향 전류이득의 크기는 보통의 bipolar 공정에 의한 결과에 비해 대략 두 배의 증가를 얻을 수 있었다.

그러나, 속도특성에서의 이점을 얻기 위해서는 얇은 epi 층을 갖는 wafer 를 사용하여야 함을 확인하였다.

參 考 文 獻

1. C. M. Hart and A. Slob, "Integrated Injection Logic - A New Approach to LSI," IEEE J. Solid-State Circuits, Vol. SC-7, pp. 346-351, Oct. 1972.
2. H. H. Berger and S. K. Wiedmann, "Merged Transistor Logic - A Low Cost Bipolar Logic Concept", IEEE J. Solid-State Circuits, Vol. SC-7, pp. 340-346, Oct. 1972.

3. J. C. Plunkett, "Inverse Current Gain Improvement of Bipolar Transistors by Double - Base Diffusion," IEEE Trans. Electron Devices, Vol. ED-24, pp. 1269-1270, Oct. 1977.
4. J. M. Herman III et al., "Second Generation I²L/MTL: A 20 ns Process/Structure," IEEE J. Solid-State Circuits, Vol. SC-12, pp. 93-101, Apr. 1977.
5. 서광석, 김충기, "Integrated Injection Logic - 설계에 대한 고찰과 실험결과," 전자공학회지, 제 16 권 제 2 호 pp. 7-14, 1979 년 5 월.
6. J. L. Saltich et al., "Processing Technology and AC/DC Characteristics of Linear Compatible I²L," IEEE J. Solid-State Circuits, Vol. SC-11, pp. 478-495, Aug. 1976.
7. S. Shinozaki et al., "Role of the External npn Base Region on the Switching Speed of I²L," IEEE J. Solid-State Circuits, Vol. SC-12, Apr. 1977.
8. 김충기, 정태원, "Spin-on Source 에 의한 실리콘내의 불순물 확산," 전기학회지, 제 27 권 제 6 호, 1978 년 11 월.
9. A. Schmitz and A. Slob, "The Effect of Isolation Regions on the Current Gain of Inverse npn Transistors Used in I²L," Dig. IEDM, Washington, DC, pp. 508-510, Dec. 1974.
10. F. M. Klaassen, "Device Physics of Integrated Injection Logic," IEEE Trans. Electron Devices, Vol. ED-22, pp. 145-152, Mar. 1975.
11. T. E. Hendrickson et al., "A Stored Charge Model for Estimating I²L Gate Delay," IEEE J. Solid-State Circuits, Vol. SC-12, Apr. 1977.
12. F. M. Klaassen, "Some Consideration on High Speed Injection Logic," IEEE J. Solid-State Circuits, Vol. SC-12, pp. 150-154, Apr. 1977.

