

三相誘導電動機의 速度制御를 위한 PLL System의 개선에 관한 研究

論 文
30~12~4

A Study on the Improvement of PLL System for Three Phase Induction Motor Speed Control

鄭 然 澤* · 李 星 龍**
(Yontack Chung · Seong Ryong Lee)

Abstract

The study of PLL System to control the Speed of three phase induction motor is described. By solving some problems of conventional PLL system, the system has ability to be easily locked under any conditions. In order to study response velocity and stability of system, this paper presents different filter types and methods of determination of time constant.

1. 서 론

통신 계통에서 사용되었던 PLL은 전동기의 정확한 속도제어를 위해 사용되고 있다.^{(1),(2)} 일반적으로 PLL 제어방식은 기준 주파수와 전동기 회전 주파수의 위상과 주기를 일치시킴으로써 전동기의 초정밀 속도 제어를 하는데 이용할 수 있는 장점이 있다. 따라서 유도전동기의 정확한 속도제어를 위해 폐환제어방식(feed back system)에 PLL을 이용한다.⁽³⁾

이제까지 연구되어 왔던 PLL 제어방식은 전동기에 응용할 때 lock시키기가 어렵다는 점, 속도 검출시의 속도검출기(encorder) 제작상의 오차, 응답속도 및 안정도를 결정하는 필터의 정상오차 등의 문제를 가지고 있다.^{(4),(5)}

본 연구에서는 PFD보조회로 및 부가회로를 첨가함으로써 어떠한 조건하에서도 lock시킬 수 있는 PLL 제어방식을 구성할 수 있었으며, 응답속도 및 안정도에 따른 filter type과 시정수 결정방법을 제시하였다.

2. 속도제어 System

Phase locked loop를 속도제어 계에 적용할 때 생기

는 몇가지 문제점을 보완하기 위해 종래의 PLL 제어 방식에 보조회로를 첨가 하였다. 그림 1은 본연구에서 사용한 제어방식의 블록도이다.

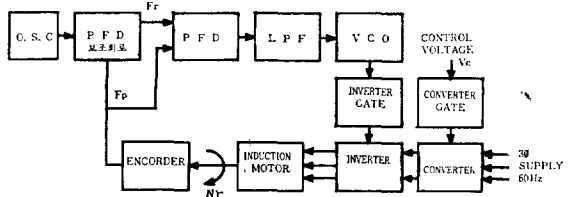


그림 1. 블록도
Fig. 1. Block diagram

2.1 Error Detector

그림 1의 phase frequency detector는 기준 주파수와 전동기 회전 주파수를 펄스상승시에 비교하여 그 위상차에 해당하는 error voltage를 발생하게 된다. PFD가 위상비교를 보다 쉽게 하도록 하기 위해 보조회로

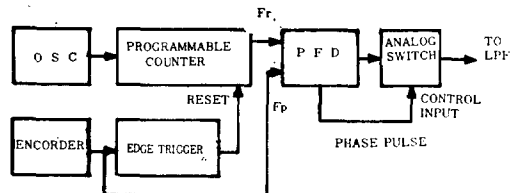


그림 2. 오차 검출기의 블록도
Fig. 2. Block diagram of error detector

* 正 會 員 : 明知大 電氣工學科 教授 · 工博

** 正 會 員 : 明知大 大學院 電氣工學科

接受日字 : 1981年11月 6日

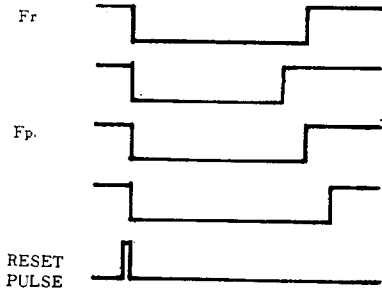


그림 3. PFD보조회로의 각 파형
Fig. 3. Waveforms of PFD auxiliary circuit

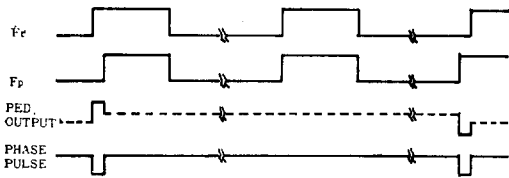


그림 4. PFD의 각 파형
Fig. 4. Waveforms of PFD

를 첨가 하였다. 그림 2는 이의 블록도이다.

그림 2에서 edge trigger회로에 의해 encorder출력주파수의 하강시에 펄스를 발생시켜 이 펄스를 programmable counter의 Reset pulse로 사용함으로써 counter된 기준 주파수 F_R 과 encorder출력 주파수 F_P 를 하강시에 일치시켜주게 된다. 그림 3은 각 점의 동작파형이다.

그림 3과 같이 펄스의 하강시에 F_R 과 F_P 를 일치시키는 보조회로를 첨가함으로써 PFD는 펄스상승시에 F_R 과 F_P 의 위상만 비교하여 주면 된다. PFD보조회로에 의해 F_R 과 F_P 의 펄스하강시를 일치시켜준 상태에서 펄스상승시의 위상이 일치하면 PFD의 Output은 High impedance상태를 유지하고 F_R 이 F_P 보다 빠를때 또는 F_R 이 F_P 보다 느릴 때는 그림 4와 같이 PFD 출력파형이 나오게 된다. F_R 과 F_P 가 위상차가 생겼을 때 PFD의 출력파형이 외부의 영향을 받지 않고 위상차에 해당하는 파형만이 나오도록 하기 위해 analog switch를 사용했다. analog switch는 control단자가 high상태일 때만 on되고 low상태일때는 off되는 기능을 가지고 있기 때문에 그림 4의 phase pulse를 invert해서 analog switch의 control단자에 가해줌으로써 F_R 과 F_P 의 위상차에 해당하는 파형만을 정확하게 LPF에 가해줄 수 있다.

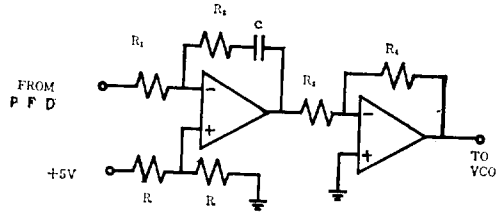


그림 5. 저역 여파기
Fig. 5. Low pass filter

2.2 Low Pass Filter

PFD의 출력은 적당한 error voltage를 내기 위해 그림 5와 같은 과정을 거친다.

2.5(v)가 VCO를 선형동작 영역에 있도록 bias하기 위해 error voltage에 더해진다. 또 LPF를 거친 error voltage가 반전된 전압이기 때문에 반전 증폭기를 사용한다.

2.3 VCO와 Inverter

LPF에 의해 결정된 VCO의 analog입력은 VCO출력에서 구형파로 나타난다. 이것은 inverter의 gate를 동작시키는데 사용된다. inverter는 power transistor를 사용하여 전압형 inverter를 구성했다.

2.4 Encoder

전동기의 속도는 encorder를 사용 digital pulse train으로 전환된다. photo transistor의 출력파형은 그림 6과 같이 단안정 멀티바이브레이터를 거쳐 정형되고, duty cycle을 같게 하기 위해 D Flip-Flop을 사용

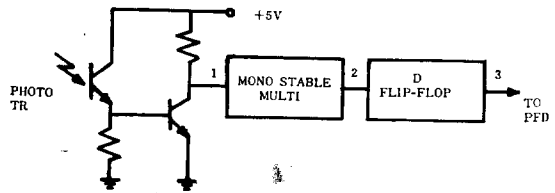


그림 6. 속도검출기
Fig. 6. Encoder

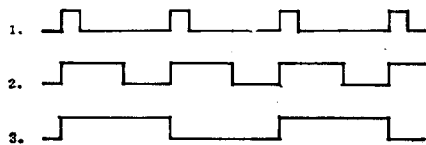


그림 7. Encoder의 각점파형
Fig. 7. Waveforms of encoder

했다. 각 파형은 그림 7과 같다.

본 연구에 사용한 Encoder의 원판은 구멍 간격에 따른 검출 펄스 주기의 오차를 없애기 위하여 한개의 구멍만을 뚫었다.

3. System Modeling

계통의 동적응답 및 안정도 등을 해석하기 위하여 계의 전달함수를 제시했다. 그림 8은 이계의 블록도이다.

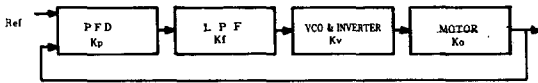


그림 8. 계의 전달함수 블록도
Fig. 8. Transfer function block diagram of system

PFD와 그에 관련된 회로가 gain K_p [v/rad]으로 표시되고 VCO와 inverter는 gain K_v [rad/v]로 표시되었다. 전동기는 기계적 시정수에 비해 전기적 시정수가 무시될 수 있을 정도로 적으므로 하나의 pole로 model화되었다. 따라서 전동기의 전달함수 K_m 는

$$K_m = K_m / (1 + T_m S) \quad (1)$$

로 표시된다. (3)(6)

이상과 같이 전달함수가 결정되면 계의 동적응답 및 안정도를 결정하는 것은 필터에 달려 있다.

3.1 Filter Type I

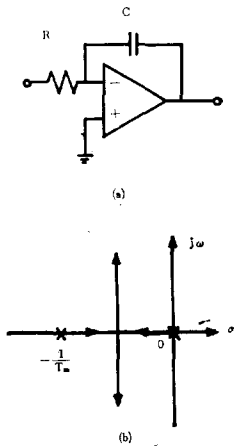


그림 9. 필터 type I
(a) 필터 (b) 근궤적
Fig. 9. Filter type I
(a) Filter (b) Root locus

이것은 그림 9의 (a)와 같이 하나의 극점이 원점에 있는 근본적으로는 적분기이다.

RC를 K_1 으로 놓으면 filter type I의 전달함수 K_f 는

$$K_f = 1 / K_1 S \quad (2)$$

이다. 그림 5의 반전 증폭기 이득을 고려한 전계통의 전달함수 $G(S)H(S)$ 는

$$G(S)H(S) = K_p K_v K_m / 2K_1 S (1 + T_m S) \quad (3)$$

이다. 특성 방정식은

$$S^2 + (1/T_m) \cdot S + K_p K_v K_m / 2K_1 T_m = 0 \quad (4)$$

이고, standard form과 비교하면 다음 관계식이 나온다.

$$2\zeta\omega_n = 1/T_m \quad (5)$$

$$\omega_n^2 = K_p K_v K_m / 2K_1 T_m \quad (6)$$

식 3, 식 4에 의해 근궤적을 그리면 그림 9의 (b)와 같고 근이 S-plane의 좌반 평면에 존재하므로 이 계통은 항상 안정하다.

3.2 Filter Type II

이 필터에서는 안정성을 얻기 위해 영점이 추가되었다. (영점이 없다면 극점은 이득의 함수로써 $j\omega$ 축상을 움직이게 되고, 계통은 자연스럽게 진동하게 된다. (7)) 그림 10의 (a)에서 $R_1 C = T_1$, $R_2 C = T_2$ 라 놓으면 전달함수 K_f 는

$$K_f = (T_2 S + 1) / T_1 S \quad (7)$$

이 된다. 반전 증폭기 이득을 고려한 전 계통의 전달함수 $G(S)H(S)$ 는

$$G(S)H(S) = K_p K_v K_m (T_2 S + 1) / 2T_1 S (1 + T_m S) \quad (8)$$

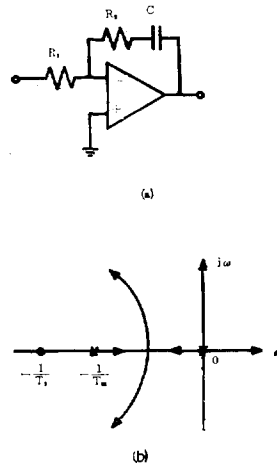


그림 10. 필터 type II
(a) 필터 (b) 근궤적
Fig. 10. Filter type II
(a) Filter (b) Root locus

이 된다. 특성 방정식은

$$S^2 + [1/T_m + T_2 K_p K_v K_m / 2T_1 T_m] S + K_p K_v K_m / 2T_1 T_m = 0 \quad (9)$$

이고 standard form과 비교하면 다음 관계식이 나온다.

$$2\xi\omega_n = [1/T_m + T_2 K_p K_v K_m / 2T_1 T_m] \quad (10)$$

$$\omega_n^2 = K_p K_v K_m / 2T_1 T_m \quad (11)$$

식 8, 식 9에 의해 근궤적을 그리면 그림 10의 (b)와 같으므로 근이 S-plane의 좌반 평면에 존재하여 이 계통은 항상 안정하다.

이상 PLL 제어방식의 설계 기준을 제시했다. 원하는 동적응답 및 overshoot을 얻기 위해 filter type I에서는 식 5, 식 6에 의해, filter type II에서는 식 10, 식 11에 의해 각 필터의 시정수를 결정함으로써 감쇄율(damping factor) ξ 및 자연 각주파수 ω_n 을 결정한다.

4. 실험결과 및 고찰

본 실험에 사용한 전동기는 1/2HP, 2 pole, 60HZ인

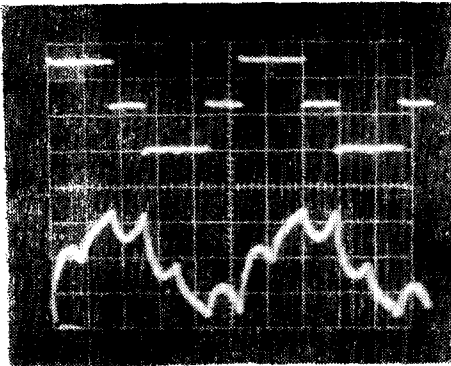


그림 11. 인버터출력파형
(上) 선간전압 (下) 선전류
Fig. 11. Inverter output waveform

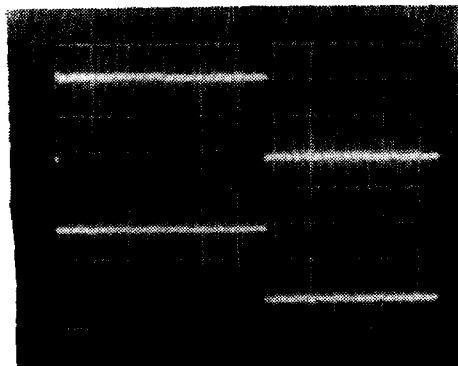


그림 12. Encoder 출력파형
(上) Photo TR.검출파형 (下) 정형파형
Fig. 12. Encoder output waveform

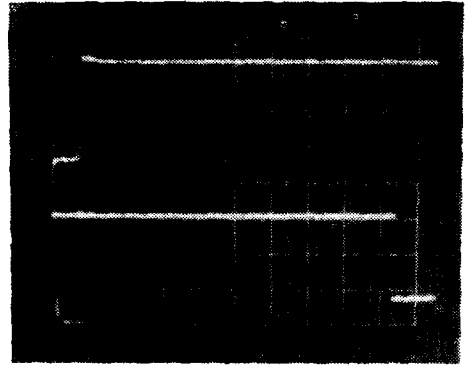


그림 13. PFD보조회로의 출력파형
Fig. 13. Output waveform of PFD auxiliary circuit

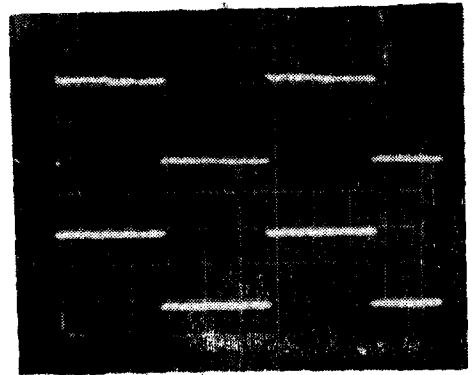


그림 14. System lock시의 파형
Fig. 14. Waveform of system lock

3상 유도전동기이고, 각 gain은 다음과 같다.

$$K_p = 0.4 [v/rad] \quad K_v = 100 [rad/v]$$

$$K_m = 9.2 \times 10^{-3} \quad T_m = 1.67$$

그림 11~14는 본 실험에 사용한 각 회로의 동작 파형이다.

본 실험에서는 기준 주파수 변경에 따라 전동기 속도의 응답상태를 측정하기 위해 LPF의 출력 전압을 측정하였는데, filter type 및 시정수 가변에 따른 damping ratio 및 응답속도의 측정결과는 그림 15~19와 같다.

4.1 Filter Type I

1) $K_1 = 22 \times 10^{-3}$ 일때

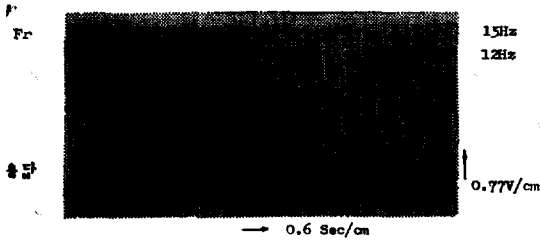


그림 15
Fig. 15

2) $K_1=44 \times 10^{-3}$ 일 때

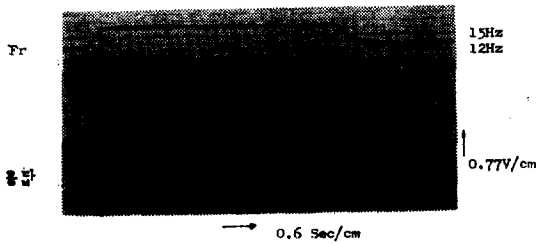


그림 16
Fig. 16

4.2 Filter Type II

1) $T_1=22 \times 10^{-3}$, $T_2=15.5 \times 10^{-3}$ 일 때

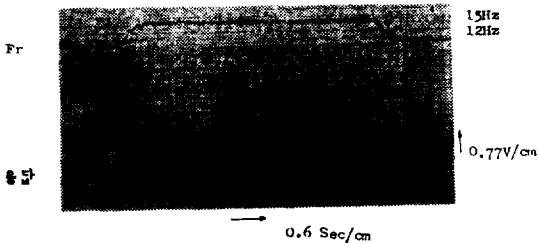


그림 17
Fig. 17

2) $T_1=22 \times 10^{-3}$, $T_2=2.2 \times 10^{-3}$ 일 때

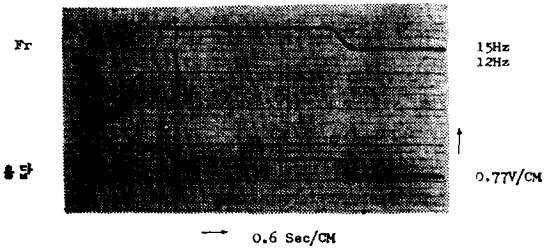


그림 18
Fig. 18

3) $T_1=125 \times 10^{-3}$, $T_2=2.2 \times 10^{-3}$ 일 때

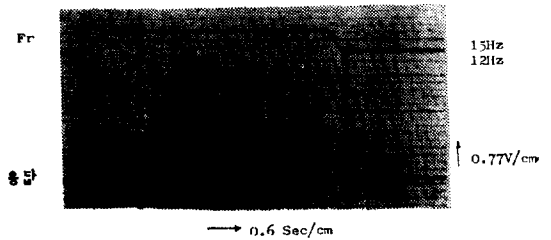


그림 19
Fig. 19

실험결과 기준 주파수 변동에 의한 전동기 속도응답은 어떠한 조건에서도 안정하게 lock됨을 볼 수 있었다.

Filter type I은 식 5, 식 6에 의해, filter type II는 식 10, 식 11에 의하여 filter type 및 시정수가 변에 따라 전동기 속도응답이 결정된다. 이 시정수에 따른 응답파형이 그림 15~19이다. 여기서 기준 주파수를 하강시켰을때의 응답은 이론해석과는 달리 상승시 보다 훨씬 적은 overshoot과 빠른 응답속도로 lock되었는데, 이는 inverter출력 주파수가 급강하하여 전동기의 동기속도가 회전속도보다 적게 됨으로써 전동기에 제동이 걸린 상태가 되는 영향으로 생각된다.

5. 결 론

본 연구에서는 이론적 model을 중심으로 filter type에 따른 응답을 제시하여 계통에 따른 최적 loop인택과 바라는 동특성을 설정하기 위한 기준을 제시했다. 종래의 PLL 제어방식에 PFD보조회로 및 부가회로를 첨가함으로써

- 1) 보다 쉽게 lock시킬 수 있었고
- 2) 속도 검출시의 오차를 제거하였으며,
- 3) 시정수에 따른 필터의 정상 오차를 줄일 수 있는 PLL 제어방식을 구성할 수 있었다. 이의 오차는 analog switch를 사용함으로써 어느 정도 줄일 수 있었는데, digital filter를 사용한다면 보다 나은 효과를 얻을 것으로 생각한다.

또한 본 PLL 제어방식을 유도전동기에 적용함에 있어 주파수와 함께 전압을 가변하여 자속 Φ 를 제어하는 최적 효율 운전이 기대된다.

参 考 文 獻

- [1] A W Moore; "Phase locked loops for motor speed control", IEEE Spectrum, VOL. 10, p. 61 April 1973.
- [2] DM Smithgall; "A phase locked loop motor control system", IEEE Trans. VOL. IECI 22, NO. 4, p. 487, November 1975.
- [3] R. Moffat, Paresh C. Sen, R. Rounker and Mohamed M. Bayoumi; "Digital phase locked loop for induction motor speed control", IEEE Trans., VOL. 1A-15, NO. 2, pp. 176~182 Mar/Apr. 1979.
- [4] Naresh K. Sinha, Norman H. Bailey; Speed control of a DC servo motor using phase locked loop: some test results of a practical design", IEEE Trans. VOL. IECI-23, NO. 1, pp. 22~26, February 1976.
- [5] Jacob Tal; "Speed control by phase-locked servo systems-new possibilities and limitations", IEEE Trans. VOL. IECI-24, NO. 1, pp. 118~125, February 1977.
- [6] Nasar; "Electromagnetic energy conversion devices and systems", prentice-Hall, Inc. 1970, pp. 268~277.
- [7] Garth Nash; "Phase-locked loop design fundamentals", AN535 Motorola Semiconductor Products Inc.