

● 特輯 ● 自動制御

KIM - 1 Microcomputer를 이용한 Low-Cost Image Processor

設計에 관하여

柳 根 浩*

■ 차례 ■

1. 序論
2. 設計

3. 結論

1. 序論

最近 우리나라에도 digital image processing에 대한 연구가 활발이 진행되고 있다. 또한 digital image processing의 生體工學에의 應用도 괄목할 만하다. 이러한 연구와 응용에 도움이 되고자 microcomputer를 利用한 image processor設計의 實例를 기술하고자 한다. 이 設計는 목적 image를 stationary image로 가정하여 TV카메라의 映像신호를 sample하여 computer 기억 장치에 저장하므로 가격이 저렴하게 된다. 이러한 장치로서는 DMA연결(Direct Memory Access interface)을 사용하여 빠른 data transfer를 달성할 수 있다. Digital image processing系는 그림 1에 보인 바와 같이 기본적으로 microcomputer가 TV카메라와 TV모니터에 연결된 구조를 하고 있다. Computer가 기억 장치에 저장된 data를 처리하여 필요한 정보를 얻게 된다. 이러한 data 처리를 하므로서 image를 사용자가 해석하기 쉽도록 image質을 向上시키거나 computer가 image를 認識하게 한다. 이와같이 처리된 image는 TV모니

터를 통해서 볼 수 있다. 본지에서는 256×256 個의 pixel들로 이루어지고, 각개의 pixel은 4個의 bit로 구성된 image processor의 설계를 기술한다.

2. 設計

TV카메라가 scan하는 속도로 sample하기 위해서는 computer 기억 장치의 속도가 빠른것이어야 한다. 그러나 이 설계에서는 stationary image를 처리하므로 한 image는 카메라 신호의 4개의 frame을 사용하여 기록될 수 있다. 이경우에 매 frame당 카메라 신호는同一하다고 가정한다. 따라서 속도가 다소 느린 기억 장치 및 부품을 사용하여 가격이 저렴한 image processor를 설계할 수 있다.

기록된 scene을 TV모니터에 나타내기 위해서는 모든 sample된 data가 한 frame에 전송되어야 화면의 혼들림을 제거할 수 있다. Recording에서와 같은 기억 장치의 속도저하를 얻기 위해서 parallel architecture를 사용한다. 설계는 각각의 memory access시간에 4개의 분리된 data bus로 8개의 점을 얻어서 한 위치에 2 pixel 쪽으로 되어 있다. 이 DMA연결은 computer제어에 의해서 작동한다. Computer에 의해서 시작되면, DMA연결은 영상을 기록하거나 또는 표시하기 위해서 data bus와 address bus를 제어한다. 이런 data bus와 address bus가 그림 2에 표시되어 있다. DMA연결은 tri-state 출력 회로를 사용하여 computer를 분리하고 기억 장치 bus로 전자적으로 스위치된다. 그렇지만 computer는 DMA연결이 data를 이동하는 동안에도 8K memory로 접근이 가능하다. 따라서 DMA가 실시 중

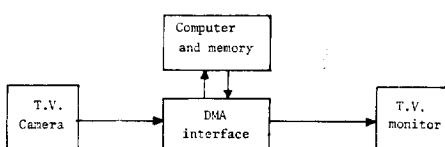


그림 1. Digital image processing system의 구성도

* 正會員：陸軍士官學校 教授部 電子工學科 教授

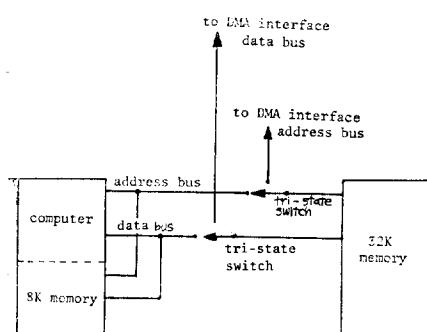


그림 2. Address and data bus structure for direct memory access

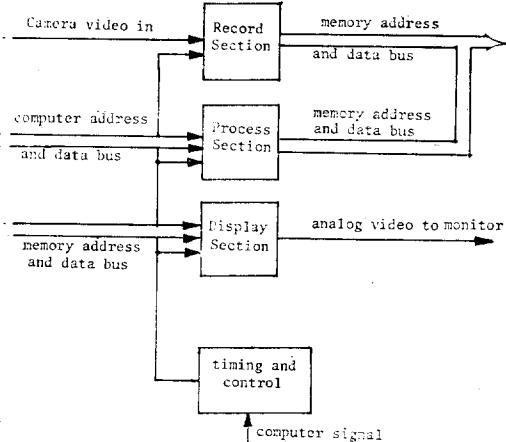


그림 3. DMA section의 블럭선도

일자라도 computer는 제어 프로그램을 시행할 수 있다. DMA연결의 블럭선도가 그림 3에 표시되어 있다. 각 부분에 대하여 좀더 상세히 기술해 본다.

그림 4는 record section의 블럭선도이다. 이 section은 동작이 가능해지면, sample된 data를 32K 주기억 장치에 넣는다. 4개의 이들 8K 기억 장치들은 4개의 분리된 data bus들로 동시에 작동된다. Control section에서 만들어지는 펄스 즉 sample 1이 data점을 얻게 한다. 한 장면을 기록하기 위하여 4개의 frame들이 필요하다. 그림 5에 보인 바와 같이 어떤 frame에서 수집된 sample점이나 인접 frame들과의 차이로 200ns만큼 떨어지고 이것은 sample 1을 지연시켜서 가능하다. 이러한 반복 scanning방법으로 속도가 느린 기억 장치의 사용이 가능하게 된다. data가 저장될 위치는 어떤 8K 기억 장치가 strobe되는 가에 따라서 결정된다. Frame counter를 해독하므로 한 frame동안 기록된 data는

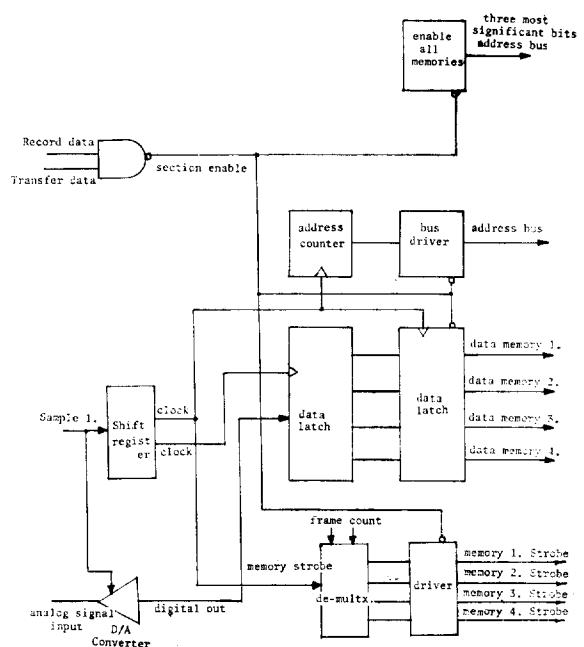


그림 4. Record section의 블럭선도

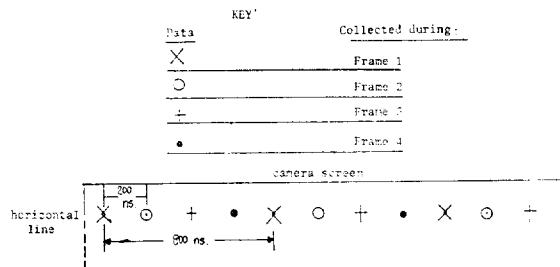


그림 5. Data points collected on segment of a scanned horizontal line after four frames

같은 8K 기억 범위내에 기록되게 된다. 이러한 구조는 display section으로하여금 순차적으로 sample점을 얻을 수 있게 한다. sample 1신호가 shift register에 가해지면, 이 shift register는 계속해서 논리 1을 내보내게 된다. 이 논리 1이 address 계수기, data latch, 그리고 기억 장치 strobe를 memory의 timing요구를 만족시키도록 올바른 순서대로 clock신호를 주게 된다. Record section은 4개의 frame을 기록한 후에 bus 쪽에 기능을 computer에 되돌려 준다.

그림 6은 display section block diagram이다. 한 frame기간에 이 section은 저장된 영상을 보기위해서 TV monitor로 모든 data를 내보내며 이것은 parallel

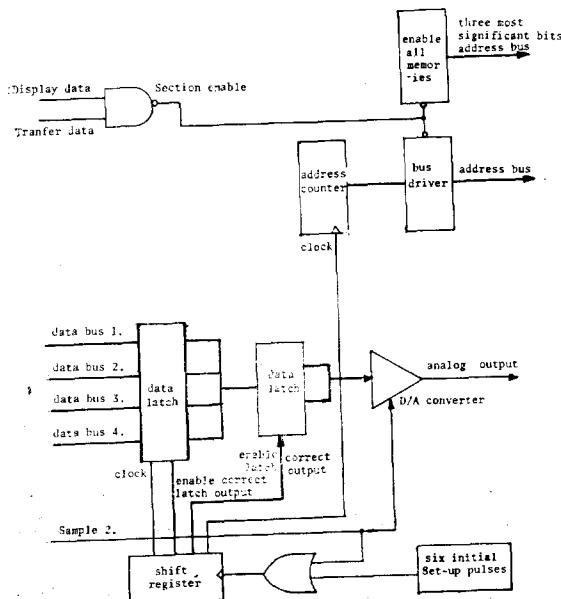


그림 6. Display section의 블럭선도

architecture를 사용하여 가능하게 된다. 4개의 분리된 data bus로 4개의 8K 기억 장치들을 연결시켜서 매 기억 장치 접근 시간동안에 한 위치 당 2개의 pixel, 즉 8개의 data 점을 얻게된다. Control section에서 만들어진 sample신호가 shift레지스터에 clock신호로 가해주므로 display section이 동작한다. 이 shift 레지스터는 연속적으로 논리 1을 순환시킨다. 이 논리 1이 번지계수기를 증가시키며, 해당된 latch를 작동시키며 data bus에 clock 신호를 준다. 영상을 보기 위해 sample신호가 도달하기 전에 기준 data 점들이 TV monitor에 보내져야 한다. 이 section이 처음 동작될 때 D/A 변환기 입력에 기준점이 없으므로, 6개의 기본준비신호(six initial set-up pulses)가 sample신호가 도착하기 전에 display section을 준비시킨다. 이 display section은 computer가 동작을 중지 시킬 때 까지 동작을 계속하게 된다.

Control section은 그림 7에 보인 바와같이 record와 display section을 위해서 sample 1과 sample 2를 만든다. Sample 신호는 모든 수평 line에 256개의 펄스를 200ns간격으로 공급한다. 기록할때는 비교기가 매 frame마다 sample 1신호를 생성하게 된다. 이것은 sampling발진기를 frame counter에 비교함으로써 가능하다.

TV는 그림 8에 보인 바와같이 even field와 odd

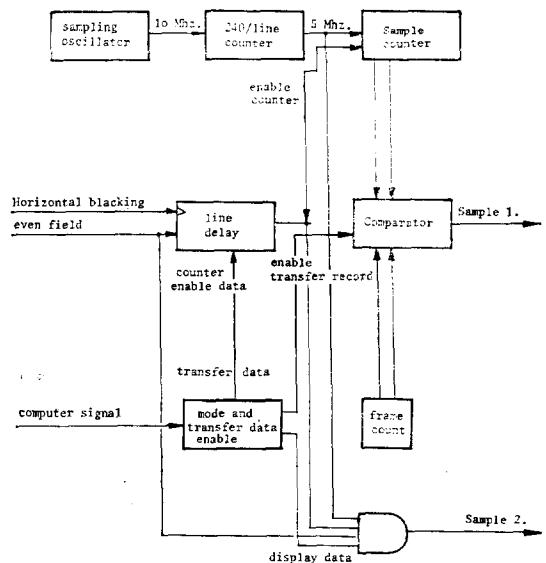


그림 7. Control section의 블럭선도

field로 이루어진 inter-lace scanning이므로, data의 이동은 한 frame의 even field에서만 이루어진다. Control 계수기는 data이동이 시작되기전에 지정된 숫자의 수평선을 지연시키는 역할을 한다.

DMA가 data를 이동하지 않을때는 processing section이 computer data bus를 기억 장치에 연결한다. 이런 경우에는 computer는 DMA연결을 고려하지 않고 data를 분석하게된다. 이 processing section은 벤치가 computer 벤치 bus에 도착하면, 해당된 번지수를 갖는 8K 기억 장치에 computer data bus를 연결하게 된다. 이 설계에서는 이 4개의 8K 기억 장치는 KIM-1 computer의 64K 번지 영역내의 32K 중 어디에나 위치 할 수 있게 되어있다. S0와 S1으로 표시된 두개의 스위치가 32K의 위치를 지정해준다. 따라서 지정된 번지수의 기억 장치를 결정하기 위해 processing section은 S0와 S1, 그리고 벤치 bus의 상위 3bit를 해독해야만 한다. 이것

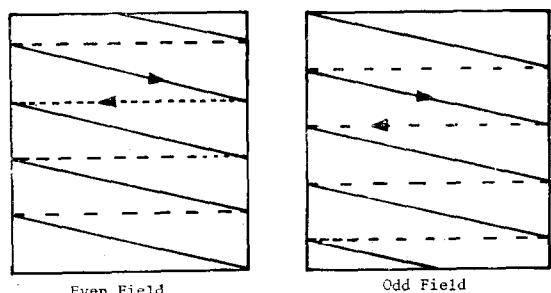


그림 8. The two fields of a frame

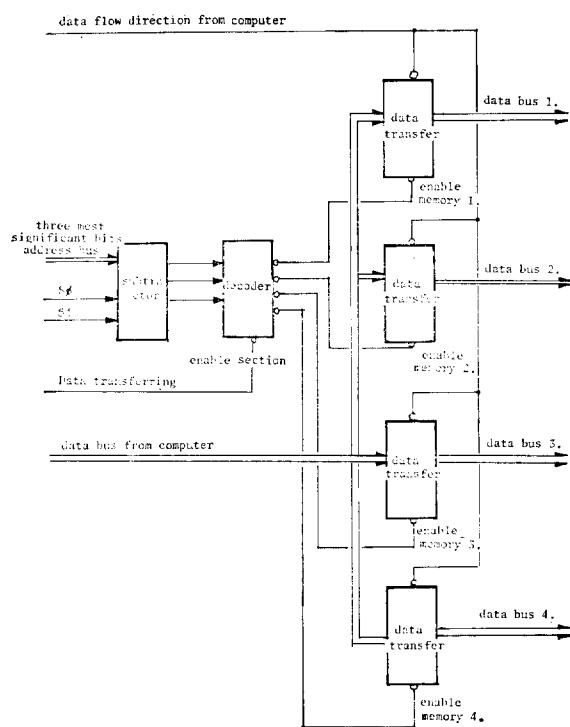


그림 9. Processing section의 블럭선도

은 그림 9에 보인 감산기와 해독기의 알고리즘으로 이루어진다.

3. 結論

DMA연결을 동작시키기 위해서 제어 프로그램이

micro-processor board에 위치한 처음 8K 기억 장치에 저장되어야 한다. 이 제어 프로그램이 DMA연결과 기억 장치 사이의 data이동을 이루어지게 하며 data이동이 없으면 DMA연결은 다른 프로그램 수행에 아무런 영향도 미치지 않는다. 이 장치는 입력으로서 아날로그 영상신호, 수평 blanking펄스, 수직 blanking펄스가 필요하며, 또한 even field의 구별이 필요하다. 이러한 신호들은 sync. generator나 혹은 sync. separator를 통해서 얻을 수 있다. TV monitor에 영상을 재현하기 위해서는 이러한 timing 신호를 다시 아날로그 출력에 넣어 주어야 한다.

参考文献

- [1] KIM-1 Users Manual; MOS Technology, Inc., Norristown, PA, Aug., 1976.
- [2] MCS 6500 Microcomputer Family Hardware Manual, MOS Technology, Inc., Norristown, PA, Jan., 1976.
- [3] MCS 6500 Microcomputer Family Programming Manual, MOS Technology, Inc., Norristown, PA, Jan., 1976.
- [4] Ryoo, Keun-Ho; "An automated image processing system to measure pupil size from video tape recorded images", Proceedings of the Association for the Advancement of Medical Instrumentation 16th Annual Meeting, p. 84, May 10~13, 1981, Washington D.C.

會員動靜

池哲根 會員(副會長)은 日本 東京에서 開催된 고충전물 기술세미나에 參席후 歸國
(12月 16日~12月 21日)

鄭然澤 會員(理事)은 文教部 주관 學生處長團 海外視察로 東南亞 순방 후 歸國
(12月 16日~12月 27日)

申芝洙 會員(監事)은 大田支部 總會에 參席후 歸京(11月 28日)

姜明植 會員은 大田支部 支部長으로 貼선

崔元銀 會員은 電氣材料研究會 幹事長으로 貼선