

# 트랜지스터의 스위칭 특성과 IC化 할 수 있는 발진회로 (Switching Characteristics of Transistor & IC-Version of Oscillator)

金 慶 熙 \*  
(Kim, Kyung -Hee)

## 要 約

多段스위칭 회로를 구성하고 있는 트랜지스터의 스위칭 동작을 베이스전압과 단위 스텝 응답함수의 특성을 고려하여 해석 하였으며 트랜지스터의 蓄積時間을 고려하면 트랜지스터를 時間遲延素子로 간주할 수 있다고 보고 이를 이용하여 IC化 할 수 있는 시간지연 회로 및 발진회로를 제시하였다.

## Abstract

This paper dealt with an oscillator which can be integrated and the switching characteristics of the transistor as a component of multistage switching circuits. The switching characteristics were analyzed by utilizing the base voltage and the characteristics of the unit step function. Taking the storage time of the transistor into consideration, the transistor is considered as a time delay device, and an integrable time delay circuit and an oscillator are realized.

### 記號

- $C_C$  : 콜렉터 용량
- $I_{Cf}$  : 콜렉터 차단전류
- $I_{CS}$  : 트랜지스터가 포화되는 순간의 콜렉터 전류
- $I_{BS}$  : 트랜지스터가 포화되는 순간의 베이스 전류
- $I_{Bm}$  : 베이스 포화전류
- $V_{BS}$  : 트랜지스터가 포화 되었을 때의 베이스-에미터 전압
- $V_{bc}$  : 트랜지스터가 off 상태일때의 베이스-에미터 전압
- $f_T$  : CE 短絡電流 利得-帶域幅-積 (CE short-circuit current-gain-bandwidth)
- $\tau_s$  : 蓄積時定數 (storage time constant)
- $\tau_f \equiv h_{FE} (1/2\pi f_T + C_C R_C)$

### 1. 序 論

트랜지스터의 蓄積時間<sup>[1-6]</sup> (Storage time)은 트랜지스터가 포화영역에서 동작 할 때 베이스 영역에 蓄積되었던 過剩小數캐리어가 방전 하는데 필요한 시간<sup>[3-6]</sup>으로 Ebers와 Moll<sup>[1-2]</sup>은 에미터에서 흡수되는 전류와 콜렉터에서 방출되는 전류가 零이 되는 순간까지를 蓄積時間이라 정의한 바 있다.

트랜지스터의 蓄積時間을 줄이기 위하여 에피택셜 성장법 (epitaxial growth) 혹은 lifetime-Killer doping technology 등의 방법으로 蓄積時定數가 (storage time constant) 작은 트랜지스터를 만들거나 LSD technique 또는 쇼트키 베리어 다이오드를 사용하는 방법등의 노력<sup>[8-10]</sup>이 오래 전부터 시도되어 왔으나 근래에 발표된 문헌에서는 부저항 회로, 時間遲延回路 (time delay circuit), 주파수 2체배기 등을 실현하기 위하여 캐리어 蓄積效果 (carrier storage

\* 正會員, 동양공업전문대학 전자과  
(Dept. of Electronics Dong-Yang Tech. J. College)  
接受日字: 1980年 7月 19日

effect)를 이용 하려는 노력<sup>[11~16]</sup>도 많이 시도되고 있다.

본 연구에서는 트랜지스터의 스위칭 시간을, 베이스 단자의 전압을 변수로 도입하고, 콜렉터 전류 변화가 포화영역과 활성영역에서 다르다는 점 및 unit step function의 특성을 고려하여, 계산함으로써 多段스위칭 회로(multistage switching circuit)를 구성하고 있는 트랜지스터의 축적시간을 계산 할 수 있는 방법을 찾고자 시도 하였으며, 트랜지스터의 축적시간을 고려한다면 트랜지스터를 시간지연소자로 看做할 수 있다고 보고 이를 이용하여 IC化 할 수 있는 구형과 발진회로를 구성하고자 시도하였다.

본 연구에서 제안한 발진 회로는 인버터 회로의 출력이 時間遲延回路에 의해서 입력으로 귀환 되도록 설계 되었으며, 시간지연 회로는 저항값에 의해서 單位遲延回路의 遲延時間이 결정되며, 단위지연회로의 개수가 지연회로의 지연시간을 결정하기 때문에, 필요로 하는 발진 주파수는, 저항값 및 단위지연회로의 개수를 적절히 선정 함으로서, 쉽게 구할 수 있으리라 본다.

2. 理 論

그림 1의 회로에서  $N_1, N_2$ 는 受動4端子網(passive four terminal network)으로서 A, B, C, D는 주파수에 無關(frequency independent)한 값을 갖는다고 가정 한다. 입력  $V_S(t)$ 가 충분히 큰 구형파이며,  $V_S(t)$ 의 전압강하 시간이  $Q_1$ 의 축적시간 보다 작다고 하면,  $Q_1$ 의 전류강하는 입력이 스텝<sup>4)</sup>인 경우와 같다고 볼 수 있으므로,  $t=0$ 인 순간부터 전류강하가 시작되었다면

$$i_{c1}(t) = I_{cf1} + [I_{cs1} - I_{cf1}] \exp(-t/\tau_f) \cong I_{cs1} \exp(-t/\tau_f) \dots (1)$$

와 같은 관계를 얻을 수 있다.  $Q_1$ 의 출력 임피던스가  $R_{L1}$ 에 비해 충분히 크다면, 테브난의 정리에 의해 그림 2와 같은 등가회로를 얻을 수 있으며

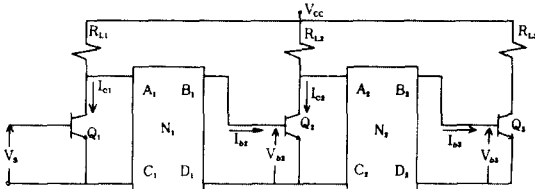


그림 1. 多段스위칭회로  
Fig. 1. Multistage switching circuit.

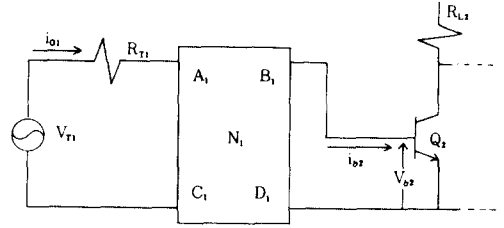


그림 2. 그림 1의 등가회로  
Fig. 2. Equivalent circuit of Fig 1.

$$V_{T1} = V_{cc} - I_{cs1} R_{L1} \exp(-t/\tau_f) \\ R_{T1} \cong R_{L1} \dots (2)$$

와 같은 관계를 만족한다. 그림 2의 회로에서

$$\begin{bmatrix} V_{T1} \\ i_{o1} \end{bmatrix} = \begin{bmatrix} 1 & R_{T1} \\ 0 & 1 \end{bmatrix} \begin{bmatrix} A_1 & B_1 \\ C_1 & D_1 \end{bmatrix} \begin{bmatrix} V_{b2} \\ i_{b2} \end{bmatrix}$$

와 같은 관계가 성립하므로

$$i_{b2} = \frac{V_{T1}}{B_1 + D_1 R_{T1}} - \frac{(A_1 + C_1 R_{T1})}{B_1 + D_1 R_{T1}} V_{b2} \dots (3)$$

의 관계를 얻을 수 있으며,  $V_{b2}$ 를

$$V_{b2} = V_{BS2} - V_{be2}(t) \dots (4)$$

와 같이 표현 한다면  $V_{be2}(t)$ 는  $Q_2$  베이스 전압의 시간적 변화를 나타낸다.

따라서  $i_{c2}(t)$ 는

$$\frac{di_{c2}(t)}{dt} + \frac{i_{c2}(t)}{\tau_f} = \frac{\beta}{\tau_f} i_{b2}(t) \dots (5)$$

의 관계<sup>[6]</sup>와 식(2), (3), (4) 및 초기조건

$$i_{c2}(0) = I_{cf2} \cong 0$$

에 의해서

$$i_{c2}(t) = I_{B0} [1 - (1 + mt) \exp(-t/\tau_f)] + \exp(-t/\tau_f) [\int V_{be2}(t) \exp(t/\tau_f) dt + C] \dots (6)$$

$$\text{단; } I_{B0} = \frac{\beta[V_{CC} - V_{BS}(A_1 + C_1 R_{L1})]}{B_1 + D_1 R_{L1}}$$

$$m = \frac{I_{cs1} R_{L1}}{\tau_f [V_{CC} - V_{BS}(A_1 + C_1 R_{L1})]}$$

C ; 적분상수

와 같이 구할 수 있으며,  $V_{ce}(t)$ 의 변화가 극히 짧은 시간 내에 이루어 진다면 식(6)의 2번째 항에 의한 변화는 무시 될 수 있으므로

$$i_{c2}(t) \cong I_{B0} [1 - (1 + mt) \exp(-t/\tau_f)] \dots\dots (7)$$

와 같은 관계를 얻을 수 있다.

식(5)는 그림 3과 같이  $Q_2$ 가 활성영역에서 동작 할 때만 적용 될 수 있으며,  $t = t_r$  일때  $i_{c2}(t) = I_{CS2}$ 가 되었다면  $t > t_r$  일때  $Q_2$ 가 포화영역에서 동작하므로  $i_{c2}(t)$ 의 변화는 식(7)과 같은 관계를 만족 한다고 볼 수 없다. 포화영역에서  $i_{c2}(t)$ 의 변화를 무시 할 수 있다면  $t > t_r$  일때,  $i_{c2}(t) \cong I_{CS2}$ 가 되기 때문에  $t > 0$  일때 식(7)은

$$i_{c2}(t) = I_{B0} [1 - (1 + mt) \exp(-t/\tau_f)] u(t_r - t) + I_{CS2} u(t - t_r) \dots\dots\dots (8)$$

와 같이 교정되어야 한다.

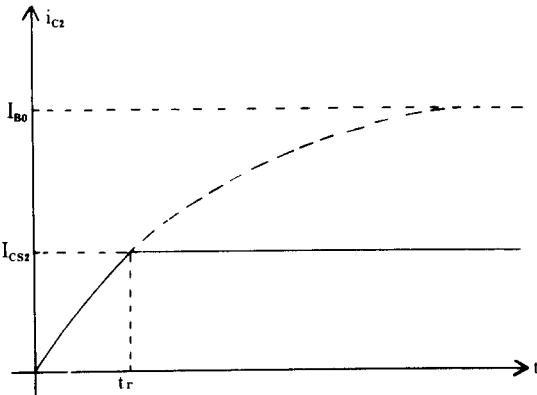


그림 3. 콜렉터 전류의 스위칭 파형  
Fig. 3. Waveform of collector current.

2-2' 단자에서 테브난의 정리를 적용하여 앞에서 계산한 방법과 같이 계산하면

$$V_{T2} = V_{CC} - i_{c2}(t) R_{L2}$$

$$R_{T2} \cong R_{L2} \dots\dots\dots (9)$$

와 같은 관계를 구할 수 있으며

$$u(t - t_r) = 1 - u(t_r - t) \dots\dots\dots (10)$$

의 관계가 성립하고  $Q_3$ 가 포화영역에서 동작 할때  $V_{b3}(t) = V_{BS}^{[3]}$  이므로

$$i_{b3}(t) = I_D + I_E u(t_r - t) - I_F [1 - (1 + mt) \exp(-t/\tau_f)] u(t_r - t) \dots\dots\dots (11)$$

$$\text{단 ; } I_D = \frac{V_{CC} - I_{CS2} R_{L2} - V_{BS3} (A_2 + C_2 R_{L2})}{B_2 + D_2 R_{L2}}$$

$$I_E = \frac{I_{CS2} R_{L2}}{B_2 + D_2 R_{L2}}$$

$$I_F = \frac{I_{B0} R_{L2}}{B_2 + D_2 R_{L2}}$$

와 같은 관계를 얻을 수 있으며 축적 시간  $t_s$  는

$$I_{BS} = \exp(-t_s/\tau_s) \left[ \frac{1}{\tau_s} \int_0^{t_s} i_{b3}(t) \exp(t/\tau_s) dt + I_{Bm3} \right] \dots\dots\dots (12)$$

$$\int_0^{t_s} f(t) u(t_r - t) dt = \int_0^{t_r} f(t) dt \dots\dots\dots (13)$$

의 관계<sup>[3]</sup>와 식(11)에 의해서

$$t_s = \tau_s \ln \frac{I(t_r) - I_D + I_{Bm3}}{I_{BS} - I_D} \dots\dots\dots (14)$$

$$\text{단 ; } I(t_r) = (I_E - I_F) \left[ \exp(t_r/\tau_s) - 1 \right] + \frac{\tau_f I_F}{\tau_f - \tau_s} \left[ 1 - \frac{\tau_f \tau_s m}{\tau_f - \tau_s} \right] \left[ \exp\left(\frac{\tau_f - \tau_s}{\tau_s \tau_f} t_r\right) - 1 \right] + \frac{m \tau_f I_F}{\tau_f - \tau_s} t_r \exp\left(\frac{\tau_f - \tau_s}{\tau_s \tau_f} t_r\right)$$

와 같은 관계를 얻을 수 있다.

$t > t_s$  일때는  $Q_3$ 가 활성영역에서 동작하며  $i_{c3}(t)$ 의 변화는,  $t_s > t_r$  일때,  $t' = t - t_s$ 와 같은 시간적 지연을 고려한다면, 식(1)과 같은 변화를 기대 할 수 있다.

### 3. 時間遲延回路

그림 4의 회로는 저자가 제시한 시간지연회로이며  $S_1$ 는 單位遲延回路를 나타낸다. 트랜지스터의 특성이 모두 같으며, 축적시간이 콜렉터 전압강하 시간보다 크고, 입력펄스의 폭이 충분히 크다고 가정하기로 한다.

$Q_1$ 이 off,  $Q_2$ 가 on 상태 일때 靜의狀態에서  $V_{be1}(t) = V_0(t) = V_{BC}$ ,  $i_{b1} \cong 0$  라면  $Q_2$ 의 콜렉터 포화전

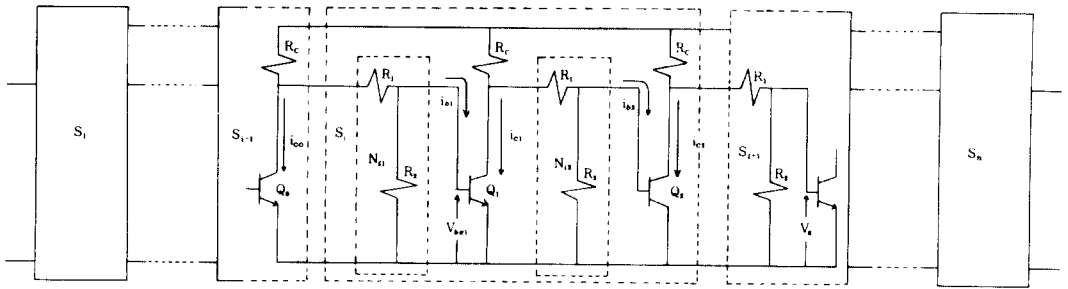


그림 4. 시간지연회로  
Fig. 4. Time delay circuit.

류 및 베이스 포화전류는

$$I_{CS2} \cong \frac{V_{CC}}{R_C} - \frac{(R_1 + R_2 + R_C)}{R_2 R_C} V_{BC}$$

$$I_{BM2} \cong \frac{V_{CC}}{R_1 + R_C} - \frac{(R_1 + R_2 + R_C)}{R_2 (R_1 + R_C)} V_{BS} \dots\dots\dots (15)$$

와 같은 관계를 만족하며  $Q_2$  와  $Q_1$  이 같은 조건에서 동작하기 때문에  $Q_1$  의 포화 전류도 식(15)와 같

이 주어 진다.  $N_{11}$  과  $N_{12}$  는 같은 회로망이며 4 단자 정수 값은

$$A = 1 + \frac{R_1}{R_2}, \quad B = R_1$$

$$C = \frac{1}{R_2}, \quad D = 1 \dots\dots\dots (16)$$

와 같으므로  $Q_1$  및  $Q_2$  가 turn-on 동작을 할 때 컬렉터 전류의 변화는 식(7), (15), (16)에 의해서

$$i_c(t) = \beta I_{BM2} \left[ 1 - \left( 1 + \frac{\eta t}{\tau_f} \right) \exp(-t/\tau_f) \right] \dots\dots (17)$$

$$\text{단; } \eta = \frac{I_{CS} R_2 R_C}{V_{CC} R_2 - V_{BS} (R_1 + R_2 + R_C)}$$

와 같이 구할 수 있으며 식(17)에서  $t = t_r$  일때  $I_c(t) = I_{CS2}$  가 된다면 식(14)(15), (16)에 의해서 蓄積時間  $t_{SQ}$  는

$$t_{SQ} = \tau_S I_n \frac{I(t_r) - I_D + I_{BM2}}{I_{BS} - I_D} \dots\dots\dots (18)$$

$$\text{단; } I_{BS} = I_{CS2} / \beta$$

$$I_D = I_{BM2} \frac{I_{CS2} R_C}{(R_1 + R_C)}$$

$$I(t_r) = \frac{R_C}{R_1 + R_C} \left[ (I_{CS2} - \beta I_{BM2}) \left\{ \exp(t_r/\tau_S) - 1 \right\} \right. \\ \left. + \frac{\tau_f}{\tau_f - \tau_S} \beta I_{BM2} \left( 1 - \frac{\eta \tau_S}{\tau_f - \tau_S} \right) \left\{ \exp\left( \frac{\tau_f - \tau_S}{\tau_f \tau_S} t_r \right) - 1 \right\} \right. \\ \left. + \frac{\eta \beta I_{BM2}}{\tau_f - \tau_S} t_r \exp\left( \frac{\tau_f - \tau_S}{\tau_f \tau_S} t_r \right) \right]$$

와 같이 구할 수 있다.

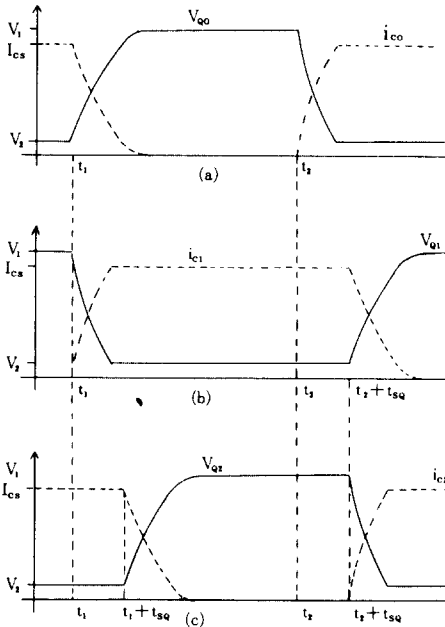


그림 5.  $V_1 \cong V_{CC} - (R_C/R_2) V_{BS} - I_{BM2} R_C$ ,  
 $V_2 \cong V_{CC} - I_{CS} R_C - (R_C/R_2) V_{BC}$ .  
(a), (b), (c);  $Q_0, Q_1, Q_2$  의 컬렉터 전압 및 전류 파형

Fig. 5.  $V_1 \cong V_{CC} - (R_C/R_2) V_{BS} - I_{BM2} R_C$ ,  
 $V_2 \cong V_{CC} - I_{CS} R_C - (R_C/R_2) V_{BC}$ .  
(a), (b), (c); Waveform of collector current and voltage of  $Q_0, Q_1, Q_2$ .

회로의 동작은 다음과 같이 설명 할 수 있다.

입력펄스의 영향으로, 그림 5와 같이,  $t = t_1$  인 순간부터  $Q_0$ 가 포화영역에서 벗어나 활성영역에서 동작하기 시작 하였다면  $Q_0$ 의 콜렉터 전류는 식(1)과 같이 변화하고  $Q_1$ 의 콜렉터 전류는 식(17)과 같은 변화를 시작한다.  $Q_1$ 의 변화에 의해서  $Q_2$ 는 식(18)과 같이 표현되는  $t_{sQ}$ 만큼의 시간적 遲延이 있는 후부터 활성영역에서 동작을 시작하기 때문에  $Q_2$ 의 콜렉터 전류는  $t = t_1 + t_{sQ}$ 인 순간부터 식(1)과 같은 변화를 시작한다.

$t = t_2$ 인 순간부터  $Q_0$ 가 식(17)과 같은 콜렉터 전류변화를 시작한다면,  $Q_1$ 은  $t_{sQ}$ 만큼의 지연이 있는 후부터 활성영역에서 동작을 시작하므로  $Q_1$ 의 콜렉터 전류는  $t = t_2 + t_{sQ}$ 인 순간부터 식(1)과 같은 변화를 시작하고  $Q_2$ 는  $Q_1$ 의 전류변화에 의해서  $t = t_2 + t_{sQ}$ 인 순간부터 식(17)과 같은 콜렉터 전류변화를 일으킨다.

따라서 단위시간지연회로는 입력펄스의 turn-on 또는 turn-off 동작을 구별하지 않고 일정한 시간  $t_{sQ}$ 만큼의 시간지연을 나타내며 회로 전체의 지연시간  $T_s$ 는

$$T_s = nt_{sQ} \dots\dots\dots (19)$$

와 같이 주어진다.

4. IC化 할 수 있는 구형파 발진회로

그림 6-a는 저자가 제시한 IC化 할 수 있는 구형파 발진회로의 블록(Block)도로서, S는 지연시간이  $T_s$ 인 시간지연회로이며, I는 인버터 회로이고 I의 출력이  $T_s$ 만큼의 시간적인 지연이 있는 후 I의 입력에 귀환 되도록 설계 되어 있다.

회로의 동작은 다음과 같이 설명 할 수 있다.  $t = 0$ 일때 I의 출력이 ON상태가 되었다면,  $T_s$ 만큼의 시간적 지연이 있는 후 S의 출력이 ON상태로 되기

때문에 S의 출력에 의해 I의 출력은 off 상태로 된다.

I의 출력이 off 상태로 되면  $T_s$ 만큼의 지연이 있는 후 S의 출력이 off 상태로 되기 때문에 I의 출력은 다시 ON 상태로 된다.

그림 6-b 회로는 그림 6-a를 앞에서 제시한 시간지연회로에 의해서 실현한 회로로서 회로의 동작은 다음과 같이 설명 할 수 있다.

$t = 0$ 인 순간부터  $Q_i$ 가 식(17)과 같은 전류변화를 시작하여  $t > t_r$ 일때  $Q_i$ 가 포화상태로 된다면, 앞에서 설명한 바와 같이,  $Q_1$ 은  $t = t_{sQ}$ 인 순간부터 식(1)과 같은 전류변화를 시작하고  $Q_2$ 는  $t = t_{sQ}$ 인 순간부터 식(17)과 같은 전류변화를 시작한다. 따라서  $Q_2$ 는  $t > t_{sQ} + t_r$ 일때 포화상태가 된다.

단위시간지연회로는 모두  $S_1$ 과 같은 동작을 하므로  $S_n$ 의 출력 트랜지스터  $Q_{2n}$ 은  $t = nt_{sQ}$ 인 순간부터 식(17)과 같은 전류변화를 일으키며  $Q_i$ 는,  $Q_{2n}$ 의 전류변화에 의해서,  $Q_i$ 의 축적시간  $t_{s1}$ 만큼의 지연이 있는 후부터, 즉  $t = nt_{sQ} + t_{s1}$ 인 순간부터, 식(1)과 같은 전류변화를 시작한다.

$Q_i$ 의 변화에 의해서  $Q_{2n}$ 은 다시  $nt_{sQ}$ 만큼의 지연이 있는 후부터, 즉  $t = 2nt_{sQ} + t_{s1}$ 인 순간부터, 식(1)과 같은 전류변화를 시작하고  $Q_i$ 는 다시 식(17)과 같은 전류변화를 시작한다.

따라서 발진주기 T는,  $t_{s1} = t_{sQ}$  이므로,

$$T = t_{s1} + 2nt_{sQ} = (2n + 1) t_{sQ} \dots\dots\dots (20)$$

와 같이 주어진다.

발진조건은 다음과 같이 구할 수 있다. 앞에서 설명한 회로의 동작에서, off 상태에 있던 트랜지스터는 식(17)과 같은 전류변화를 시작하는 순간부터  $nt_{sQ}$ 만큼의 시간적 지연이 있는 후, turn-on 함을 알수 있다.

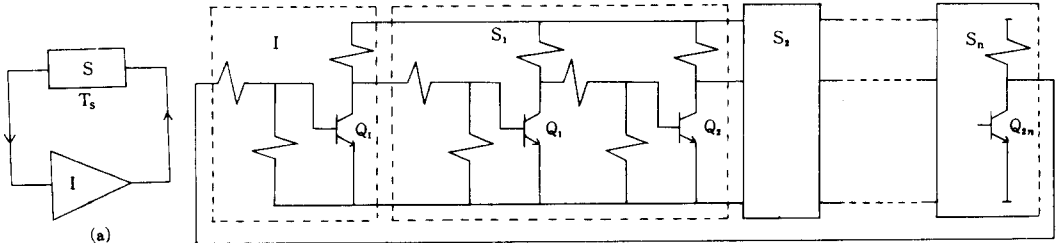


그림 6. (a) 구형파 발진회로의 블록도  
 (b) IC化 할 수 구형파 발진기  
 Fig. 6. (a) Block diagram of square Wave oscillator  
 (b) Integriable oscillator circuit.

turn-on 동작을 시작 할 때 베이스 전류변화는 식 (2), (3), (16) 으로부터

$$i_{b2}(t) = \frac{V_{CC} - I_{CS} R_C \exp(-t/\tau_f)}{R_1 + R_C} - \frac{R_1 + R_2 + R_C}{R_2 (R_1 + R_C)} V_{be} \dots\dots\dots (21)$$

와 같이 구해지며  $i_{b2}(t) > I_{BS}$  일때 베이스영역에 과잉전하<sup>[3]</sup>가 충전되기 시작 한다면, 트랜지스터가 turn-off 되기 전에 포화 영역에서 동작하는 시간  $t_k$ 는

$$t_k = n t_{SQ} - t_m$$

단,  $i_{b2}(t_m) = I_{BS}$

와 같이 주어진다.

이론적 <sup>2)</sup>으로

$$t_k \geq \frac{1}{(1 - \alpha_1) W_1} \dots\dots\dots (22)$$

단;  $\alpha_1$ ; inverted alpha

$W_1$ ;  $\alpha_1$ 의 cut-off frequency

인 경우에는 트랜지스터가 포화영역에서 靜의狀態로 되기 때문에  $t_{SQ}$ 를 식(18)과 같이 구할 수 있으나

$$t_k < \frac{1}{(1 - \alpha_1) W_1}$$

인 경우에는 트랜지스터가 포화영역에서 적정상태에 도달하지 못했을 때 off 동작을 시작하기 때문에 트랜지스터의 동작이 불안정하리라 본다.

따라서 발진하기 위한 충분조건은 식(22)와 같다.

본 연구에서 제시된 회로는, 인버터를 구성하는 트랜지스터  $Q_0$ 와 귀환회로(시간지연 회로)를 구성하는 트랜지스터  $Q_1$ 가 같은 조건에서 동작하도록 설계되었으므로, 콜렉터 전류변화를 식(1) 및 식(17)로 설명 할 수 있었지만 인버터 회로의 동작상태가 달라진다면 귀환회로의 입력단과 출력단의 동작은 인버터 회로의 동작 상태에 따라 달라질 것으로 보인다.

그 예로서 인버터 회로가 이상적인 스위칭을 한다고 하면 turn-off 동작을 할 때 귀환회로의 입력 트랜지스터  $Q_1$ 의 콜렉터 전류 변화는

$$i_c(t) = h_{FE} I_{Bm} \left\{ 1 - \exp(-t/\tau_f) \right\} \dots\dots\dots (23)$$

와 같이 표현<sup>[4]</sup>되며  $Q_2$ 의 축적시간은 식(7) 대신에 식(23)을 적용하여 계산해야 하며, turn-on 동작을 할 때  $Q_1$ 의 축적시간은

$$t_{SQ1} = \tau_s \ln \frac{I_{Bm} - I_{Bf}}{I_{BS} - I_{Bf}}$$

와 같이 계산되어야 한다.

인버터 회로와 임피던스整合(impedance matching)이 필요하거나 회로동작의 안정을 위해서 시간지연 회로에 에미터 저항을 添附해도 좋으며, 이러한 경우에도 회로의 동작은 앞의 경우와 같다.

5. 실험 및 검토

그림 6-b의 회로에서 트랜지스터는  $T_r$ , Arrays CA 3046을 사용하였고  $V_{CC} = 5.8V$ ,  $R_1 = R_2 = 30K\Omega$ 으로 두고 실험하였으며 식(20)에서  $n = 1, 2, 3$ 인 각 경우에 대하여  $R_C$  값의 가변에 따른 출력 주파수의 변화를 이론치와 비교하여 그림 7에 나타내었고 대표적인 발진파형을 그림 8에 표시하였다.

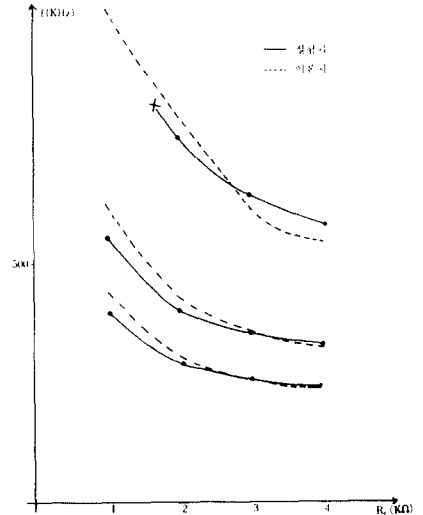


그림 7.  $R_C$ -f 특성곡선  
Fig.7.  $R_C$ -f characteristics.

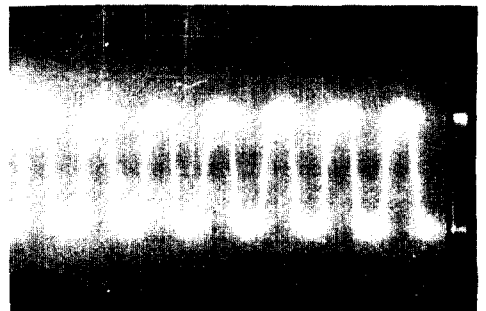


그림 8. 발진파형(수직; 2V/div., 수평;  $\mu sec/div.$ )  
Fig.8. Waveform of oscillator (Ver.; 2V/div., Hor.;  $2\mu sec/div.$ ).

이론치와 실험치의 오차는 10% 이하였으며,  $R_C$  값이 작거나 발전 주파수가 높을 때 오차가 커지는 이유는 트랜지스터의 증폭도 및 입출력 임피던스의 변화에 원인이 있는 것으로 보이며, 발전회로를 너무 높은 주파수로 설계하면 앞단 트랜지스터의 출력이 다음단 트랜지스터를 충분히 포화시키지 못하기 때문에 발전이 안되는 경우도 있음을 보았다.

## 6. 결 론

多段스위칭회로를 구성하고 있는 트랜지스터의 스위칭 동작을 해석 하였으며, 트랜지스터의 축적시간을 고려 한다면 트랜지스터를 시간지연 소자로 간주 할 수 있다고 보고, 이를 이용하여 트랜지스터와 저항만으로 구성된 시간지연 회로를 설계 하였고, 시간지연 회로와 인버터터를 조합하면 발전회로를 구성 할 수 있다는 점을 주목하고 IC 化 할 수 있는 발전회로를 제시하였다.

## 謝 辭

본 연구에 관하여 조언을 해주신 서울大學 李忠雄 教授와 慶北大學 朴義烈 教授 두 분에게 깊은 감사의 뜻을 올립니다.

## 參 考 文 獻

1. J.J. Ebers & J.L. Moll, "Large Signal Behavior of Junction Transistors," Proc. IRE, Vol. 42, No. 12, pp. 1761~1772, December, 1954.
2. J. L. Moll, " Large-Signal Transient Response of Junction Transistors," Proc. IRE, Vol. 42, No. 12, pp. 1773~1784, December, 1954.
3. R. P. Nanavati & R. J. Wilfinger, "Predicting Transistor Storage Time for Nonstep, Quasi-Voltage Inputs," IRE. trans., Vol. E-D 9 No. 6, pp. 492~499, November, 1962.
4. D. J. Hamilton, F. A. Lindholm & J. A. Narud "Comparison of Large Signal Models for Junction Transistors," Proc. IEEE, Vol. 52, No. 3, pp. 239~248, March, 1964.
5. R. P. Nanavati, "Predicton of Storage Time

- in Junction Transistors," IRE. trans. Vol. E-D 7, No, 1, pp. 9~15, January, 1960.
6. I. J. Sparkes & R. Beaufoy, "The Junction Transistor as a Charge controlled Device" Proc. IRE, Vol. 45, No. 12, pp. 1740~1742, 1957.
7. A. N. Baker, "Charge Analysis of Transistor Operation," Proc. IRE, Vol. 48, No. 5, pp. 949~950, May, 1960.
8. L. J. Varnerin, "Stored Charge Method of Transistor Base Transit Analysis," Proc. IRE, Vol. 47, No. 4, pp. 523~527, April, 1959.
9. A. S. Chauhan, A. Srivastava & L. K. Maheshwari, "Transient Response of a Transistor Employing Limited Saturation Device Technique," Proc. IEEE, Vol. 65, No. 6, pp. 986~987, June, 1977.
10. Kunio Tada, "Reduction of the Storage Time of a Transistor Using a Schottky-Barrier Diode," Proc. IEEE, Vol. 55, No. 11, pp. 2064~2065, November, 1967.
11. Herman. N. Stutz & Robert A. Pucel, "Negative Resistance in Transistors Based on Transit-Time and Avalanche Effects," Proc. IRE, Vol. 48, No. 5, pp. 948~949, May, 1960.
12. K. W. Current, "Integrable Digital Pulse Rate Doubler," Proc. IEEE, Vol. 65, No. 11, pp. 1607~1608, November, 1977.
13. Chu-Hsien Lee, "Storage Transistor Delay Circuit," Proc. IEEE, pp. 466~467, April, 1972.
14. E. F. Taylor, "Adjustable pulse delay Circuit," Electronic Engineering, pp. 24, May, 1975.
15. Stamatious V. Kartalopoulos, "Hex Inverter and or Gates for Frequency Doubler," Electronic Engineering, pp. 26, December, 1976.
16. P. M. O'Leary, "Simple Sequence delay for digital Data," Electronic Engineering pp. 24, February, 1977.