

PCM Channel Bank의 試作研究 (Realization of Telephony PCM Channel Bank)

安秀桔 *, 金析箕 **, 李星熙 ***
(ANN, Souguil, KIM, Sukki and LEE, Seong-Hee)

要 約

電話回線必要量의 急增은 市內線이나 市外線 어느 경우에서나 顯者하고 反面 線路事情은 銅값의 急騰만이 아니고 cable 設置工事費의 上昇, 管路의 飽和等으로 因하여 時分割方式인 PCM 24의 國產化가 時急하다.

筆者들은 1972年부터 獨自의인 方法으로 回路를 設計하고 製作하여 鷲梁津—陽西電話局間에서 通話試驗한 結果, 雜音抑制가 顯者하며 混信이 없는 좋은 結果를 얻었고 이는 上記局間에 設置되어있는 日本NEC製品 Repeater (PCM - 24 - 1 No 「J」NB .) series 와의 compatibility도 證明한 셈이다.

Abstract

The ever unsatisfied demand for more channel and bandwidth to the limited installation of existing communication facilities, and explosively increasing expanses for the cable installation fee force us to revive once patented but unused idea of multiplexing in time, that is, PCM in telephony.

The authors designed, artworked and prototyped PCM 24 since 1972 and tested the first PCM channel Bank between Noryang jin and yang seo stations to prove that the resust of their PCM 24 Channel Bank implementation is viable and promising.

1. 序 論

PCM方式이 1962年 美國Ohio州 Akron에서 처음으로 實用化된 以後 今日에 이르기 까지 技術的으로 많은 發展을 가져왔다. 처음 實用化될 當時는 D_1 channel bank로서 7 bit의 code 變換과 diode에 依한 companding 方式으로서 transistor에 依한 回路가 構成되였었다. 그後 D_1 에서는 bit 8를 信號用 bit로 使用하여 1個의 信號路를 構成하던 것을 國際回線等에서 要求되는바 2個의 信號路를 構成하는 所謂 D_1A , D_1B 方式은 Western Electric에서 開發이였다. 그러나 D_1 type channel Bank는 端局相互間이나 集中局까지의 通話를 保障할 程

度의 것이지 intertoll quality를 주기에는 양자화 雜音이 너무 컸다. 이 點을 考慮하여 8bit로 coding하여 每 6 frame마다 하나씩 信號bit를 送出하는 D_2 channel bank가 開發되였다.

信號方式은 D_1B 와 같이 한 bit位置로서 交代로 보내는 方法을 使用한 것이다. 따라서 D_2 는 市外線으로도 適合한 高品質의 回線을 構成할 수 있게 되였다. 또 實裝 channel數가 D_1 은 24 channel인데 반해 D_2 는 서로 獨立의이기는 하지만 96channel이다. 그리고 sampling sequence, alarm 및 보수유지方法이 약간 相巽한 D_3 channel Bank가 開發되였고 이는 또한 部分品の 革新에 따르는 테크노로지 단계의 修正이기도 했다. 그後 다시 mode를 4가지로 變形시킬 수 있는 D_4 channel bank가 開發되어 今日에 이르고 있다.

Multiplex裝置에 있어서도 D_1 또는 D_2 等 T_1 level을 4個 multiplex한 $M12$, T_2 level을 7個

* 正會員, 서울大學校 工科大學 電子科
 ** 正會員, 通信技術研究所 第二研究所
 *** 正會員, 三正電機産業株式會社
 (Dept. of Electronics Engineering, Seoul National Univ.)
 接受日字: 1980年 6月 14日

multiplex한 M23 T₃ level을 6個 multiplex한 M34等이開發되어 있다. 또 PCM의 TDM交換에의適用도急進展되어 이에對한實用化研究도 많이報告되어 있다. 우리나라에서는 1968年 日本의 NEC製 PCM-24를導入하기始作하여 每年 그回線數가急伸長하고 있다.

PCM-24는 transistor를主軸으로 하여回路가設計되었다, 또方式에 있어서도 D₁方式 그대로이다. 그러나 1976년부터導入한 PCM-24B는 IC를相當히 많이使用하고 있으며,方式面에 있어서도 D₂와類似하나信號路가 D₂에서는 2個回路이나 PCM-24B에서는 하나뿐이다.

한국에서도 都市에 있어서 必要 通信回線의急增 때문에 cable心線의 pair數가 2400回線의 것이 가장大容量이 되어 있고, 2700回線의 cable이 試作되었으나 管路BLOC의口徑의 크기 때문에 그 以上の 것을 바랄수도 없고, 지금에 있어서는 manhole自體의 크기에 限界를 보여 주고 있기 때문에 多重化의 必要性이 切感되어서 光섬유의 使用에 希望을 걸고 있는 實情이다. 따라서 PCM channel bank의 國產化는 時急하다.

이러한 趨勢속에서 筆者等은 1972년부터 PCM channel bank의 試作을 疎하였다. 筆者中 一人은 Aerospace telemetry研究의 經歷을 갖고 있었기 때문에 本研究에 使用된 回路는 大體적으로 CNES 2002號 地上局을 爲해 筆者가 設計한 것들이어서, 電話關係에는 過할 程度의 grade이었고, 其他는 筆者等이 必要에 따라 設計한 것으로서 結果적으로 既

存 PCM製品의 模倣을 排除한 것이 되었다. 市中에서 入手 可能한 材料가 너무 限定되어 있었기 때문에 全的으로 여러 回路를 再設計하지 않으면 안되었다.

A-D變換器를 12ch. × 2의方式으로 한 것도 그러한 事情에서 이다. 또 IC들도 LSI를 避하고 極히 一般적이고 入手容易한 것 만을 選擇하여 使用하였다.

試作品의 試驗結果를 以下에 記述하지만 鷺梁津一陽西電話局間의 cable에 適用한 結果 音質이 좋은 回線을 構成할 수 있었다.

2. 試作 PCM channel bank

試作 PCM channel bank의 試作은 아래와 같은 D₁ type이다.

Channel數 24

Sampling rate 8KHz

Code conversion 8bit (1bit는 信號用과 감시用)

Bit rate 1.544 MH

A-D變換器(coder) 축차근사법

傳送信號形式: 擬似三進

同期方式 : 1frame當 1bit (101010.....)

clock 回復 : LC共振에 依한 clock pulse再生)

3. System의 構成

回線의 傳送帶域을 0.3 ~ 3.4 KHz로 하고 sampling freq를 CCITT 勸告에 依해서 8KHz로 하며 北美方式에 따라 24ch을 多重化한다. 線路信號는 1,544 Mbits/sec. bipolar로 傳送하였으며 信號의

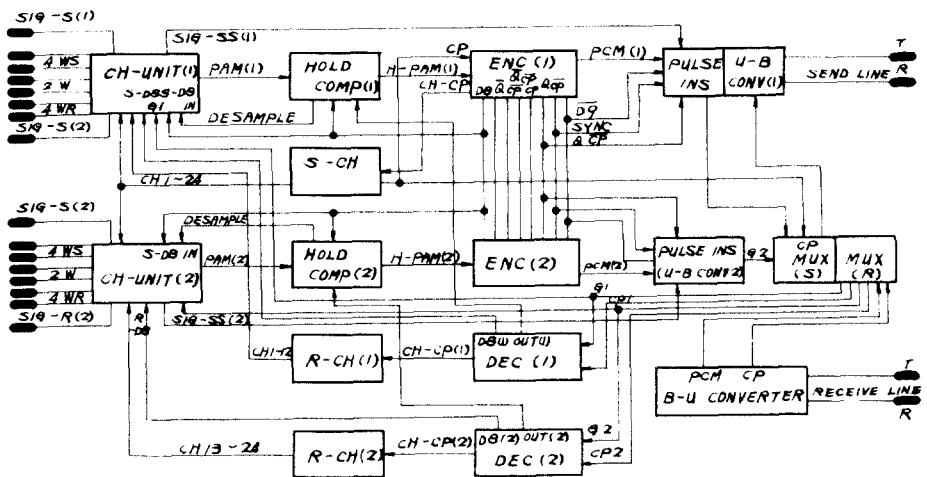


그림 1. PCM 裝置 系統圖
Fig. 1. PCM system block diagram.

構成은 信號用으로 1bit, 音聲用으로 7bit 따라서 channel 當 8bit 로 되다. 그림 1 은 system 의 부 록圖이다.

右端 2W에 들어오는 音聲周波數는 hybrid coil 을 거쳐 送信端 帶域 filter 를 지난다음 24個의 交 代的 時間位置를 차지한 8kbit/sec pulse 에 依해서 sampling 된다. 여기에서 timing pulse 는 1,544 MHz 의 2 倍인 3,088 MHz 를 crystal 發振器로 發振 시켜 그림 2에 表示된 것과 같이 位相差가 있는 2個 의 1,544 MHz 의 clock pulse 를 發生시켜 cp₁ 으로서 8分周하여 decoding 한것을 bit pulse 로 使用하였다. 또 bit pulse 6과 bit pulse 8 사이가 連 續되는 pulse 를 形成시켜 sampling pulse 卽 CH pulse 로 使用하였다. 各 部分은 다음과 같다.

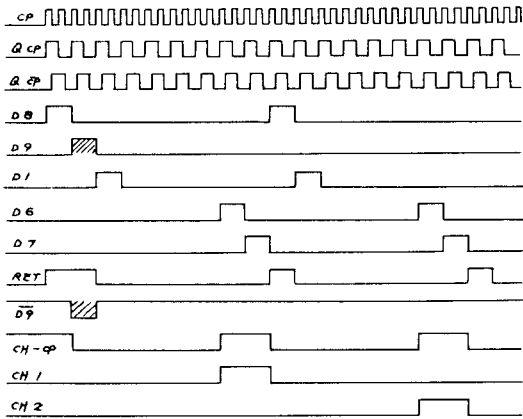


그림 2. 타이밍 圖
Fig. 2. Timing charts.

(1) Sample & Hold 回路

Sampling FET 또는 CMOS IC 의 gate 에 pulse 를 印加하여 source - drain 間을 ON-OFF 시켜 sampling 되도록 設計하였다. storage capaci tor 에 最少抵抗의 充電路를 提供하기 爲하여 OP Amp 를 使用하였다. Sampling 된 信號는 壓縮되고 符號化되는 時間동안 一定한 電壓直로 保存된다.

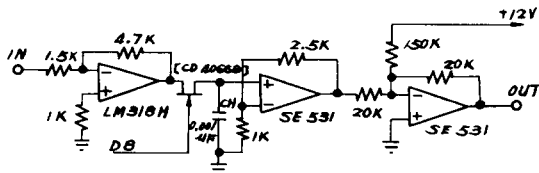


그림 3. 保持回路
Fig. 3. Holding circuit.

한편 受信端에서도 線路로 부터의 bipolar pulse 를 B-U converter (bipolar to unipolar conv.)에 依 해서 單方向信號로 바꿔 decoder (D-A 變換器)에서 本來의 PAM 信號로 換元하여 hold 한다. 回路는 그림 3과 같다.

(2) A-D 變換器 (coder)

A-D 變換器는 逐次근사 方式으로 入力의 analog 信號 (PAM) 을 digital 信號로 變換하도록 設計 되었다. 이 回路는 D-A 變換器를 內藏하고 있어서 溫度 特性改善을 爲한 研究가 따로 發表된바 있다^[2]. 組立한 A-D 變換器의 試驗結果는 그림 4와 같이 入 力對出力特性이 現想的인 直線이다. 이의 試驗方法은 A-D converter 의 入力에 digital 표준電壓源으로서 電壓을 印加하고, A-D 變換器에서 나오는 serial 出力信號를 oscilloscope 로 觀察하여 binary 로 나타 나는 pulse 를 出力으로 (Analogue 量으로 換算) 한 것이다. A-D 變換器 設計에 對해서는 別途 發表하 겠다. 試作過程에서 A-D 變換器의 單位時間 變換

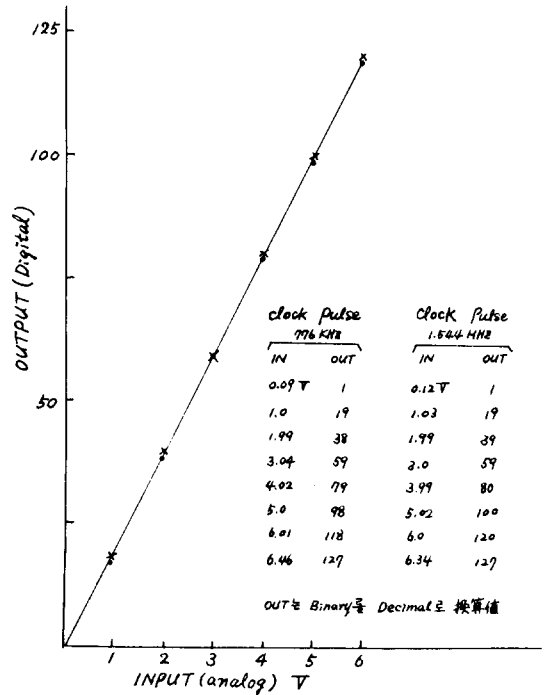


그림 4. A-D 變換器特性
Fig. 4. Characteristics of A-D converter.

回數의 限界가 不充分한 경우를 考慮하여 12回線群을 2組 構成하여 bit 單位로 multiplexing 을 하기도

하고 8bit 單位로도 multiplexing 하기도 하였는데 CCITT^[1] 권장이 確定된에 따라 前者方式을 止揚하였다. 이때의 入力波形과 出力波形을 그림 5에 보인다. 回路는 그림 6이다.

(3) pulse 插入回路

pulse 插入回路는 A-D 變換器에서 NRZ로 code 化된것을 RZ로 變換하여 音聲用信號로하고, 한편 193番號 bit를 ("1," "0,"를 交代로)插入하여 同期 信號로 使用하여 frame 同期를 시킬 수 있게 한다. 이때 NRZ音聲信號pulse에 同期信號와 signal-

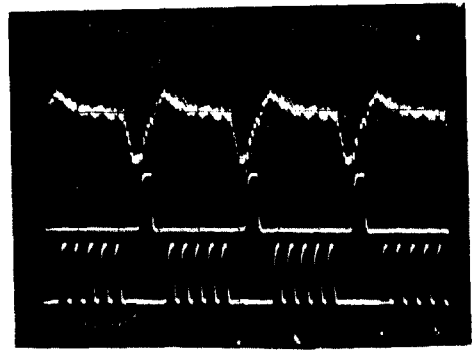


그림 5. A-D 變換器 出力波形
Fig. 5. Waveforms of A-D converter output.

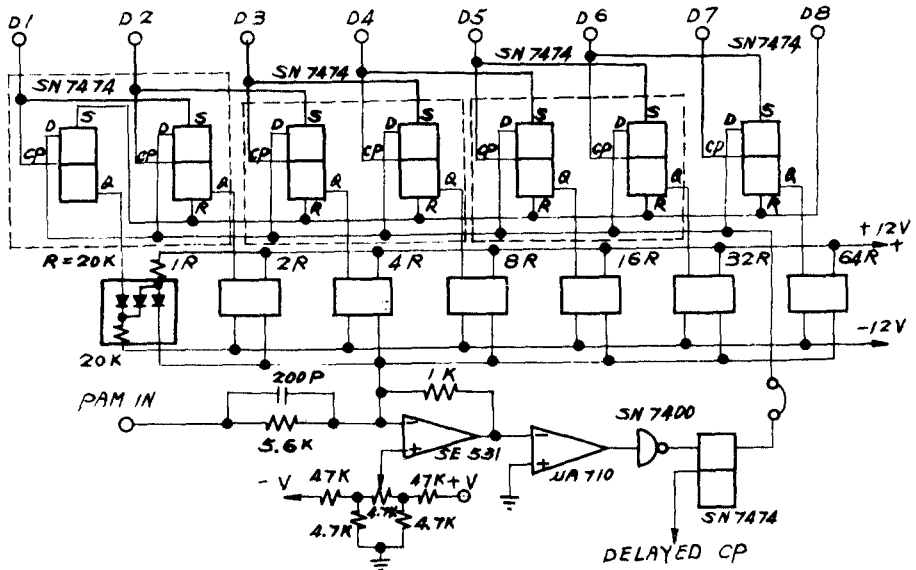


그림 6. A-D 變換器 回路
Fig. 6. A-D converter circuit.

ing bit에 該當하는 位置를 "0,"가 되게 한 다음 다

시 同期信號를 插入하고 channel의 狀態에 따라 信號用bit가 插入되게 設計하였다. 回路를 그림 7에 보인다.

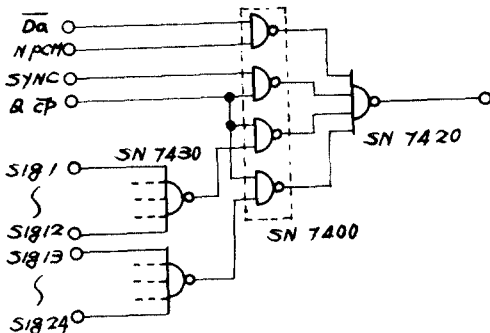


그림 7. 펄스 插入回路
Fig. 7. Pulse insertion.

(4) U-B 變換器

A-D 變換器에서 얻어진 digital 信號에 信號用bit와 同期用bit(193番號 位置)를 插入한 다음 線路에 보내기 前에 單方向 pulse를 擬似三進로 變換한다. 그 結果 波形을 그림 8에 提示한다. 全體回路의 設計에 있어서 transistor를 收用한 ECAP^{[4][5]}을 使用하였다. 回路는 그림 9에 있다.

(5) S-bit 및 R-bit 發生器 (Timing 回路)

Timing 回路는 A-D 變換에 必要한 bit pulse와

sampling에 必要한 (24個 交代로 發生하는) channel pulse를 만드는 것이 目的이다. crystal發振器에서 發生하는 clock pulse로서 S bit pulse generator를 驅動, 8進 counter를 動作시켜 이를 decoding하여 第4 bit에서 set, 第8 bit에서 reset를 行하여 24進 counter의 clock pulse로 삼고 channel pulse를 만든다.

受信側에서는 再生된 clock pulse로서 送信側에서와 마찬가지로 8個의 bit pulse, 24個의 channel pulse와 frame 同期用 pulse를 判定하게 된다. 또한 再生된 clock pulse로서 人力 pulse를 再整形한

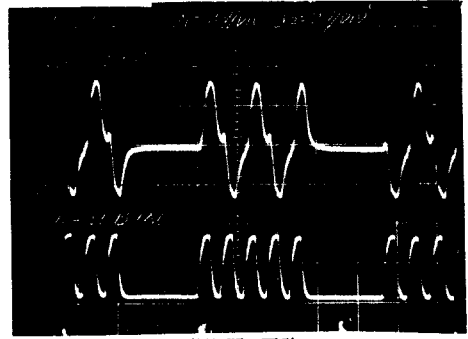


그림 8. U-B 變換器 回路
Fig. 8. Waveforms of U-B converter.

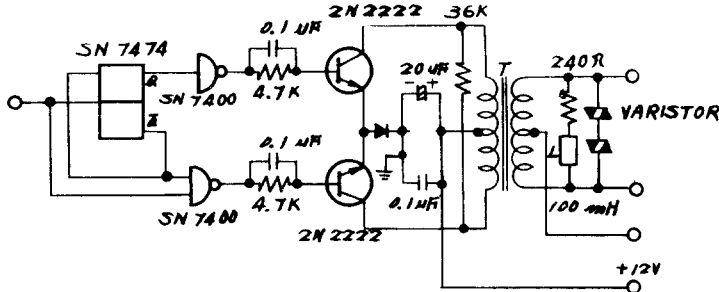


그림 9. U-B 變換器 回路
Fig. 9. U-B converter.

다.

Framing은 再生된 clock pulse로서 우선 同期 pattern을 發生시켜 frame의 中間인 channel pulse 12로서 同期pattern을 兩分하여 그 하나는 PCM data와 直接 AND gate 시키고, 또 하나는 invert된 PCM data와 AND gate 시켜서 그 出力들을 OR回路에 印加한다.

OR回路의 出力과 同期pattern이 invert된 것을 NAND gating 시키면 同期pattern과의 不一致를 나타내는 pulse가 나타난다. 따라서 이 pulse와 bit pulse 發生用 clock pulse와를 AND gate에 導入하면 同期가 맞지 아닐때만 clock이 하나씩 빠지게 되어 search action을 行한다. 回路를 그림 10에 보인다.

(6) B-U 變換器

線路에서 減衰되고 distortion과 crosstalk가 混入한 兩極性信號를 等化, 增幅하여 單方向信號로 變換한 다음 clock recovery 回路에서 clock pulse를 再生한다. 그 回路는 그림 11와 같다.

通信用信號의 本質에 따라 entropy가 높을수록 time slot內에 pulse가 存在할 確率만큼 缺如하게 되어

다시 말하여 pulse가 缺如하고 있기도 한 unipolar 信號로 부터 이것이 缺如하지 않는 clock

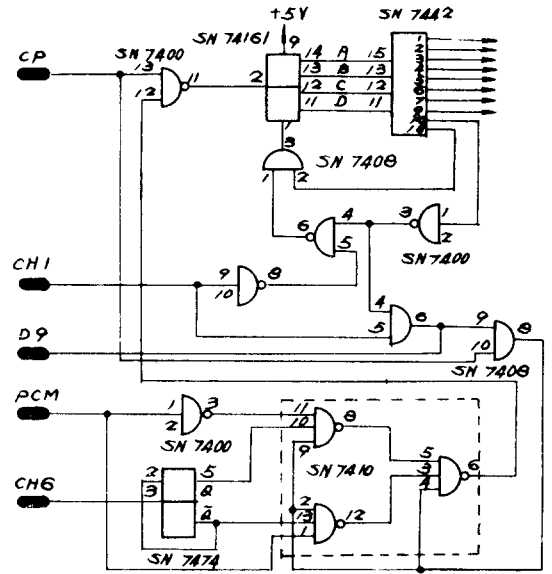


그림 10. 同期追跡 回路
Fig. 10. SYNC search circuit

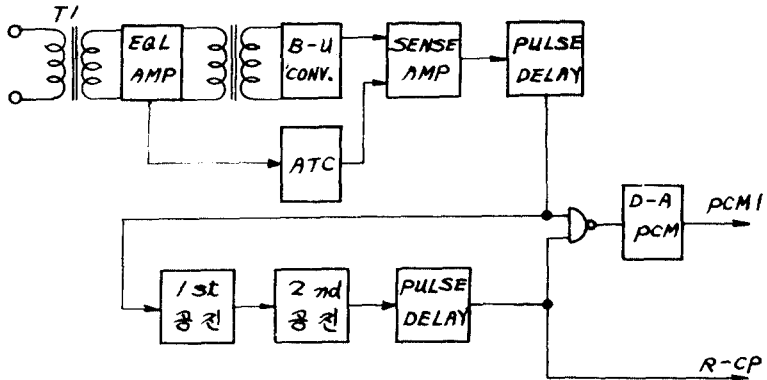


그림 11. B-U 變換器 系統圖
Fig. 11. B-U converter block diagram.

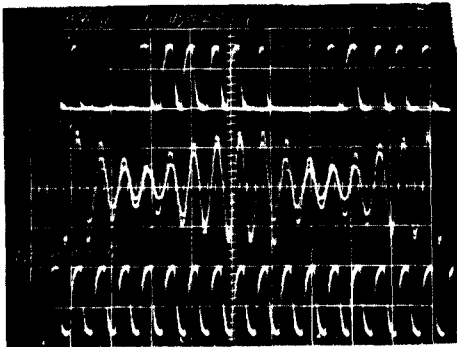


그림 12. LC 共振 recovery 出力波形
Fig. 12. Output waveforms of clock recovery circuit.

pulse를 만들어 내기 爲해서는 PLL^[3]이 適格으로 보아서 採擇을 考慮하여 試圖하였으나, 모든 狀況에서 LC共振回路가 더 強靱하여 LC共振回路를 採擇하였다. 波形의 一例를 그림 12에 보인다.

(7) D-A 變換器 (decoder)

D-A converter는 入力信號가 signal conditioning된 다음, clock回復回路에서 回復된 timing信號에 依하여 R-bit pulse를 18進counter로서 發生시켜, 이 7bit의 音聲信號處理用 bit들에 依하여 serial PCM信號를 parallel信號로 變換하며, weighting resistors에 依해서 reference 電源으로

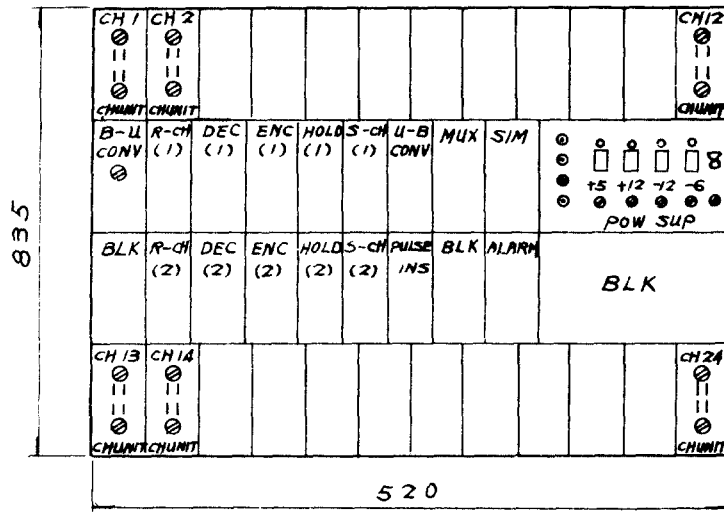


그림 13. 전면 조립도
Fig. 13. Front panel layout.

부터 2, 4, 8, 16, …… 27의 비를 갖는 電流群으로 만들고, 이들을 diode switch로서 入力PCM binary data에 따라서 on-off하여 adder에 導入한 것으로 adder 出力側에 PAM 波形이 얻어진다. 回路의 特性 및 波形等은 이미 報告된 바 있다^[2].

이 回路의 出力 (compress 된 채로의) PAM 信號를 expander에서 元來의 PAM 信號로 伸張하여, demultiplexing 回路에서 analogue switch CMOS 4066을 使用하여 channel 別의 analogue 信號로 分離하고, 이를 低域 filter에 依하여 各各의 channel의 音聲 信號로 再生한다.

4. 裝置의 實裝

channel bank의 實裝은 本 試作品의 形態로 보면 共通部가 차지하는 面積이 크며, 現在의 channel bank의 通話路 unit의 PCB를 縮小하며 標準 rack 實裝方式으로는 最大 4 systems의 實裝이 可能한 것으로 보인다. 따라서 別途의 rack이 必要없이 office repeater (端局中繼裝置)와 test panel 및 system과 fuse 警報裝置의 實裝이 可能하다. 다시말해서 한 개의 rack에 96 channel의 回線이 收容되게 된다.

그러나 本 試作品도 A-D, D-A converter의 變換 速度를 높이거나, 市販 高速 變換器를 使用하여 最小限으로 共通部를 縮小하면 効率的이고 經濟的인 裝置의 出現도 可能하다고 본다. 그림 13은 試作 channel bank의 實裝配置를 보인다.

試作 channel bank의 構成은 그림 1의 block diagram과 같으며 PCB의 設計 및 artwork와 印刷基板의 寫眞撮影에서 製作까지의 過程은 筆者들이 直接製作하였으며 特히 共通部の A-D, D-A 變換器 그리고 compandor, S-bit, R-bit., S-ch., pulse 發生器 등의 PCB 製作에 있어서는, 基板內에서 일어나는 雜音과 jitter 등의 發生을 적게하기 爲하여 基板內의 shield 效果를 높이는 데 盡力하였다. 共通部の 基板數는 ENC (1), (2), DEC (1), (2), MUX, S. ch (1), (2), R-ch (1), (2), B-U con V., V-B con V (1), (2), (V-B conv (2)는 pulse 插入 回路만 插入됨)로서 12枚이고 channel unit數가 24枚 其他 simulator, 警報 回路 등이 各各 1枚 그리고 電源部 등으로 構成되었다. simulator는 實際信號를 simulate하는 word generator이다.

5. 檢 討

理論的인 設計와 實驗에 成功하여도 實際 部分品の

配置와 銅板의 넓이의 配定等에 따라 境遇에 따라서는 system 規模를 擴張해 나가는 일에 限界를 가져오기가 쉬운데, 이러한 點에 있어서는 처음부터 意識하고 있어서 最善을 다 하였기 때문에 어려움이 없었다. 背面配線의 方法도 납땜에 依한 捕縛配線의 方法을 使用하였는데 絶緣이 좋은 配線을 選擇하여야 하였고, 入力信號線들과 出力信號線들간의 crosstalk를 줄이기 爲해서 分離에 努力하였으며, 1,544 megrhertz線은 차폐線을 그리고 迂回하지 않는 直線配線을 行하였다.

Opamp.의 選定에 있어서 처음에는 slew rate等을 고려하여 SE 531을 A-D, D-A 變換器들에 使用하였는데 後 L M 318 H로 變更하였다. 이 경우 slew rate도 70 V/ μ s, 帶域幅도 1.5 Mhz로 SE 531이나 μ A 741보다 良好하며, 特히 補償을 外部에서 自由롭게 할 수 있어서 安定한 高速廣帶域特性으로 活用할 수 있었다. 比較器는 μ A 710을 使用하여 negative 電源電壓이 6V에서 1V만 增加하며 破損되는 缺陷이 있었으나 낮은 level에 적용하는데는 良好하였고 速度도 充分하였다.

本 試作品의 U-B 變換과 B-U 變換의 clock pulse 再生 (recovery 回路)의 共振回路 core와 mat-ching transformer 用 磁芯은 結局 TDK의 H5A 250을 使用하였다. 그러나 detection 回路의 共振回路 用 磁芯은 一般의 IFT 用 ferrite 磁芯으로 充分하였다.

6. 結 論

集積回路技術의 發達は digital 回路部分의 低廉化와 大量的인 普及을 가져왔고, 또한 digital 형태로 變換된 信號는 거의 無限定인 距離까지의 再生傳達이 可能하다는 등 本然의 有利點을 갖고 있기 때문에 앞으로의 通信은 不可避하게 digital 化하게 되어 있다.

이러한 時點에서 通信 digital 化의 가장 基礎가 되는 channel bank의 國產化가 이루어져야 한다. 筆者들은 外國의 既成製品을 複寫하는 方法을 止揚하면서 産業電子機器 製作技術의 未發達과 産業電子用 部品の 入手難等 여러 難關에 不拘하고 24 回線多 重化 傳送用 PCM channel bank를 設計製作하여 陽西一 鷲梁津局間的 現用 線路와 中繼裝置에 本 試作品으로 設置하여 滿足할만한 音聲信號를 再生시킬 수 있었다. 이는 産業電子用 部品の 入手等에 있어서 아무런 行政의 및 非行政의 便宜를 받지 못하고 外製部品을 使用하지 못하는 條件에서 이뤄진 成果로서, system 이 어느 程度以上 커지면 良質의 部分品만으로 安定

되고 信賴度있는 system이 될 수 있는 것은 아니고, 設計에 있어서 各部品에 依한 sensitivities를 줄이고 margin이 있는 設計를 하여야 하며, 部品配置와 各基板立場에서 본 電源內部 임파-던스의 周波數特性考慮, 基極間的 電磁氣的 結合의 配慮等 行하여야 한다는 理由로 해서, 단지 한 部分回路의 成功보다는 큰 뜻을 갖고 있다.

本研究는 大部分 電氣通係研究所에서 行하여졌기 때문에 當時 電氣通信研究所 申龍澈所長과 研究部 崔俊植部長께 감사드리고, 試作品을 製作하여 주신 三正電機産業株式會社 李金洙社長께 깊은 감사를 드리며, 바쁘신 中에서도 鷺梁津局까지 오셔서 試作品 音質을 들어주신 通信技術研究所 金鍾鍊副所長께 감사드리는 바이다.

參 考 文 獻

1. CCITT : Recommendations Green Book Q. 47 (G 733), Q 110, Q 314, Q 315, Q 316 Recommendations Orange Book. Q. 47.
2. 安秀桔, 李熙斗 “演算增幅器와 溫度補償다이오드에 依한 D-A 變換器의 特性改善” 大韓電子工學會誌 第7卷 第2號 1970年 7月.
3. 安秀桔 “패턴同期에 依한 디지털 데이터通信方式” 大韓電子工學會誌 第9卷 第1號 1972年 2月.
4. Souguil ANN, Honnkak KIM “Modification du programme ECAP pour la perforation des resultats” Rapport D. C. E. Saclay No. 389. Mai 1969.
5. 安秀桔 “트랜지스터回路의 直接入力を 爲한 ECAP 프로그램” 大韓電子工學會誌 第9卷 第2號 1972年 4月.

