

出力順序를 利用한 組合回路의 故障檢出에 関한 研究 (A Study on the Fault Detection Using Output Sequence in Combinational Logic Networks)

韓 憲*, 朴 圭 泰**
 (Han, Hee and Park, Kue Tae)

要 約

本 論文은 組合論理回路의 故障檢出에 關한 것이다. 回路內의 各 line 의 test set 사이의 關係를 考査하므로서 모든 test set 을 D-algorithm 을 반복하여 적용하지 않고 어느 하나의 test set 만을 구하여 이를 진과시켜서 구할 수 있는 方法을 연구하였고, 두번째로는 모든 線마다의 test set 을 求하여 이를 回路에 모두 인가하여 故障을 檢出하는 從來의 方法을 벗어나서 入力數만큼의 test set 을 인가하여 出力의 狀態를 點檢하여 故障을 檢出하는 方法을 제시되었다.

A b s t r a c t

In this paper, we are concerned with the problems of fault-detection for combinational logic networks. The method which we can obtain the complete test sets using propagation of primitive test sets is presented by considering the relation between test sets of each line.

A new method is proposed that can detect the fault through the observation of the output variance by applying only the test sets equivalent to the number of inputs

We found that the method is much improved compared to the conventional fault detecting procedure that requires applying the complete test sets to the logic networks.

1. 序 論

디지털 시스템의 複雜性이 커짐에 따라서 回路의 故障發生의 確率이 증대 되었으며 이에 따라 信賴度가 더욱 要講되어 디지털 시스템의 故障檢出 方法에 關한 여러가지 研究가 行하여 졌다.

Truth table Method^[1]를 基本으로 하여 Boolean Difference^[2]와 Path Sensitizing Method^[10] 등이 그것이며 後者は 한번에 오직 한개의 Path 만을 sen-

sitize 해야 하므로 하나 이상의 Path 를 sensitize 하기 爲해서는 故障의 內容에 따라서 特定한 값을 갖는 信號를 選定하는 方法이 要講되어 D-algorithm^[6] 이 제시되었다. 그러나 이 方法은 回路內에서 各各의 fault 를 test 하는데는 有用하지만 回路의 모든 故障을 檢出하기 爲한 完전한 test set 을 求하기 爲해서는 이 方法을 계속적으로 적용해야 한다는 短點이 있다. 이외에도 Poage 의 proposition Method^[4] 나 Armstrong^[5]의 equivalent normal form 이 있으나 비교적 커다란 回路에는 적용하기 어렵다는 제약이 있다. 이상의 研究는 모두가 必要한 test set 의 下限을 求하지 못하고 효과적이거나 또는 거의 下限에 가까울 것이라고 생각되는 test set 을 求하는 方法이었으며

*, ** 正會員, 연세대학교 공과대학 전자공학과
 (Dept. of Electronics Eng., Yonsei Univ.)
 接受日字: 1980年 3月 21日

I, Berger & Z. Kohavi^[8]에 이르러서 最少 故障檢출을 爲한 알고리즘이 제시 되었다. 그러나 이것이 갖는 最少 test set의 意味는 중복되는 test set을 배제 시켰다는 意味에서의 最少化였다. 그 이후 CHARLES W. CHA & WILLIAM E. DONATH^[9]에 이르러서 D-Algorithm 이 고장난 게이트로부터 모든 가능성 게이트들의 조합에 sensitization 해야 한다는 단점을 제거한 9-value Algorithm 이 개발 되었다.

本 論文에서는 첫번째로 各 線의 test set 사이의 관계를 고찰하므로써 모든 line의 test set을 D-algorithm을 반복해서 적용하지 않고, 最初의 primitive test set 만을 구하여 즉, D-algorithm을 오직 한번만 적용하여서 얻어진 test set을 전파 시켜서 모든 線의 test set을 아주 간편하게 求할 수 있는 方法을 제시 하였고, 두번째로는 이제까지의 各 線의 故障에 따라 變하는 test set을 求하여 回路를 test 하는 概念을 떠나서 一定한 入力 set을 인가하는 경우에 出力이 故障의 狀態에 따라서 어떻게 變化되는가를 추적하여 故障의 有號 및 狀態를 알아내는 새로운 接近을 시도 하였다.

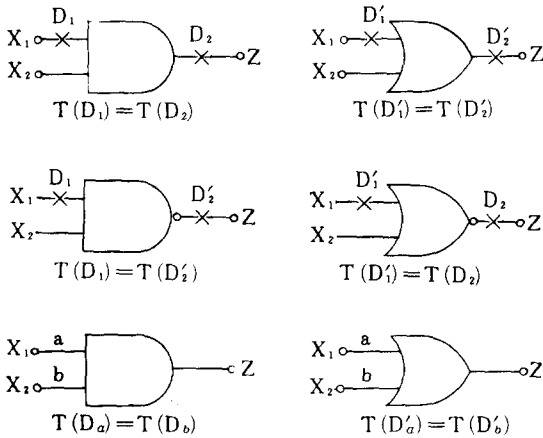


그림 1. 一般의 인 게이트의 入出力線의 故障의 상호관계
Fig.1. Relations of input-output line in general gate.

2. Test set의 전파를 利用한 完全한 Test set의 결정방법

各 게이트들의 test set에 對한 아래와 같은 사실을 고찰하자. 그림 1의 AND 게이트에서 test set $T(D_1) = \{X_1, X_2\}$ 이고 $T(D_2)$ 역시 $\{X_1, X_2\}$ 이며 OR 게이트에서는 $T(D_1') = \{X_1, X_2\}$ 이고 $T(D_2')$ 역시 $\{X_1, X_2\}$ 로 같다. 따라서 AND 게이트

에서는 D (stack-at-0) 고장이 OR 게이트에서는 D' (stack-at-1) 고장이 發生하였을때 해당 고장의 test set $T(D)$ 또는 $T(D')$ 가 게이트의 入力線과 出力線에서 동일하다. 따라서 이같은 경우 test set $T(D)$ 또는 $T(D')$ 가 게이트의 入力線에서 出力線으로 變化없이 전파될 수 있는 것으로 간주할 수 있다. 또한 NAND의 경우 入力線의 $T(D_1)$ 은 $\{X_1, X_2\}$ 로써 出力線의 $T(D_1')$ 와 동일하며 NOR의 경우는 入力線의 $T(D_1)$ 가 $\{X_1, X_2\}$ 로 出力線의 $T(D_2)$ 와 동일하다. 그리고 AND 게이트의 모든 入力線의 D 고장 test set은 $T(D_a) = T(D_b) = \{X_1, X_2\}$ 로 서로 같고 OR 게이트의 경우는 $T(D_a') = T(D_b') = \{X_1, X_2\}$ 로 서로 같다는 것을 알 수 있다.

다음을 계속하기 전에 편의상 아래와 같이 정의를 하기로 하자.

(定義 1)

- ① $\begin{pmatrix} 1 & 0 \\ 0 & 1 \\ 1 & 1 \end{pmatrix}$ 을 (1^3) 로 표시하고 “1의 3태”라고 부르기로 한다.
- ② $\begin{pmatrix} 0 & 1 \\ 1 & 0 \\ 0 & 0 \end{pmatrix}$ 을 (0^3) 로 표시하고 “0의 3태”라고 부르기로 한다.
- ③ $(1^3)'$ 는 0, 0 $(0^3)'$ 는 1, 1을 表示하는 것으로 한다

그림 2와 같은 回路에 D-algorithm을 적용하여 完全한 test set을 求하면 표 1과 같다. 이결과에 上記의 定義를 使用하여 test set의 전파關係를 살펴보면 아래와 같다.

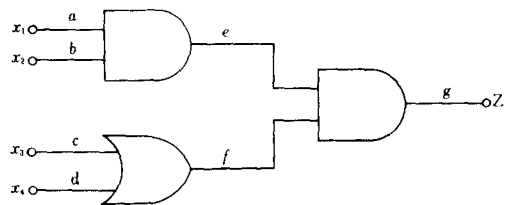


그림 2. 論理回路
Fig.2. Logic circuit.

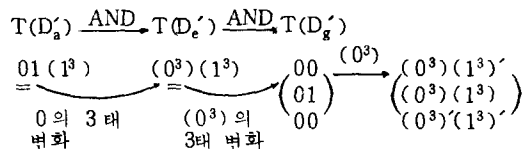


표 1. 완전한 test sets
Table 1. Complete test sets.

고장	Test set				고장	Test set			
	x_1	x_2	x_3	x_4		x_1	x_2	x_3	x_4
a_1	0	1	$\begin{pmatrix} 1 & 0 \\ 0 & 1 \\ 1 & 1 \end{pmatrix}$		c_1	1	1	0	0
a_0	1	1	$\begin{pmatrix} 1 & 0 \\ 0 & 1 \\ 1 & 1 \end{pmatrix}$		c_0	1	1	1	0
e_1	$\begin{pmatrix} 0 & 1 \\ 1 & 0 \\ 0 & 0 \end{pmatrix}$	$\begin{pmatrix} 1 & 0 \\ 0 & 1 \\ 1 & 1 \end{pmatrix}$	$\begin{pmatrix} 1 & 0 \\ 0 & 1 \\ 1 & 1 \end{pmatrix}$		f_1	1	1	0	0
e_0	1	1	$\begin{pmatrix} 1 & 0 \\ 0 & 1 \\ 1 & 1 \end{pmatrix}$		f_0	1	1	$\begin{pmatrix} 1 & 0 \\ 0 & 1 \\ 1 & 1 \end{pmatrix}$	
g_1	$\begin{pmatrix} 0 & 1 \\ 1 & 0 \\ 0 & 0 \end{pmatrix}$	$\begin{pmatrix} 1 & 1 \\ 0 & 1 \\ 0 & 1 \end{pmatrix}$	$\begin{pmatrix} 1 & 1 \\ 0 & 1 \\ 0 & 1 \end{pmatrix}$						

즉, $T(D_a')$ 가 AND를 거쳐 $T(D_e')$ 로 갈 때에는 $T(D_a')$ 에서의 入力인 x_1 이 {0}에서 $\{0^3\}$ 로 變化하였고 $T(D_e')$ 가 AND를 거쳐서 $T(D_g')$ 로 갈 때 도 마찬가지로 0의 3배 變化를 하는데 이때는 $T(D_e')$ 의 入力은 $x_1 x_2$ 로 이루어진 (0^3) 이므로 0의 3배에서 0의 자리에 (0^3) 가 1의 자리에는 (0^3) 가 들어가게 되었다. 또 두번째 열에서는 $T(D_e')$ 에서 (1^3) 가 變化하는 것이므로 1의 자리에 (1^3) 가 0의 자리에는 (1^3) 가 들어가게 되었다.

線 e, f를 入力으로 갖는 AND게이트를 OR게이트로 바꾸고 D故障의 變化를 살펴보면 아래와 같은 상치의 관계가 성립함을 볼 수 있다.

$$T(D_c) \xrightarrow{OR} T(D_f) \xrightarrow{OR} T(D_g)$$

$$\begin{matrix} (0^3)10 & \xrightarrow{(0^3)(1^3)} & \begin{pmatrix} 10 \\ 01 \end{pmatrix} & \xrightarrow{(1^3)} & \begin{pmatrix} (0^3)'(1^3)' \\ (0^3) (1^3) \\ (0^3)'(1^3) \end{pmatrix} \\ \text{1의 3배} & \text{3배 變化} & \text{(1^3)의 11} & & \end{matrix}$$

(定義 2)

$$(X_1 X_2 X_3 \dots X_k \dots X_N)' x_1 x_2 x_3 \dots x_k \dots = (X_1 X_2 \dots X_k) x_1 x_2 \dots$$

$$x_k \cdot x_{k+1} \dots x_N$$

$$= (X_1' X_2 \dots X_k + X_1 X_2' \dots X_k + \dots + X_1 X_2 \dots X_k'$$

$$+ X_1' X_2' X_3 \dots X_k + X_1' X_2 X_3' \dots X_k + \dots + X_1' X_2 \dots X_k'$$

$$+ X_1 X_2' X_3' \dots X_k + X_1 X_2' X_3 X_4' \dots X_k + \dots + X_1 X_2' X_3 \dots X_k'$$

$$\vdots \quad \vdots$$

$$+ X_1' X_2' X_3' \dots X_k') X_{k+1} X_{k+2} \dots X_N$$

상기의 關係에 있는것을 集合 $(X_1 X_2 \dots X_k \dots X_N)$ 의 $X_1 X_2 \dots X_k$ 에 關한 補數의 集合이라고 한다.

$$(예) (X_1 X_2 X_3)' x_1 x_2 = (X_1' X_2 + X_1 X_2' + X_1 X_2') X_3$$

$$= 011 + 101 + 001 = (0^3) \cdot 1$$

또한 定義 1에 依해서 $11 = (0^3)'$ 이므로 $((0^3))' = (0^3)$ 가 成立한다.

上記의 定義를 使用하여 test set의 變化를 高찰하면 아래와 같다.

$$T(D_a') \xrightarrow{AND} T(D_c)$$

$$\begin{matrix} 01(1^3) & \xrightarrow{AND} & 11(1^3) \end{matrix}$$

0의 x_1 에 대한 보수 집합 $(0') = 1$

$$T(D_e') \xrightarrow{AND} T(D_g)$$

$$\begin{matrix} (0^3)(1^3) & \xrightarrow{AND} & 11(1^3) \end{matrix}$$

(0^3) 의 $x_1 x_2$ 에 대한 보수 집합 $(0^3)' = 11$

$$T(D_f) \xrightarrow{AND} T(D_g)$$

$$\begin{matrix} 1100 & \xrightarrow{AND} & 11(1^3) \end{matrix}$$

$00 = (1^3)'$ 의 $x_3 x_4$ 에 대한 보수 집합

$$T(D_c) \xrightarrow{OR} T(D_f)$$

$$\begin{matrix} 1110 & \xrightarrow{OR} & 1100 \end{matrix}$$

1의 보수 집합 $(1)' = 0$

즉, $T(D_a') \xrightarrow{AND} T(D_b)$ 일 경우에는 $T(D_a')$ 중에서 α 의 入力變數들의 補數集合이 $T(D_b)$ 가 된다. 따라서 $T(D_a)' = T(D_b)$ 이며 $T(D_a) = T(D_b)$ 이므로 (AND 통과時) $T(D_a) = T(D_a)'$ 가 성립한다. 그러므로 test set을 전파시키기 위한 아래와 같은 定理을 얻을 수 있다.

(定理 1)

回路內的 모든線 α 에서의 $T(D_\alpha)$ 와 $T(D_\alpha)'$ 의 상

호관계는 線 α 의 바로 앞 게이트의 모든 入力에 대한 보수집합 관계에 있다.

(定理 2)

모든 게이트의 入力線 α 와 出力線 β 의 test set $T(D_\alpha)$ 와 $T(D_\beta')$ 또는 $T(D_\alpha')$ 와 $T(D_\beta)$ 의 상호 관계는 線 α 의 바로 앞 게이트의 모든 入力에 대한 보수집합 관계에 있다.

그러므로 고장의 test set을 전파시킬 경우 어느 線의 고장 α 의 상치관계고장 또는 차기 線의 상치관계고장의 test set은 그 線의 고장의 test set에 그 線의 전단의 모든 入力에 대한 보수집합을 취해주면 된다.

(定理 3)

모든 線에서 AND 게이트의 入出力 線의 $T(D)$ 는 同一하며, OR 게이트의 경우는 $T(D')$ 가 동일하다.

따라서 AND 게이트의 경우는 $T(D)$ 를 OR 게이트의 경우는 $T(D')$ 를 변화없이 다음 線으로 전파시킬 수 있다.

(定理 4)

AND 게이트의 모든 入力 線의 $T(D)$ 는 동일하며 OR 게이트의 경우는 $T(D')$ 가 동일하다.

(定理 5)

NAND 게이트의 모든 入力 線의 $T(D)$ 는 出力 線의 $T(D')$ 와 같고, NOR의 경우는 入力 線의 $T(D')$ 가 出力 線의 $T(D)$ 와 동일하다.

상기의 定理을 사용하여 그림 3과 같은 回路의 test set을 구해보면 아래의 표 2와 같다. 즉, 표 2에서 보는 바와 같이 상기의 定理을 사용하면 最初의 test set만을 구하므로써 이것을 전파 시켜서 모든 線의 test set을 손쉽게 얻을 수 있다.

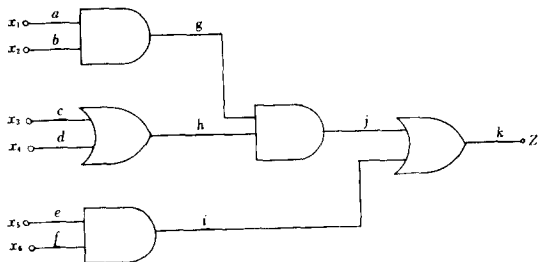


그림 3. 論理回路
Fig.3. Logic circuit.

3. 出力順序를 이용한 故障檢出

實際의 回路에서 故障가 發生하였을 경우, 그 故障

표 2. 모든 fault에 대한 test set
Table 2. Complete test sets.

fault	x_1	x_2	x_3	x_4	x_5	x_6	내 용
a_0	1	1	(1 ³)	(0 ³)			primitive test set
a_1	0	1	(1 ³)	(0 ³)			a_0 의 x_1 에 대한 보수집합
b_0	1	1	(1 ³)	(0 ³)			a_0 와 동일
b_1	1	0	(1 ³)	(0 ³)			b_0 의 x_2 에 대한 "
g_0	1	1	(1 ³)	(0 ³)			a_0 와 동일
g_1	(0 ³)	(1 ³)	(0 ³)				g_0 의 x_1x_2 에 대한 "
h_0	1	1	(1 ³)	(0 ³)			g_0 와 동일
h_1	1	1	0	0	(0 ³)		h_0 의 x_3x_4 에 대한 "
c_1	1	1	0	0	(0 ³)		h_1 과 동일
c_0	1	1	1	0	(0 ³)		c_1 의 x_3 에 대한 "
d_1	1	1	0	0	(0 ³)		c_1 과 동일
d_0	1	1	0	1	(0 ³)		d_1 의 x_4 에 대한 "
j_1	1	1	0	0	(0 ³)		j_0 의 x_1x_2, x_3x_4 에 대한 보수집합
	(0 ³)	0	0	(0 ³)			
	(0 ³)	(1 ³)	(0 ³)				
j_0	1	1	(1 ³)	(0 ³)			h_0 와 동일
i_1	1	1	0	0	(0 ³)		j_1 과 동일
	(0 ³)	0	0	(0 ³)			
	(0 ³)	(1 ³)	(0 ³)				
i_0	1	1	0	0	1	1	i_1 의 x_5x_6 에 대한 "
	(0 ³)	0	0	1	1		
	(0 ³)	(1 ³)	1	1			
k_1	1	1	0	0	(0 ³)		j_0 과 동일
	(0 ³)	0	0	(0 ³)			
	(0 ³)	(1 ³)	(0 ³)				

의 種類와 위치를 發見하기 爲해서 最惡의 경우 모든 線의 test set을 전부 入力으로 인가해 보아야 한다. 이러한 방법은 완전한 test set을 구하기 위한 계산에 많은 時間이 소요될 뿐 아니라 이들 완전한 test set을 入力에 거의 모두 인가하기 위해서도 많은 시간을 요구하게 된다. 따라서 종래의 방법을 처럼 고정된 出力을 얻기 위한 각 線마다의 각기 다른 고장을 test 하기 위한 test set을 구하여 이를 거의 모두 入力에 인가하는 개념을 벗어나서 일정한 入力에 따라 나타나는 出力의 변화를 살펴서 고장을 判別하는 방법을 생각 할 수 있다. 그림 2와 같은 回路에 $T_1 = (x_1/x_1) x_2 x_3 x_4$ 즉, x_1 의 값만을 變化시키고 나머지 x_1 의 값이 path a, e, g 를 sensitize 할수 있는 값인 1을 인가한다. 이와같이 i 번째 入力의 값이 入力에서 出力까지의 path를 sensitize 시킬 수 있는 각 入力단자의 값을 " i 번째 기본입력"이라고 정의한다. 따라서 첫번째 기본입력 T_1 을 그림 2와 같은 回路에 인가한 경우 모든 線에 故障가 없거나 現在 인가하는 入力에 영향을 미치지 않는 故障가 存在

한다면 出力은 (\bar{Z}/Z)의 變化된 값을 가지고 나타날 것이다.

그러나 出力에 영향을 줄 수 있는 故障, 즉 a, e, g 상에 存在하는 故障이나 f 에 SAO 등의 故障이 있다면 Z 또는 \bar{Z} 의 고정된 값을 갖게 될 것이다.

마찬가지로 x_2, x_3, x_4 를 出力 Z 까지 sensitize 할 수 있는 $T_2 = x_1(\bar{x}_2/x_2)x_3x_4$, $T_3 = x_1x_2(\bar{x}_3/x_3)\bar{x}_4$, $T_4 = x_1x_2x_3(\bar{x}_4/x_4)$ 를 인가한 경우 出力에 영향을 미칠 수 있는 故障를 살펴보면 표 3과 같다.

따라서 $T_1 T_2 T_3 T_4$ 의 順序로 入力을 인가한 경우 line a 가 SAO 즉 D 故障를 일으켰을 경우에는 出力順序의 組合은 $\bar{Z} \bar{Z} \bar{Z} \bar{Z}$ 를 얻게 되며 SAI 일 경우는 $Z(\bar{Z}/Z)(\bar{Z}/Z)(\bar{Z}/Z)$ 를 얻게 된다. 모든 線의 SAI, SAO 故障에 關한 出力順序組合을 표 3에 依해서 求하면 표 4와 같다.

또한, 이같은 出力順序組合은 그自體가 回路內의 해당 入力에서 출력까지의 線상의 故障의 狀態를 나타내는 組合이므로 표 4와 같은 모든 線의 故障에 對한 出力順序組合을 모두 求할 必要가 없다.

즉, 基本 入力을 인가해서 얻어진 出力順序組合을 다시 入力에 넣고 回路에 進파시키면 各 線의 故障有無 및 狀態를 알아낼 수가 있다. 例로써 그림 4와 같

표 3. 출력에 영향을 미칠수 있는 고장
Table 3. Contents of faults.

入力	出力	a	b	c	d	e	f	g
T ₁	\bar{Z}/Z	N	N	N	N	N	N	N
	Z	I	N	N	N	I	N	I
	\bar{Z}	O	O	N	N	O	O	O
T ₂	\bar{Z}/Z	N	N	N	N	N	N	N
	Z	N	I	N	N	I	N	I
	\bar{Z}	O	O	N	N	O	O	O
T ₃	\bar{Z}/Z	N	N	N	N	N	N	N
	Z	N	N	I	I	N	I	I
	\bar{Z}	O	O	O	N	O	O	O
T ₄	\bar{Z}/Z	N	N	N	N	N	N	N
	Z	N	N	I	I	N	I	I
	\bar{Z}	O	O	N	O	O	O	O

단, $\begin{pmatrix} N = \text{normal} \\ I = \text{SAI} \\ O = \text{SAO} \end{pmatrix}$

은 回路에서 $T_1 T_2 T_3 T_4$ 를 차례로 入力에 인가했을 경우에 出力순서조합이 IINN이라면 아래와 같이 전

표 4. 모든 고장의 출력순서조합
Table 4. Output sequence combinations to every kind of faults.

고장	출력순서조합	고장	출력순서조합
a_0	$\bar{Z} \bar{Z} \bar{Z} \bar{Z}$	a_1	Z N N N
b_0	$\bar{Z} \bar{Z} \bar{Z} \bar{Z}$	b_1	N Z N N
c_0	N N \bar{Z} N	c_1	N N Z Z
d_0	N N N \bar{Z}	d_1	N N Z Z
e_0	$\bar{Z} \bar{Z} \bar{Z} \bar{Z}$	e_1	Z Z N N
f_0	$\bar{Z} \bar{Z} \bar{Z} \bar{Z}$	f_1	N N Z Z

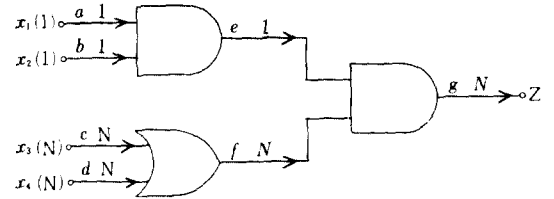


그림 4. 出力順序組合의 進파
Fig. 4. Propagation of output sequence combinations.

파시켜서 쉽사리 故障를 發見할 수 있다.

즉, line e 가 SAI 이거나 線 a, b 가 동시에 SAI 이고 나머지 line은 모두 정상상태에 있음을 알 수 있다.

이때 入力에 인가된 出力순서조합이 게이트를 통과하는 연산은 Boolean algebra에 의해서 아래의 표 5에 따른다.

표 5. 出力順序組合의 연산
Table 5. Operations of output sequence combinations.

+	N	I	O	·	N	I	O
N	N	I	N	N	N	N	O
I	I	I	∅	I	N	I	∅
O	N	∅	O	O	O	∅	O

또한 出力順序組合을 얻어내기 위해서 回路에 인가하는 기본입력 $T_1 T_2 T_3 T_4$ 는 별도의 복잡한 계산을 행하지 않은채 구해낼 수 있다. 즉, 기본입력들은 그 성질상 test하는 path의 첫게이트의 入力을 제외한 모든 入力들은 그 path가 sensitize 가능하게 하는 入力들이므로 어느 AND(OR) 게이트에서 出力이 1(0)이기 위해서는 그게이트의 入力은 모두 1(0)이고 出力이 0(1)이기 위해서는 모두 0(1)이면 그게이트와 연결된, 그리고 path가 통과하는 게이트를 sensitize시킬 수 있게 된다. 따라서 回路內에 NOT 게이트가 없다면 回路의 出力端 바로 앞의 게이트가

AND(OR) 게이트면 i 번째 기본입력은 입력 i 를 포함한 게이트의 모든 입력을 제외한 회로의 모든 입력 변수의 값이 1(0)을 갖게 된다.

회로內에 NOT 게이트가 포함되어 있는 경우에는 그 NOT 게이트로 들어오는 모든 입력변수에는 회로의 마지막 게이트가 AND 게이트면 0을 OR 게이트면 1을 인가해 주면 된다. 또한 NOT 게이트의 수가 짝수이면 서로 상쇄되는 효과를 나타낸다. 따라서 상쇄되지 않은, 출력으로 부터의 마지막 NOT 게이트로 들어오는 모든 入力에 대해서만 위의 관계가 적용된다. 그러므로 회로의 고장을 검출하기 위한 기본입력들은 비교적 커다란 회로라고 할지라도 관찰만에 의해서 구해 낼 수 있으며 이 기본入力を 회로에 인가하여 얻어진 출력순서조합을 다시 회로의 入力에 인가하므로써 회로의 고장유무 및 상태를 알아낼 수 있다.

4. 結 論

論理회로가 複雜하여짐에 따라서 종래의 方法들에 依한 故障檢出을 爲한 test set의 數는 비록 最少의 test set을 알아낸다 하더라도 막대한 量이 된다.

本 論文에서는 이같은 많은 量의 test set을 D-algorithm을 반복하여 적용하는 등의 複雜한 過程을 거치지 않고 最初의 test set만을 求하여 이들을 전파 시키므로써 모든 線의 完全한 test set을 求하여 회로에 이를 거의 모두 인가하여 故障를 檢出하는 概念을 벗어나서, 一定한 入力 set을 인가하는 경우에 出力이 故障의 狀態에 따라서 어떻게 變化되는가를 추적하는 새로운 接近方法을 시도 하였다.

이제까지의 研究中에서 가장 優秀하다고 생각되는 S. S. Yau나 I. Berger의 方法과 비교하여 볼때 前者는 完全한 test set을 求한 後에 covering 으로 取扱하려 하였고 後者는 비록 最少의 test라고 할지라도 最惡의 경우 이들 最少의 test를 모두 해 보아야 하며 회로가 커지면 손으로의 作業이 不可能하여지고 computer로 simulation 하더라도 상당한 memory의 要求를 하게 된다. 本 論文은 完全한 test set을 求한다는 面에서, 같은 過程을 되풀이 해야하는 D-algorithm이나 9-V algorithm보다 개선되어 있으며 출력순서를 이용한 방법은 종래의 方法들이 회로內의 모든 線들의 자기 다른 고장을 검출하기 위한 완전한 test set을 구하여 이를 모든 入力에 인가하며, 一般적으로 tree형의 회로의 경우에 완전한 test의 數는 거의 $K \cdot 2^n$ (K : level의 數, n : 入力 변수의 數)인데 비하여 오직 $2n$ 個의 기본입력 test

만으로 回路內의 故障를 判별한 수 있을 뿐 아니라 출력순서 자체가 고장의 상태를 나타내므로 모든 출력순서를 다구해서 메모리에 저장하거나 표를 작성할 필요가 없이 오직 회로의 특정한 기본입력만을 구하여 이에 따른 출력순서를 다시 회로에 인가하므로써 고장을 검출할 수 있으므로 最少의 test라는 點과 이에 따른 computer simulation 시간의 감소와 메모리의 감소라는 面에서 종래의 어떤 方法들 보다는도 優秀하다고 생각된다. 앞으로 이 方法을 더욱 조직화하면 출력분지가 있는 회로에도 적용할 수 있는 方法이 개발될 수 있을 것이다.

參 考 文 獻

1. F. F. Sellers, Jr. and M. Y. Hsiao and L. W. Bearnson, "Analyzing Errors with the Boolean Difference." IEEE Trans. Comput. vol. C-17, pp. 676~683, July, 1968.
2. MARINOS, P. N., "Derivation of Minimal Complete Sets of Test-Input Sequences Using Boolean Difference." IEEE Trans. Comput. vol. C-20. January, 1971 pp. 25-32.
3. SCHNEIDER, P. R. "The Necessity to Examine D-chains in Diagnostic Test Generation - An Example." IBM J. Res Devekp, vol. 11, January 1967 pp. 114.
4. POAGE, J. F., "Derivation of Optimum Test to Detect Faults in Combinational Circuits." proc. Sympasium on Methematical Theory of Automata, polytechnic Institute of Brooklyn, pp. 483-528, 1963.
5. ARMSTRONG, D. B., "On Finding a Nealy Minimal Set of Fault Detection Tests for Combinational Logic Nets." IEEE Trans on Electronic Computers EC-15, pp. 66-73, 1966.
6. ROTH, J. P., "Diagnosis of Automata Failures ; a Calculus and a Method." IBM J. of Res L. Dev. 10, pp. 278~291, 1966.
7. S. S. Yau & Y. S. Tang. "An Efficient Algori - thm for Generating Complete Test sets for Combinational Logic Circuits." IEEE Trans compt. vol. C-20 pp. 1245~1251. nov. 1971.
8. I. Berger & Z. Kohavi, "Fault Detection in Fanout-free Combinational Networks." IEEE TC-22, pp. 908~914, Oct. 1973.
9. CHARLESW. CHA & WILLIAM. E. DONA

TH. "9-V Algorithm for Test Pattern Generation of Combinational Digital Circuits." IEEE Trans compt. vol. C-27, pp. 193~200 mach. 1978.

10. FRIEDMAN, A. D & P. R. MENON, Fault Detection in Digital Circuits, Prentice - Hall, Englewood Cliffs, N. J, 1970.

