

# 有限要素法에 의한 高壓絶緣碍子の

論 文  
29-10-1

## 汚損特性設計法の 開發

### Study on Design Technique of High Voltage Insulators in Contaminated Environment Using Finite Element Method.

黃 煥 文\* · 李 一 千\*\*

(Young-Moon Hwang, Ill-Chun Lee)

#### Abstract

The paper describes a new technique for the shape design of a bell-type porcelain locke insulator in contaminated environment.

Early studies on the contamination performance of insulators indicated the need for an improvable shape to provide adequate insulation strength at normal operating voltages. In this paper, under lightly and heavily contaminated site severity, the variation of voltage distribution to leakage path at insulator surfaces analyzed by the complex admittance matrix using finite element method.

By this results, the improvement of shape of insulators could be approached to the available condition in contaminated environments.

In applicating to compare a standard disc type with a fog dsc itype insulator, this design technique is valid.

#### 1. 緒 論

高壓絶緣碍子の 汚損特性(Contamination-Characteristics)에 관한 研究는 주로 實驗的方法에 의하여 沿革의 으로 추후되어 왔다<sup>1)2)</sup>. 이들은 주로 鹽害에 관한 것으로 최근에는 公害物質全般에 관하여도 활발한 연구가 계속되고 있다. 研究結果를 종합한 바에 의하면<sup>3)</sup> 종래의 標準碍子는 公稱電壓 250[kV]에 이르면 254 [mm] 懸垂碍子の 경우 16개의 碍子連을 갖게되어 耐 Flashover特性외에 機械的問題로 인하여 適用限界值에 도달하게 되었다. 그리하여 새로운 모양의 碍子の 開發을 서두르고 있다. 특히 耐汚損 Flashover特性을 主眼點으로 한 汚損用碍子の 개발은 各양각색이어서 그 基準이 정하여져 있지 않고 있다. 이는 碍子の 크기 型狀 및 碍子連의 設計는 耐 Flashover特性을 위한 現場 및 試驗室의 沿革의 Data에 의하여 이루어져 왔으므로, 새로운 상황에서는 經驗의 Data가 없기 때문에, 예를들면 極超高壓(UHV)系統에서와 같은 곳에서는 필요로 하는 碍子設計를 適正하게 결정할 수 없는

형편이다.

碍子の 耐 Flashover特性을 개선하는 데는 碍子の 直徑을 크게 하거나 그 型狀을 바꾸어 滲洩距離를 길게 하는 방식이 고려된다<sup>3)4)</sup>. 여기에는 汚損時의 flashover機構, 周圍條件, 汚損物質 및 그들의 相關特性과 保守方法을 主眼點으로 하고 있다. 현재, 特性解析의 基準으로서 形狀係數(Form Factor)<sup>5)6)</sup>를 설정하여 汚損狀態에 따른 表面電位分布의 解析法이 고려되고 있는데, 이들은 現場試驗 및 模型試驗등에 의한 實驗 Data에 의하여 그 設計基準 Data의 解析이 진행되고 있어, 아직도 標準碍子와의 汚損用碍子에 관한 適正設計基準이 設定되어 있지 않다.

本論文에서 이를 電磁氣學的인 理論解析을 토대로 碍子の 適正設計를 試圖해 보기로 한다. 여기에는 有限要素法에 의한 電算解析方法이 종래에는 非線型性으로 인하여 그 解析이 특정한 범위에서만만 가능하였던 電界解析을 一般化하여 나가는 데 효과적인 점에 근거를 두고 있으며, 특히 複合된 誘電體와 導電物質로 이루어는 空間을 Impedance要素空間으로 離散化시킬 수 있다는 점은 여러가지 汚損狀態에 대하여도 數值解析에 의하여 쉽게 분석할 수 있게 한다. 여기서는 汚損狀態設定基準은 形狀係數<sup>6)</sup>, 標準等價附着密度<sup>7)</sup>에 의하여 정하며, 電位分布解析은 有限要素法에 의하여

\* 正會員 : 釜山大學校 工科大學 教授 · 工博  
\*\* 正會員 : 東元工業專門大學 助教授  
接受日字 : 1980年 6月 28日

Impedance 要素空間<sup>3)</sup>으로 離散化시켜 행하고, 이로 인한 碍子表面電位分布의 特性解析<sup>4)</sup>을 基準으로 適正 碍子設計를 행하는 方法에 대하여 보고하기로 한다.

### 2. 汚損碍子에서의 Flashover機構

碍子の 型狀設計는 乾燥時와 汚損時에 대하여 다르게 만족한 耐 Flashover 特性을 갖는 것이 바람직하다. 그러나 이들 두가지 상태에서의 Flashover電位分布特性은 같지 않기 때문에 같은 基準의 特性을 갖게끔 요구할 수는 없다. 그리하여 만족할 만한 適正基準을 달리한다. 이중 乾燥時는 비교적 耐 Flashover特性이 양호하기 때문에, 型狀設計를 위하여는 汚損時의 特性解析을 주로 한다.

#### 201. 汚損物質의 Flashover特性

碍子が Flashover를 일으키는 경우는 碍子表面에 汚損物質(Contamination Materials)이 溶解된 鹽分狀態로 濕性導電性 Film으로 塗布되었을 때 비로소 Flashover가 발생한다. 乾燥된 鹽分性附着物은 初期導電性이 약하여 Flashover를 일으키지 않으며, 순수한 빗물도 導電性은 불충분하다. 그리하여 溶解性鹽分을 포함한 汚損物質만이 안개, 이슬 및 보슬비 등에 의하여 濕氣를 수반할 때 汚損 Flashover를 일으키게 된다.

汚損物質은 해풍에 의한 NaCl와 육지에서서의 시멘트, 먼지, 석회등의 CaCl<sub>2</sub>분말로 된 이온性鹽分과 SiO<sub>2</sub>, Kaoline 등과 같은 非活性成分으로 되어 있다. 前者는 溶解性을 가졌고, 또 溶解狀態에서는 이온化되어 導電性을 띄게 된다. 그러나 後者는 電氣의 耐力을 저하시키는 성질을 갖고는 있으나 結晶性으로 인하여 非溶解性을 갖고 있어 洗滌效果를 저하시킬 뿐이다.

#### 2.2 汚損 Flashover機構

汚損된 碍子에서 Flashover가 發生하는 과정을 살펴 보면 다음과 같다.

碍子에 汚損物質이 부착되고, 여기에 안개나 이슬비로 인하여 濕氣를 띄게 되면, 먼저 漏洩電流가 흐른다. 이 電流에 의하여 Film상태의 汚損表面에서는 碍子の Cap이나 Pin근처가 漏洩電流의 집중현상을 이루어 이곳의 濕氣를 빨리 마르게 하여 乾燥帶를 이룬다. 또한 이 근처에 集中電界強度를 생성케 하며, 초기에는 소량의 간헐적인 Flashover를 일으킨다. 이러한 현상은 점차 성장하여 局部放電으로 진행되며, 드디어 全碍子表面을 橋絡시켜 電力 arc가 트리가 상태로 나타난다. 그러므로, 이온性溶解鹽分의 導電率에 따른 初期漏洩

電流는 耐 Flashover電壓特性에 따라 달라진다. 즉 碍子表面에 부착된 鹽分附着密度(Salt Deposit Density)가 커짐에 따라 耐 Flashover電壓은 급격히 낮아진다. 그러나 汚損物質은 이온性溶解物質만으로 되어 있지 않고 非活性物質과 혼합되어 있으므로, 이러한 非活性物質의 乾燥度 및 混合率에 따라 漏洩電流의 時間的減少率이 달라짐으로 Flashover의 進展에 영향을 끼쳐 耐 Flashover特性이 달라진다.

#### 2.3 碍子型狀設計의 基準

현재 極超高壓送電系統用碍子は 여러가지 型狀과 여러가지 汚損狀態에 대한 汚損特性에 관하여 試驗方法 및 現場試驗을 통한 연구가 진행되고 있다. 특히 매우 가벼운 汚損程度에 대하여도 그 중요성이 인정되고 있다. 그러나, 아직도 型狀設計를 標準化시키지 못하고 있다. 이는 碍子の 汚損特性이 종래의 일반적인 碍子の 設計基準에 부합되지 않는 점이 많다는 점이다. 汚損物質과 汚損狀態를 定量化시키기 위하여 等價鹽分附着密度<sup>5)</sup> (Equivalent Salt Deposit Density, ESDD [mg/cm<sup>2</sup>] NaCl용액)의 設定이 이루어 지고 있으며, 試驗方法으로는 Salt Fog Test와 Clean Fog Test가 있으나 아직도 그 장단점에 異見을 갖고 있다. 이들 시험결과로서 50% Flashover 電壓特性을 종합하여 보면 일반적으로 汚損된 碍子の 特性이 漏洩距離에 비례하지 않고 碍子の 型狀에 따라 심한 영향을 받는다는 점이다. 이를 위하여 型狀設計研究에는 型狀係數<sup>6)</sup>(Form Factor)라는 基準이 設定되고 있다. 그러나 이는 非汚損狀態時에는 그 適合性이 인정되고 있으나, 汚損狀態에 대하여 그 基準이 되기에는 미흡하다고 보고 있다<sup>1)2)3)4)</sup>.

### 3. 有限要素法에 의한 複合媒質의 電界空間 離散化

絶緣碍子周圍의 電界空間은 誘電率이 다른 空氣와 磁器로 된 複合誘電體 空間으로 볼 수 있다. 여기에 汚損物質이 존재하는 複合媒質로 된 電界空間으로 그 境界가 非線形圖形으로 되어 있다. 電極(碍子の Cap과 Pin), 誘電體(磁器) 및 空氣로 된 에너지 保存系의 電界解析에 대하여는 Daff<sup>7)</sup>씨가 Green定理를 導入하여 積分方程式의 한 解析法을 제시하고 있다. 그러나 碍子表面에 汚損物質이 존재할 때 즉 에너지 非保存系의 電界解析에 境界條件의 設定이 복잡하거나 불가능할 우려가 있다.

그러므로 비교적 자유도가 많은 數值解析法으로 有限

要素法에 의한 複素電界分布解析法の 適用이 効果적일 것으로 생각된다.

**3.1 複合誘電體空間에서의 Admittance Matrix의 構成**

碍子が 이루는 電界空間에 Laplace 方程式을 적용하기 위하여, 有限個의 分割空間要素로 나누고 각각 다른 誘電率  $\epsilon_i$ 의 境界面을 要素邊으로 분할할 때, 要素內部에 蓄積 및 消費되는 電力은 각각

$$W_e = \frac{1}{2} \epsilon_i \left[ \left( \frac{\partial v}{\partial x} \right)^2 + \left( \frac{\partial v}{\partial y} \right)^2 \right] = \frac{1}{2} \epsilon_i E_i^T E_i \quad (3-1)$$

이다. 여기서 要素內의 電界強度 Vector는

$$E_i^T = \left[ -\frac{\partial v}{\partial x} - \frac{\partial v}{\partial y} \right]$$

와 같다. 여기에 變分原理를 적용시켜 Lagrange 函數의 값을 최소화하면, 이 空間에서의 等價方程式을 유도할 수 있다. 즉 그림 3-1에서의 3각형 요소의 한 Node에서의 電位  $V_l$ 는

$$V_l = \frac{1}{\sum_{i=1}^4 Y_{li}} \sum_{i=1}^4 V_i Y_{li} \quad (3-2)$$

이다. 여기서  $Y_{li}$ 는 Node  $l$ 와 인접 3각형의 Node 사이의  $t(t=1, 2, 3, \dots)$  定數로서, 인접한 3각형의 媒質係數와 面積 및 邊의 相對크기에 따라 결정된다. 즉,

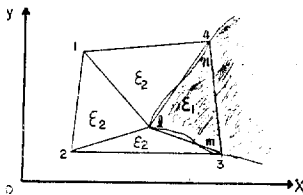


그림 3-1. 複合媒質에서의 3각형 分할요소  
Fig. 3-1. Subdivided triangular elements at complex materials

誘電體인 경우는 Susceptance, 導電體인 경우는 Conductance가 되며, 3각 요소에 대하여 이를 離散化시키면 다음과 같은 集中定數로 된 回路網이 구성된다.

(1) 각 要素의 Capacitance 離散化 그림 3-1의 3각형  $\triangle lmn$  요소에서

$$C_{nl} = C_{lm} = -\frac{\epsilon_1}{D_1} [(y_n - y_l)(y_l - y_m) + (x_n - x_m)(x_l - x_n)] \quad (3-3-1)$$

$$C_{nl} = C_{ln} = -\frac{\epsilon_1}{D_1} [(y_m - y_n)(y_l - y_m) + (x_n - x_m)(x_m - x_l)] \quad (3-3-2)$$

$$C_{nm} = C_{mn} = -\frac{\epsilon_1}{D_1} [(y_n - y_l)(y_l - y_m) + (x_l - x_n)(x_m - x_l)] \quad (3-3-3)$$

$$C_{l0} = 0$$

여기서, Node  $l$ 점의 자기 Capacitance  $C_{ll}$ 는

$$C_{ll} = C_{l0} + C_{lm} + C_{ln} = \frac{\epsilon_1}{D_1} [(y_m - y_n)^2 + (x_n - x_m)^2] \quad (3-4)$$

이다.  $D_1$ 는 3각형  $\triangle lmn$ 의 면적의 2배의 값을 갖게 되며,

$$D_1 = [(x_m y_n - x_n y_m) + (x_n y_l - x_l y_n) + (x_l y_m - x_m y_l)] \quad (3-5)$$

이다.

(2) 離散化된 Capacitance의 等價 Admittance 식 (3-2)의  $Y_{li}$ 는 각각 인접한 3각형 요소의 離散值成分의 합이므로 각각

$$Y_{lm} = j\omega(C_{lm} + C_{l3}) \quad (3-6-1)$$

$$Y_{ln} = j\omega(C_{ln} + C_{l4}) \quad (3-6-2)$$

이다.  $C_{l3}$ 와  $C_{l4}$ 는 각각 3각형  $\triangle l23$ ,  $\triangle l41$ 의 離散된 要素成分이다.

**3.2 圓板型碍子에서의 汚損時의 要素 Admittance Matrix**

絶緣碍子は 圓板型으로 되어 있다. 그러므로 碍子로 인한 電界空間을 離散化시키기에 있어서 다음과 같은 점을 고려하여야 한다.

(1) 要素型狀係數  $f$ .

碍子は 複合誘電體空間電界를 형성한다. 그리하여 이를 有限要素法에 의하여 Admittance Matrix를 구성함에 있어서, 圓板狀을 碍子中心軸을 포함하는 對稱斷面이 고려된다. 이때 이 對稱斷面上的 각 要素는 中心軸에서의 位置에 따라 單位幅이 달라짐으로, 각 要素 Capacitance를 구할 때 이를 수정하여야 한다. 여기서는 碍子에서 고려하는 型狀係數의 개념을 고려하여 要素型狀係數  $f$ 를 設定한다. 다시 말하면, 有限要素法은 非線型化된 空間을 要素分割함으로써 극부적으로 線型化시켰기 때문에 要素型狀係數  $f$ 도 다음과 같이 두어서 이를 각 要素에 적용시키는 것이 타당할 것이다.

$$f = \int_0^t \frac{dx}{B(x)} = \frac{\text{碍子の 直經}}{\pi(\text{要素位置의 碍子軸에서의 平均길이})} \quad (3-7)$$

(2) 汚損物質의 要素 Conductance

각 要素內의 汚損物質分布는 碍子表面에 분포된 表面 Conductance로 취급한다. 要素分割은 碍子表面을 境界面으로 하여 割分함으로, 分割要素邊에 汚損物質이 분포되었다고 볼수 있다. 그 單位面當 Conductance

는 ESDD를 기준으로 하여 설정한다. 동시에 漏洩 Conductance에 대하여도 要素型狀係數를 적용한다.

(3) 要素 Admittance Matrix의 構成

각 離散化된 要素 Capacitance는 각 Node를 양단으로 한 식 (3-6)과 같은 合成 Capacitance로서 구성한다. 이때 碍子表面을 境界로하여 인접 3각형 요소의 성분은 각 要素에 碍子  $\epsilon_r=4$ , 空氣  $\epsilon_r=1$ 의 값을 고려한 후에 합성한다. 이때 碍子表面에 汚損物質이 존재하면 等價 Conductance를 表面의 2 Node간에 合成 Capacitance와 병렬로 하는 合成 Admittance로 취급한다. 이때의 碍子表面에서의 要素 Admittance의 等價回路는 그림 3-2와 같이 된다. 지금 node 6과 10사이의 等價 Admittance  $Y_{6-10}$ 은

$$Y_{6-10} = G_{6-10} + j\omega C_{6-10} \quad (3-8)$$

로 된다.

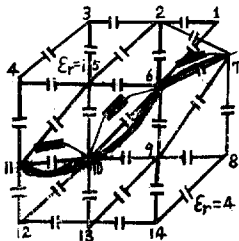


그림 3-2. 汚損碍子表面의 等價 admittance 回路網  
Fig. 3-2. Equivalent admittance network at the contaminated insulator surface.

이상과 같은 等價 Admittance 回路網에서 식 (3-2)에 의하여 각 Node에 대한 聯立節點方程式을 만들면 要素 Admittance Matrix가 구성된다.

4. 碍子の 汚損特性解析을 위한 電界分布의 算定例

4.1 供試碍子

汚損 Flashover特性은 일반적으로 型狀係數가 적을수록 漏洩距離/離隔距離의 비가 클수록 좋아진다. 여기서는 다음과 같은 懸垂碍子에 대하여 검토하여 보기로 하였다.

표 4-1. 供試현수애자

Table 4-1. Sample Locke Insulators

...	Unit spacing [mm]	Shed diameter [mm]	Ratio of leakage/spacing distance	Form factor
Standard Disc	146	254	2.08	0.75
Fog Disc	165	266	2.60	0.82

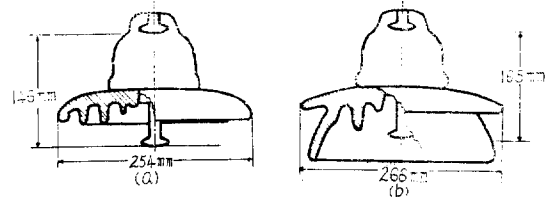


그림 4-1. 供試碍子 (a) 標準碍子 (b) 耐霧碍子  
Fig. 4-1. Sample locke insulator (a) Standard Disc (b) Fog Disc

표 4-1에서 보는 바와 같이 Fog Disc型은 Standard Disc型에 비하여 漏洩距離比는 30%增이다. 그러나 試驗結果에 따르면 汚損特性이 월등히 향상된 Fog Disc型이 型狀係數를 비교할때 Standard Disc型에 비하여 도리어 9%增으로 나타나 型狀係數만으로 汚損特性을 판별할 수 없게 된다.

4.2 汚損狀態의 選定

汚損度는 다음과 같은 두가지 경우를 선정한다.

- Light.....0.07 [mg/cm<sup>2</sup>] ESDD  
3.5×10<sup>-11</sup>[mho/cm]
- Heavy.....0.20[mg/cm<sup>2</sup>] ESDD  
11.1×10<sup>-11</sup>[mho/cm]

지금 해석하고자 하는 碍子が 다음과 같이 汚損狀態를 이루고 있다고 한다.

汚損狀態

- site severity 1 : 非汚損狀態
- site severity 2 : 上表面 0.07[mg/cm<sup>2</sup>] ESDD 輕汚損
- site severity 3 : 上表面 0.07 [mg/cm<sup>2</sup>] 혹은 0.20[mg/cm<sup>2</sup>] ESDD, 下表面 0.07 [mg/cm<sup>2</sup>] ESDD

碍子の 汚損條件은 碍子表面에 汚損物質이 부착된 후 溫度 18°C에서 안개 및 이슬비 상태에서 누설전류가 흘러 Cap이나 Pin部位가 다시 乾燥狀態가 되어 간헐 Flashover가 발생하는 상태에서 부터 진행하므로, 이 상태의 電界分布가 耐 Flashover 電壓特性的 解析基準<sup>3)</sup>이 된다. 참고로 이러한 特性을 감안하여 Semiconductor Glaze碍子が 개발되었는데, 이는 局部乾燥部位를 없애기 위해 碍子表面을 반도체 물질에 의하여 가열하여 균일한 浸濕 및 乾燥狀態를 만들어 耐 flashover 特性을 높이는 것이다.

여기서는 Light Site Severity를 중심으로 해석하였는데, 이는 極超高壓碍子에서는 이러한 Light Site

Severity의 경우가 도리어 耐 Flashover特性이 좋지 못하다는<sup>3,4)</sup> 시험결과를 참고로 한 것이다.

4.3 汚損된 碍子電界空間의 電位分布度算定

碍子電界空間에서의 電位算定은 다음과 같이 한다.

(1) 그림 4-2와 같이 碍子電界空間斷面圖에서 Automatic Grid Method<sup>5)</sup>의 요령으로 3각형 요소 분할을 한다. 주로 碍子表面을 中心으로 하여 작성한다.

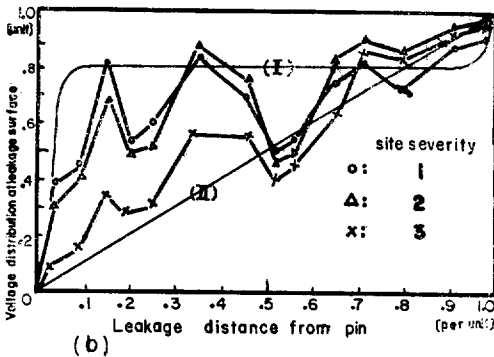
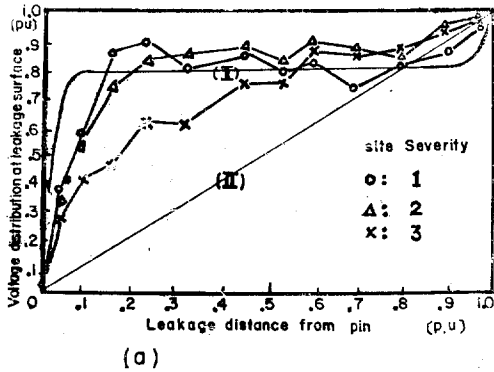


그림 4-2. 碍子電界空間의 要素分割圖  
Fig. 4-2. Subdivided element diagram of the insulator electric field.

- (2) 導體部位이외에 Node Number를 부친다.
- (3) 각 要素에서 誘電率 및 要素形狀係數의 값을 조정한다. 즉  $\epsilon_s = \epsilon_i / f_s$ .
- (4) 각 要素를 각 邊의 離散值로 換算한다.
- (5) 각 Node에 대한 節點方程式을 만들고, 해당 Admittance Matrix를 구성한다.
- (6) 각 汚損狀態에 해당하는 汚損表面의 Node간에 等價 Conductance의 값을 要素 Matrix에 첨가 조정한다.
- (7) 구성된 Matrix는 電子計算機에 Gauss消去法에 의하여 逆 Matrix值를 산정한다. 이때 주로 碍子表面值만을 취하여 表面電位分布도를 작성한다.

STANDARD INSULATOR      FOG DISC INSULATOR

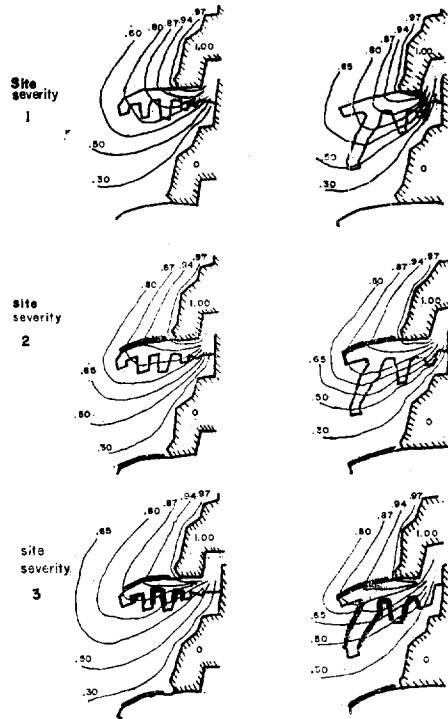


그림 4-3. 標準碍子 (a) 및 耐霧碍子 (b)의 汚損狀態에 따른 電位分布度  
Fig. 4-3. Voltage distribution on the contaminated Standard Disc (a) and Fog Disc (b) locke insulator.

5. 碍子の 汚損特性을 개선하기 위한 適定 設計技法

앞에서 설명한 바와 같이 汚損된 碍子の 耐Flashover特性을 개선하기 위하여는 碍子の 型狀을 개선함이 바람직하다.

5.1 漏洩表面上的 電位分布度에 의한 碍子型狀 設計

碍子の 耐 Flashover特性을 향상시키기 위하여는 flashover통로에 Barrier電位 혹은 等電位帶를 두는 방법과 Flashover통로의 Impedance를 크게 하는 방법이 고려된다. 전자는, 주로 碍子の 直徑을 크게 하며, 非汚損時에 적용한다. 후자는 碍子の 漏洩距離를 크게하며 주로 汚損時에 適用한다.

그러나 汚損狀態에 따라서는 漏洩距離에 비례하여 耐 Flashover電壓이 높아지지 않는다. 이는 表面電位

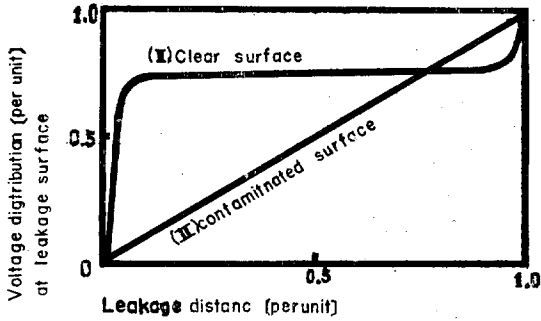


그림 5-1. 碍子の 漏洩表面에서의 Flashover電壓의 適定電位分布度—設計基準

(I); 청결애자표면 (II); 오손된애자표면

Fig. 5-1. Available voltage distributions of flashover voltage at insulator surface s-Design basis

(I); Clear surface

(II); Contaminated surface

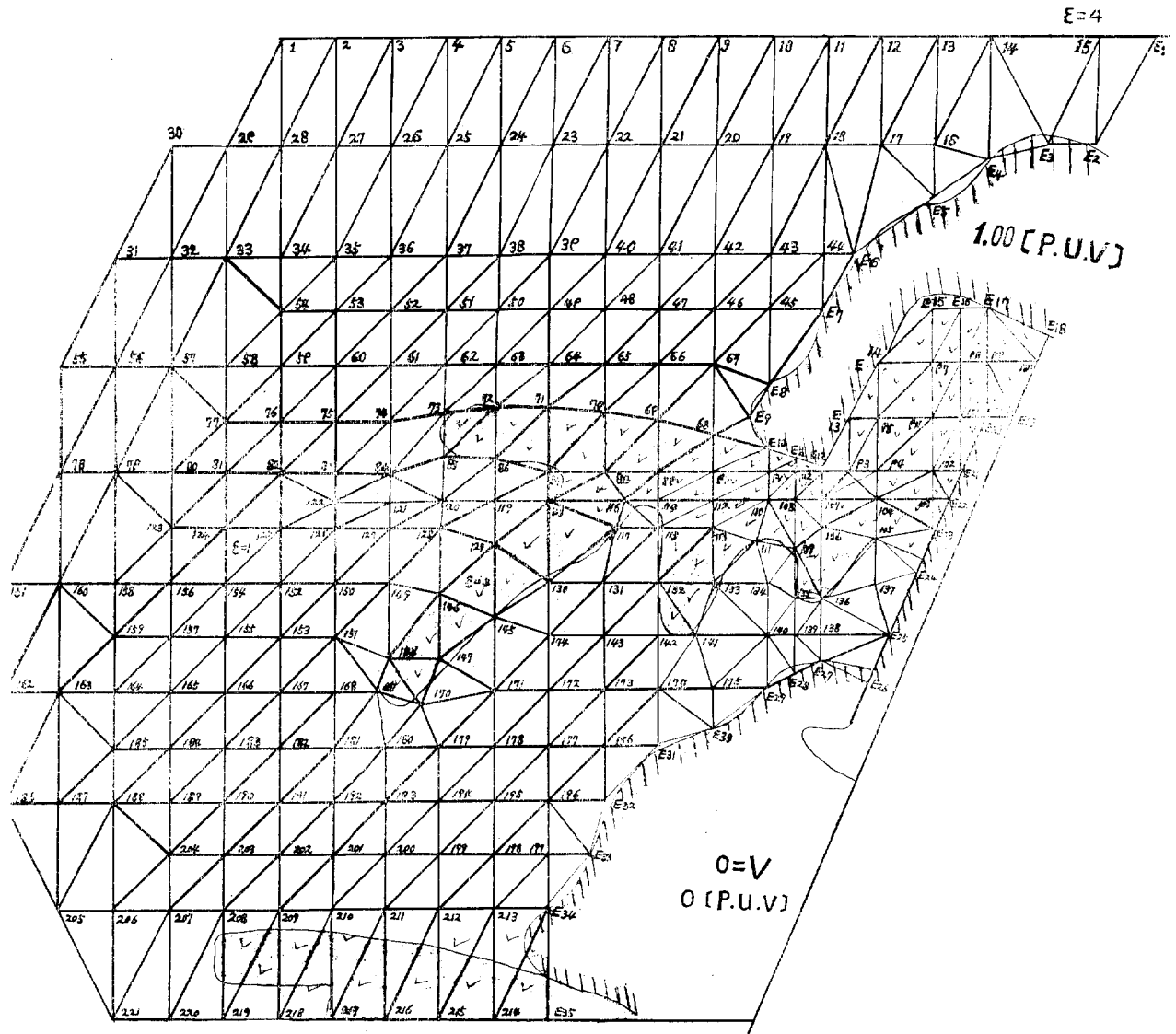


그림 5-2. 汚損碍子の 漏洩表面上的의 電位分布 (a) 標準碍子 (b) 耐霧碍子

Fig. 5-2. Voltage distribution/leakage distance on the contaminated insulator distance

(a) Standard Disc (b) Fog Disc

分布가 均等分布를 갖지 않는데 기인한다. 즉 漏洩距離와 耐 Flashover電壓이 非線型性인 관계를 갖기 때문이다. 이를 고려한 것이 型狀係數이다. 그러나 이러한 型狀係數에 의하여 조정된 값도 위의 非線型性을 해석상에서도 제거하지 못하므로 設計基準이 될 수 없다.

실제로는 많은 試驗을 통하여 여러가지 형태의 碍子에 대하여 漏洩通路상의 電位分布가 될 수 있는대로 線型化되어 漏洩距離에 비례하도록 碍子の 型狀을 調整設計한다.

碍子の 型狀設計를 위한 適定碍子表面電位分布는 非汚損時는 그림 5-1의 Curve (I)과 같이 碍子外環表面部位電位가 等電位 혹은 Barrier電位를 갖게하여 初期 漏洩電流를 억제하게 하고 汚損時는 그림 5-1의 Curve (II)와 같이 均等分布되게 하여 Flashover에 대한 Impedance가 커지도록 한다.

이상과 같은 조건이 碍子の 汚損特性을 개선하기 위한 適定碍子型狀設計의 基準이다.

### 5.2 漏洩表面上의 電位分布도에 의한 碍子型狀의 適定設計技法—供試碍子에 대한 考察

그림 4-3은 供試碍子에 대하여 有限要素法을 적용하여 算定한 汚損碍子에서의 電位分布圖이다. 여기서 碍子表面電位值를 漏洩距離에 대하여 電位分布도를 표시하면 그림 5-2와 같다.

適定碍子型狀設計基準에 따르면 供試耐霧碍子の 것이 標準碍子에 비하여 汚損特性이 훨씬 향상되었다고 볼 수 있다. 適定型狀過程은 型狀係數를 참작하여 그 型狀을 조정한 후, 이상과 같은 有限要素法에 의한 電界分布解析의 技法을 적용한 후, 이를 設計基準曲線을 작성 검토하는 과정을 되풀이하여 적용하므로써 碍子の 型狀設計를 最適化 해 나가는 것이 바람직하다.

한편, 型狀係數를 基準으로 하여 이를 고찰해 보면 耐霧碍子/標準碍子の 型狀係數比가 1.09이다. 그러나, 해석결과에 의한 特性向上의 効果는 월등하여 이비가 그 効果의 정도를 나타내는 기준으로 부족한 값이 있다. 다만, 型狀係數는 設計의 基本方針을 세울때의 指標로서의 가치는 있다고 보겠다.

## 6. 結 論

電力系統에 대한 汚損度가 점차 심하여 지고, 系統電壓이 높아짐에 따라 耐 Flashover強度가 漏洩距離에 대하여 非線型性을 갖게 되어 耐壓向上을 기할 수 없게 되었으므로, 이를 개선하기 위하여 새로운 碍子型

狀設計가 요구된다.

碍子の 型狀設計를 위한 型狀係數를 基準으로 하는 方法은 그 實用性이 점차 낮아지고 있어, 여기서는 電子計算機를 이용한 有限要素法에 의한 表面電位解析技法을 도입한 결과, 보다 經驗的인 Data利用法에 가까운 汚損用碍子の 型狀設計技法을 개발할 수 있었다.

끝으로 本 研究은 1979年度 產學協同財團의 學術研究費에 의하여 이루어졌음을 밝혀둔다.

## 參 考 文 獻

1. B. Macchiaroli and F.J. Turner; "A New Contamination Test Method" IEEE Trans. Vol. PAS-88, No. 9, p.1401, 1969
2. Y. Taniguchi, A. Arai and Y. Imano; "Natural Contamination Test of Insulators at Moto Testing Station Near Japan Sea" IEEE Trans. Vol. PAS-98, No. 1, pp. 239~245, 1979.
3. IEEE Working Group on Insulator Contamination Lighting and Insulator Subcommittee; "Application of Insulators in a Contaminated Environment IEEE Trans. Vol. PAS-98, No. 5, pp.1676~1695, 1979.
4. A.C. Baker and M. Kawai; "A Study on Dynamic Voltage Distribution on Contaminated Insulator Surface" IEEE Trans. Vol. PAS-92, No. 5, pp.1517~1524, 1973.
5. IEEE PES "IEEE Standard Techniques for High Voltage Testing" IEEE Std 4-1978, pp.35
6. O.W. Andersen; "Finite Element Solution of Complex Potential Electric Fields." IEEE Trans. Vol. PAS-96, No. 4, pp.1156~1161, 1977.
7. J. Daffe and R.G. Olsen; "An Intergral Equation Technique for Solving Rotation alloy Symmetric Electrostatic Problems in Conducting and Dielectric Material" IEEE Trans. Vol. PAS-93, No. 5, pp.1609~1616, 1979.
8. D.W. Andersen; "Laplacian Electrostatic Field Calculations by Finite Elements with Automatic Grid Generation" IEEE Trans. Vol. PAS-99, pp.1485~1491, 1973.
9. E.A. Cherney, O. Nigol and J. Reichman; "Development and Application of a New Semiconductiveglaze Insulator" IEEE Trans. Vol. PAS, No. 6, pp.2117~2126, 1978.