

비정질 칼코게나이드 반도체 박막 경계면의 전기적 특성

論 文
29-2-1

Electrical Characteristics of the Thin Film Interface of Amorphous Chalcogenide Semiconductor

朴 昌 燦* · 鄭 鴻 倍**
(Chang-Yub Park, Hong-Bay Chung)

Abstract

Contacts formed by vacuum evaporation of As-Te-Si-Ge chalcogenide glass onto Al metal (99.9999%) are studied by measuring parallel capacitance $C(V)$, $Cp(w)$, resistance $R(V)$, $Rp(w)$, and the $I-V$ characteristics.

The fact that contact metal alloying produced high-resistance region is confirmed from the measurements of parallel capacitance and resistance.

From the $I-V$ characteristics in the pre-switching region, it is found that electronic conduction and switching occurs in the vicinity of metal-amorphous semiconductor interface.

From the experimental observations, it is concluded that the current flow in the thin film is space-charge limited current (SCLC) due to the tunneling of electrons through the energy barriers.

I. 序 論

비정질 칼코게나이드 박막에서 0.1[nsec]라는 극히 짧은 지연시간 t_D 가 지난후 고전도 상태로 급격히 전이하는 특성과 일단 스위칭된후 여기된 펄스의 제거후에 초기의 고저항 상태로 회복되는 특성 및 펄스 제거후에도 고전도상태를 유지하는 특성을 Ovshinsky¹⁾가 발견한것을 계기로 비정질 반도체 특히 칼코젠(S, Se, Te)를 포함한 칼코게나이드 반도체에 대한 연구가 활발히 진행되어 왔다.

이와같은 고속 스위칭현상이 어떠한 원인에 의해 생기게 되는가에 대한 의문을 해결하기 위해 좀더 세밀하게 비정질 재료의 전자적인 특성을 연구해 볼 필요가 있다. 즉 원자 구조상 많은 결함이 나타남으로써 결정질 상태와는 다른 국재상태(localized state), 에너지대꼬리상태(energy band tail state)등이 나타나지만 확장상태(extended state)는 결정질 상태의 마찬가지로

전도대를 구성하고 있다는 비정질 반도체에서 알려진 전자적인 에너지대 이론^{2),3)}에 따라 캐리어의 이동은 강한 에너지 의존성을 갖고 있다고 확인할 수 있다. 결과적으로 높은 에너지를 가진 전도전자는 결정질상태에서 드리프트되는 방법과 유사하게 박막을 통해 드리프트 될수있지만 이동도단 근처의 캐리어는 국재화된 특성을 아직 보유하고 있고 이동도단에서 캐리어의 이동도는 급격히 변화되는 것처럼 보이지 않기 때문에 확장상태와 국재상태간에는 명확히 구분할 수 있는 경계가 없는 것처럼 보인다. 이러한 이유로 전도에 기여하는 캐리어는 다소 이중적인 성질을 보유하고 있으며, 더욱이 확장상태에서 전도에 기여하는 캐리어는 고온 또는 고전계 인가시에 특히 우수하게 되어 결국 이러한 현상이 스위칭 동작시에도 적용된다고 볼수 있다. 비정질 칼코게나이드 반도체에서 스위칭 특성은 전자적인 기구, 전자-열적인 기구 및 열적인 기구에 의해 일어난다고 분류되어 있으며, 이는 칼코게나이드 반도체의 두께에 의해 이론적인 설명이 가능하다. 이 중에서 박막두께가 5[μ m]이하인 경우에는 매우 빠른 스위칭시간, off-와 on- 상태간의 불연속적인 전이특성등으로 보아 전자적인 기구로 해석하는것이 바람직

* 正會員 : 延世大工大 電氣工學科 教授 · 工博

** 正會員 : 光云工大 電子材料工學科 專任講師

接受日字 : 1979年 11月 14日

하다. 특히 전자적인 기구로 스위칭 특성을 해석할 경우에는 'pre-switch' 상태일때의 전기전도기구가 중요한 역할을 하고 있다. 'pre-switch' 상태의 전도기구를 Miyazono⁴⁾ 등이 분류한 바에 따르면 공간전하제한 전류(space-charge limited current, SCLC), hopping 전도, Small polaron 전도, Poole-Frenkel 전도 등이 있다. 이러한 모델은 비정질 반도체와 전극간의 경계면에 양호한 음성 접촉이 형성되었다는 가정하에 제면 효과는 거의 무시한 것이다. 그러나 Henisch⁵⁾는 77°K에서도 전류가 시간에 따라 변화되는 creep 특성이 나타난다고 보고하였고, Henisch와 Vendura, Jr⁶⁾은 한쪽 전극에는 금속전극을 사용하고 다른쪽 전극으로 Ge 단결정 반도체를 사용하여 관찰된 스위칭 특성은 비대칭적으로 나타나 Ge 전극과 비정질 반도체간 모든 금속과 비정질 반도체간의 경계면 상태가 매우 중요하다는 것을 지적하여 H.Y. Wey⁷⁾은 여러 전극재료를 사용하여 접촉효과를 나타내 보였다. 또한 저자등⁸⁾이 실험한 바에 따르면 전류-전압특성을 측정하였을 때 1회와 2회의 측정치가 다르게 나타나며, 전극재료에 따라 비대칭적인 스위칭 특성이 나타나, 불안정한 상태를 유지한다는 결과에 의하면, 전극과 비정질 반도체간의 경계면 상태가 스위칭 현상 자체에 크게 영향을 미친다고 결론을 지을 수 있었다. 결국 금속전극의 종류를 바꾼 비대칭 전극재료에 의한 샌드위치 구조의 소자에서도 비대칭적인 스위칭 현상이 생기게 될 것이며 이와 같은 금속전극을 이용하면 접촉시 그 경계면상에 음성접촉의 형성문제와, 경계면 상태를 스위칭 현상의 동작기구를 해석하는데 고려해야 된다는 사실로 보아 본 논문에서는 우선 비정질 반도체와 전극간의 경계면 상태를 고찰하고 샌드위치구조의 스위칭 소자를 제조하여 전기적 특성을 관찰하고 그 결과를 분석하여 금속과 비정질 반도체간의 경계면 상태를 분석해 보고자 한다.

II. 비정질 반도체와 전극간의 경계면 상태

비정질 반도체와 전극간의 경계면 상태를 알아보기 위해 우선 이미 알려져 있는 결정질 반도체의 접촉현상을 생각해 보자. 결정질 반도체에서 접촉현상을 알기 위해서는 $I-V$ 특성, $C-w$ 및 $C-V$ 특성, 내부방광출, 표면광전압등을 측정하여 장벽높이, 표면상태와 차폐길이(Screening length)등을 구한다. 이 경우 공간전하용량을 결정하기가 쉬우므로 $C_p(V)$ 와 $C_p(w)$ 측정으로부터 차폐길이를 얻기가 쉽다. 실제로 결정질 반도체에서는 페르미준위 E_F 가 전도대 E_C 또는 가전자대

E_V 근처에 놓여지기 때문에 bulk 영역의 비저항이 접촉영역보다 훨씬적고 전압강하는 주로 접촉영역에 국한된다. 그러나 비정질 반도체에서는 페르미준위가 거의 금지대폭의 중간 가까이에 놓여져 있으므로 접촉영역의 비저항이 bulk 영역과 같거나 약간 적게되어 인가된 전압이 주로 bulk 영역에 나타나게 된다. 이러한 이론으로 본다면 전체 캐퍼시턴스의 주파수 및 bias 의존성 만으로 접촉영역에 대한 정보를 알아내기가 어렵게 되지만 이러한 측정을 함으로써 접촉부근의 고저항 함금영역이 나타나게 됨을 알 수 있으므로 이 영역을 통해 경계면 상태를 해석해 낼 수 있다. 그러므로 비정질 반도체의 접촉영역에 대해 결정질 반도체와 유사한 방법으로 공간전하 영역이 생긴다고 가정해보자. 이때 공간전하영역은 페르미준위 E_F 가 금속 경계면과 비정질 반도체 사이에서 같아진다는 조건에서 생긴다. 그러나 경계면 상태가 따보이 존재하지 않는다면 접촉시 금속과 비정질 반도체의 전자 친화력이 접촉 쌍극자층의 극성을 결정하게 된다. 경계면 상태에 상당한 밀도($\sim 10^{14} \text{cm}^{-2} \text{V}^{-1}$)가 나타나면 금속과 비정질 반도체간에는 경계면과 균형을 이루게 된다. 이때 금속의 일함수는 비정질 반도체. 공간전하층의 부호에 아무런 영향을 미치지 않게 된다. 또한 접촉저항은 접촉전위가 0일 때 또는 공간전하가 다수캐리어의 부호와 같을 때 매우 적게된다. 이러한 관계를 해석하기 위해 Fritzsche⁹⁾가 제안한 금속과 반도체간의 접촉부근에서 전위분포를 나타내면 그림 1과 같다. 그림 1(a)는 전형적인 n 형 결정질 반도체의 정류성 접촉으로 이때 bulk 전도도는 E_F 가 E_C 에 가깝기 때문에 큰 전자밀도 n_0 에 의해 결정되며 장벽영역에서 전자전류는 장벽높이에 의해 지수함수적인 제한을 받기 때문에 높은 접촉저항을 갖는다. 결과적으로 접촉저항은 bulk 저항에 비해 매우 크고 고정류성 특성이 관찰된다. 반면에 같은 장벽높이와 금지대폭을 갖는 비정질 반도체의

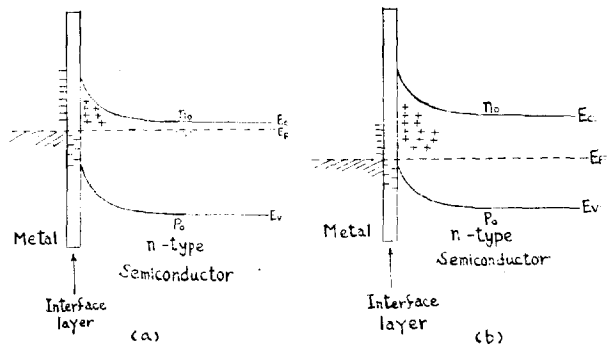


그림 1. 금속-반도체 접촉근처의 전위분포
Fig. 1. Potential distribution near metal-semiconductor contact.

경우를 나타내면 그림 1(b)와 같다. 이 경우 E_F 는 금지대폭 중간에 놓이게되어 n_0 는 $\exp[-(E_c - E_F)/2kT]$ 인 배계 변수에 의해 감소되게 되어 bulk에서 전자전류는 전자와 정공이동도의 차이가 있는 경우를 제외하고는 공간전하영역에서 정공전류보다 더 큰 전도성을 갖지 않는다. 결국 결정질과는 달리 비교적 적은 정류비와 적은 접촉저항을 갖게된다. 이 원인을 자세히 고찰해 보면 다음과 같다. 첫째 역포화전류가 매우 크며 체적전도도는 페르미 준위 E_F 가 전도대, 가전자대 또는 이동단어 가까울수록 매우 적으며 둘째 공간전하지역에서의 고전계는 이동도단에 근접한 상태들을 분산시켜, 이동도단을 금지대폭 중앙으로 움직이게 하며, 셋째 장벽에서 불규칙하게 국재화된 전하들이 접촉면에서 강한 전위요동(Potential fluctuation)을 일으키기 때문이다. 이러한 이론적인 배경으로 음극근처에서의 전자축적, 양극근처에서의 정공축적을 고려하여 음극과 양극간의 전위분포를 나타내 보면 그림 2와 같다. 즉 시료에 인가된 전압은 비정질 반도체에 같은 형태로 가해지는 것이 아니라 전극근방과 비정질 반도체 내부와는 약간의 다른 전계가 생기게 된다는 것을 알수있다.

기 위해 사용된 시료는 비정질 반도체 중에서 스위칭 특성이 비교적 안정된 $As_{50}Te_{48}Si_{12}Ge_{10}$ 의 조성비를 가진 칼코게나이드 유리질을 택하여 전에 저자가 보고한¹⁾ 방법과 마찬가지로 제조하였다. 이론적으로 스위칭소자는 두개의 박막 금속전극간에 샌드위치 형태로 칼코게나이드 박막을 구성한 것으로 단순하게 생각할 수 있다. 그러나 실험결과로는 이러한 구조의 소자에서 금속전극과 칼코게나이드 유리질 경계면에서 산소 흡수에 의해 생기는 산화막 또는 증착시 초기의 증착물질 표면에 함유되어 있는 불순물로 인해 나타나는 층에 의해 스위칭 동작시 생기는 'forming'이 'punch-through' 결과로 나타날수 있으므로 스위칭 박막소자의 제작시 산화과정 및 불순물을 최소한으로 막아야한다. 또한 스위칭 동작시 소자에서 축적되는 Capacitive energy의 유출로 생기는 효과에 의해 어느정도 'punch-through'과정을 상쇄시킬수도 있지만, 각 금속전극의 유효면적의 감소에 의해 최소로 줄일수 있다는 보고¹⁰⁾를 통해 본 실험에서는 산화과정을 막기위해 $\sim 1 \times 10^{-5}$ (torr)인 진공속에 초기의 증착물질을 mask로 막아서 불순물층을 없앤후 진공증착을 차례로 행하여 그림 3과 같은 스위칭 소자를 제작했다. 이때 칼코게나이드 유리질의 두께는 $\sim 1[\mu m]$ 정도로 증착이 되었으며 전극면적은 $\sim 0.04[cm^2]$ 정도였다. 금속전극으로 저자가⁸⁾ 실험한 바에 따라 가장 안정된 Al(99.9999%)을 택하여 사용하였다.

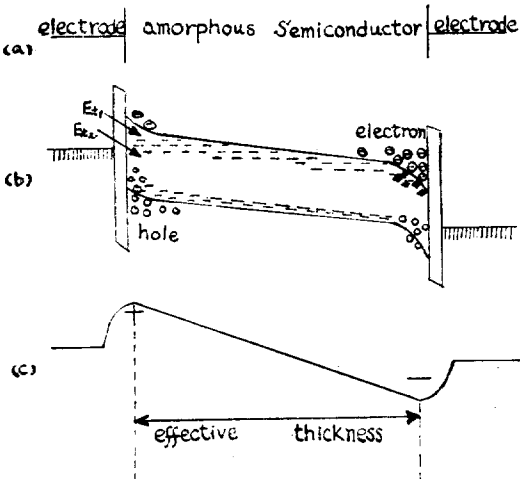


그림 2. 캐리어의 축적을 고려한 비정질반도체의 전위 분포
 Fig. 2. Potential distribution of amorphous semiconductor considering the accumulation of charge carrier.

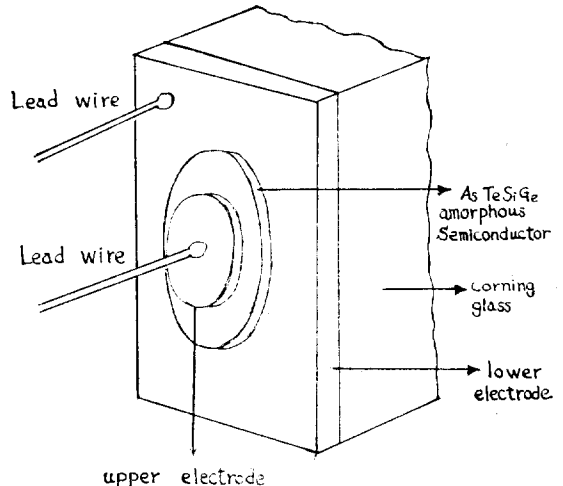


그림 3. 샌드위치구조로 된 스위칭 박막소자
 Fig. 3. Switching thin film device with sandwich structure.

III. 실험 및 결과고찰

(1) 스위칭 박막소자의 제작

금속전극과 비정질 반도체간의 경계면상태를 조사하

(2) 캐퍼시턴스의 전압 및 주파수특성

경계면 상태를 고찰하기 위해 캐퍼시턴스의 직류전압 및 주파수 의존성을 측정하였다. 이때 측정방법은

소자의 파괴를 막기 위해 1[kΩ]의 저항을 직렬로 연결하고 캐피시턴스를 전압과 주파수의 함수로서 Impedance bridge(Yokogawa-Hewlett-Packard, 42 60A)와 Analyzer ZM-3A/UFederal Television Corp.)를 사용하여 전압범위를 0~8[V]로 하고 주파수는 발진기를 통해 20[Hz]~100[kHz]의 범위에서 측정하였다. 또한 분석에 도움을 주기 위해 저항도 캐피시턴스와 동시에 측정하였다. 측정결과 그림 4와 5 및 그림 6과 7과 같다.

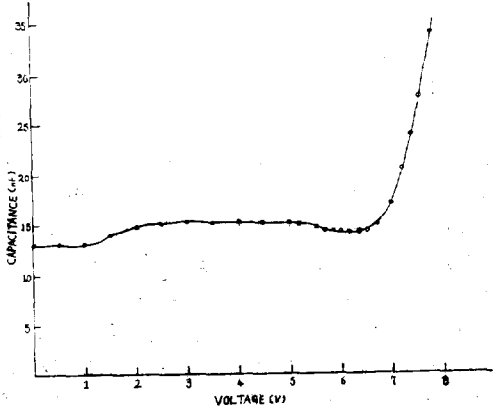


그림 4. 캐피시턴스-전압특성 .
Fig. 4. Capacitance-voltage characteristic curve.

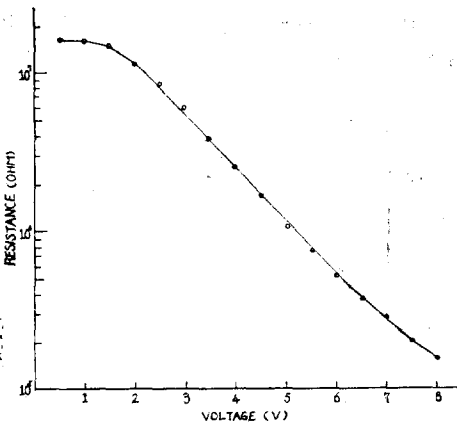


그림 5. 저항-전압특성 곡선
Fig. 5. Resistance-voltage characteristic curve.

캐피시턴스와 저항이 직류전압 의존성은 그림 4와 5에서 보는 바와같이 캐피시턴스는 인가전압에 거의 변화를 받지않는 영역 즉 'ohmic'영역의 범위를 초월하면 전압에 따라 크게 증가하는 경향을 보이며 저항은 인가전압에 따라 점차 감소됨을 알 수 있다. 이는 'pre-switch' 상태에서 박막내에 캐리어의 주입에 따라 측정되는 전하의 영향을 나타낸 것으로 보인다(그림 2참조).

또한 캐피시턴스와 저항의 주파수 의존성은 그림 6과 7에서 보는 바와 같이 저주파에서는 변화가 없지만 주파수가 증가됨에 따라 감소되기 시작한다. 이는 비

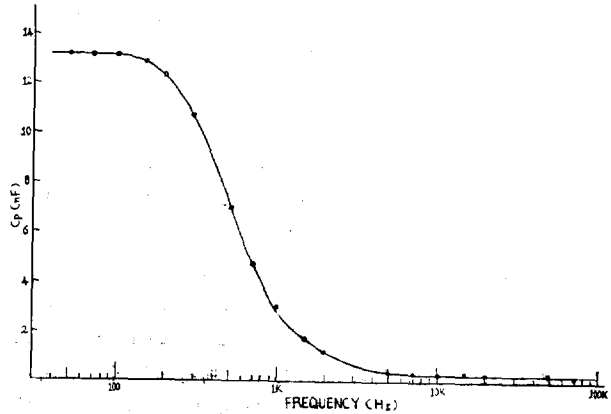


그림 6. 캐피시턴스-주파수 특성
Fig. 6. Capacitance-frequency characteristic curve.

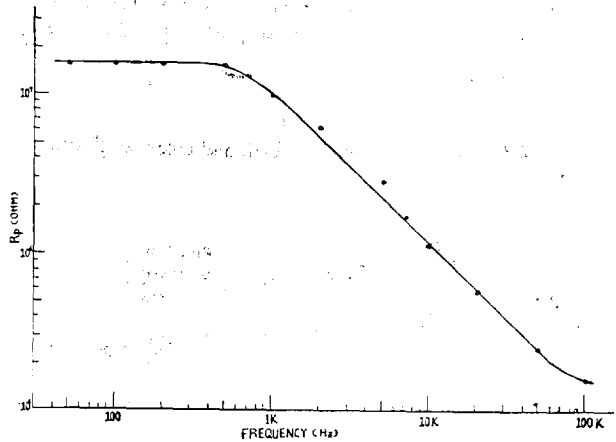


그림 7. 저항-주파수 특성 곡선
Fig. 7. Resistance-frequency characteristic curve.

정질 반도체내에 페르미준위 E_F 가 금지대폭 중앙에 놓이기 때문에 표면 근처의 어떤 에너지대의 bending이 건 간에 bulk보다는 박막이 좀더 전도성이 되는 공간 저하층을 형성하려고 하기 때문이다. 또한 $C_p(w)$ 의 주파수에 따른 증가는 접촉영역 근처에 고저항 영역이 나타나기 때문이다. 저주파에서 캐피시턴스는 고주파에서 보다 약 40배 정도 높다. 이 특성은 그림 8에서 보는 바와 같은 등가회로를 구성하므로써 해석할 수 있다. 일단 한쪽 접촉영역에 금속-비정질 반도체간에 고저항 합금영역이 존재한다고 가정하여 그린 것이다. 여기서 d_1 은 캐피시턴스 C_1 과 저항 R_1 을 가진 합금영

역이고 d_2 는 캐퍼시턴스 C_2 와 저항 R_2 를 가진 박막영역이다. 그림 8에서 등가 병렬 캐퍼시턴스 C_p 와 저항 R_p 를 수식적으로 구해보면 다음과 같다.

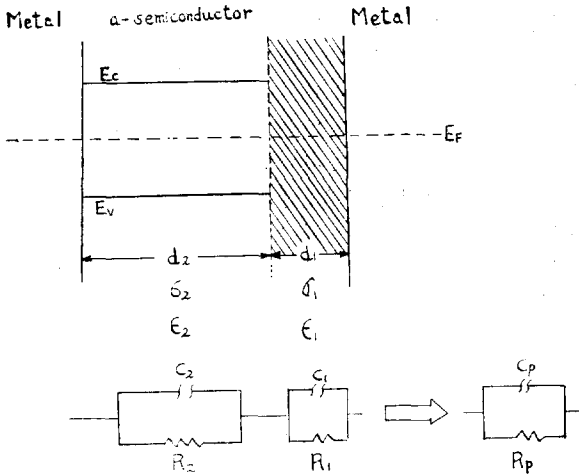


그림 8. 분석을 위한 등가회로
Fig. 8. Equivalent circuit for analysis.

$$C_p = \frac{R_1^2 C_1 + R_2^2 C_2 + w^2 R_1^2 R_2^2 C_1 C_2 (C_1 + C_2)}{(R_1 + R_2)^2 + w^2 R_1^2 R_2^2 (C_1 + C_2)^2} \quad (1)$$

$$R_p = \frac{(R_1 + R_2)^2 + w^2 R_1^2 R_2^2 (C_1 + C_2)^2}{(R_1 + R_2) + w^2 [R_2 (R_1 C_1)^2 + R_1 (R_2 C_2)^2]} \quad (2)$$

만일 여기서 $C_1 \gg C_2$ 라고 가정하면 직류와 저주파($w \rightarrow 0$)의 경우는 다음과 같다.

$$C_p(0) \cong \frac{C_1 R_1^2}{(R_1 + R_2)^2} \quad (3)$$

$$R_p(0) \cong R_1 + R_2 \quad (4)$$

또한 고주파($w \rightarrow \infty$)의 경우를 구해보면 다음과 같다.

$$C_p(\infty) \cong \frac{C_1 C_2}{C_1 + C_2} \cong C_2 \quad (5)$$

$$R_p(\infty) \cong R_2 \quad (6)$$

여기서 소자의 캐퍼시턴스 $C_p(\infty) \cong C_2$ 와 전체저항 $R_p(0) \cong R_1 + R_2$ 는 정확히 측정할 수 있다. 나머지 양인 C_1 과 R_1 는 실험치를 식 (1)과 (2)에 넣어 구할 수 있다. 구해본 결과 대략 C_1 은 12930[PF], C_2 는 220[PF], R_1 은 15560[kΩ], R_2 는 140[kΩ] 정도였다. 이 값을 박막두께 1[μm], 유효전극면적 4×10^{-6} [m²]을 대입하면 bulk 비저항 ρ_1 은 대략 6.25×10^7 [Ω·m]정도, 유효함공영역 비저항 ρ_2 는 대략 2.5×10^{10} [Ω·m]정도가 된다. 이러한 실험결과로 앞에서 지정한 바와 같이 비정질 반도체는 저저항층과 고저항함공영역을 갖게됨을 알 수 있다.

(3) 전압-전류특성

스위칭 동작기구를 규명하기 위해 'pre-switch'상태의 전압-전류특성을 측정하였다. 이때 측정 방법은 박막 스위칭소자의 파괴를 막기위해 10[kΩ]의 저항을 직렬로 연결하고 VTVM(Millivac MV-852A)와 PAmeter(TOA PM-18C)를 사용하여 0~8[V]까지 측정하였다. 측정 결과는 그림 9와 같다. 초기 전압범위에서는 $R(V)$ 특성과 마찬가지로 'ohmic'특성이 나타나며 그 이후에는 전류가 지수함수적인 증가를 보였다. 'pre-switch'상태에서의 전기전도 기구는 앞서 서론에서 분류한 바와 같이 공간전하제한전류 SCLC에 따른다고 가정하여 고찰해보자. 우선 'ohmic'특성인 경우 주입되는 캐리어의 밀도는 열적 평형상태를 이룬 캐리어 밀도 보다 훨씬 적기 때문에 박막내에는 공간전하영역은 형성되지 않는다. 이때 전류밀도 방정식을 나타내보면 다음과 같다.

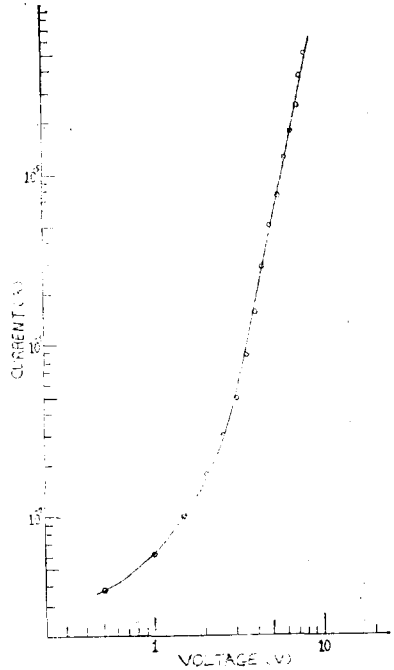


그림 9. 전압-전류 특성곡선
Fig. 9. Current-voltage characteristic curve.

$$J = e(n_0 \mu_n + p_0 \mu_p) \frac{V}{L} \quad (7)$$

여기서 n_0 와 p_0 는 전자와 정공밀도이고, μ_n 과 μ_p 는 전자와 정공의 이동도이며, L 은 박막 두께이다. 이상태후 SCLC가 흐른다고 가정하면 그림 2에서 보는 바와 같이 부의 공간전하영역은 캐소우드 근처에서 형성

되며 정의 공간전하 영역은 애노우드 근처에서 형성되어 전체 전류밀도는 전자트랩제한 전류와 정공트랩제한 전류가 호르르게 된다. 이를 수식적으로 표현해보면 다음과 같다.

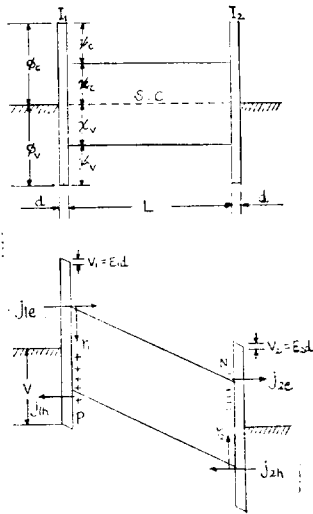


그림 10. 이중주입시 전류흐름
Fig. 10. Current flow under double injection condition.

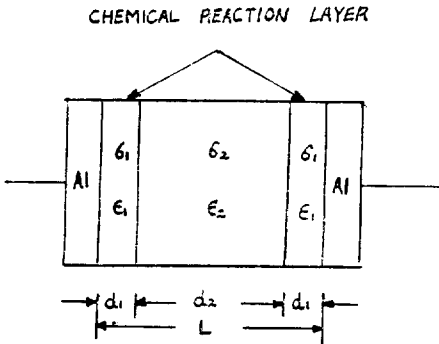


그림 11. 실험결과로 제안한 3층 구조 모델
Fig. 11. Three layer structure model introducing experimental results.

$$J = J_n + J_p = \frac{q}{8} \epsilon (\mu_n + \mu_p) \frac{V^2}{L^3} \quad (8)$$

그러나 이러한 해석은 접촉부근에 경계면 상태를 무시한 상태로 본 것이며 이미 앞서 나타낸 바와 같이 박막과 금속의 접촉경계에는 'non-ohmic' 특성을 나타내는 경계면 상태가 존재하고 있으므로 그림 10과 같은 박막내의 전류흐름을 나타내 보자. 우선 그림 10과 같이 금속-비정질 반도체간에 경계면 상태가 나타난다고 가정하자. 전극으로부터 비정질 반도체로의 전류흐름은 절연장벽을 통한 터널과정으로 나타나게 될 것이

다. 일단 터널된 전류는 다시 재결합 전류가 생기게 될 것이며 나머지 전류흐름은 SCLC로 생각해야 한다. 그림 10에서 ϕ_c 와 ϕ_v 는 각각 입출구의 에너지 장벽이며 d 는 절연층의 두께이다. 이때 대칭성은 대칭적인 소자의 특성의 결과에 따라 단순화 시킨 것이다. 경계면에서의 전압강하를 $V_1 = V_2 = V_d$ 라 하고 박막에서의 전압강하를 V_L 이라 하면 인가된 전압강하는 $V_L + 2V_d$ 가 된다. 결국 (7)식과 (8)에 나타난 전류는 V_L 에 해당되는 부분으로 경계면에서 터널되어 들어오는 전류는 재결합되는 전류의 합으로 생각하여 약간의 수정이 불가피하다. 이제까지의 실험결과로 보아 그림 11과 같은 3층 구조의 모델을 제안해 보자. 이때 경계면에는 화학적으로 반응된 고저항 합금 영역이 생기며 여기서의 전도도 σ_1 와 유전상수 ϵ_1 는 박막내의 값과 다른 값을 갖는다. 이 모델에서 보면 전압을 인가하는데 따라 경계면의 전도도 σ_1 는 시간적으로 비정질 반도체 박막 내부에 비교해서 증가하게 된다. 결국 실제 스위칭에 기여하는 영역은 d_2 이며 양쪽의 d_1 영역은 절연층을 이루게 되어 'pre-switch' 상태에 큰 역할을 하게 된다.

IV. 결 론

비정질 반도체의 전기전도기구를 포함해서 캐퍼시턴스의 의존성을 조사한 결과 전극-비정질 반도체의 경계면 상태에 대하여 다음과 같은 결론을 내릴 수 있다.

(1) 전극-비정질 반도체간의 경계면 상태를 고찰하기 위해서는 시료제조사 산화과정 및 불순물을 최소화으로 막아야 한다.

(2) $C(V)$ 및 $R(V)$ 특성에서는 'ohmic' 영역까지는 아무런 변화를 보이지 않으나 이후의 전압범위에서는 캐퍼시턴스는 전압에 따라 증가하는 반면 저항은 감소되었다. 이는 캐리어의 이중 주입으로 인해 축적되는 전하량의 증가를 나타내며 결과적으로 저항의 감소가 초래된다.

(3) $C_p(w)$ 와 $R_p(w)$ 특성에서는 등가회로로서 설명된 바와 같이 전극 부근에 고저항 합금영역이 나타남으로 인해 고주파에서는 병렬 캐퍼시턴스와 저항 모두 감소된다.

(4) $I-V$ 특성으로 보아 pre-switch 상태에서는 ohmic영역후 새로운 전류형태가 호르며 이는 $C(V)$ 및 $R(V)$ 으로부터 캐리어의 이중주입으로 인한 공간전하 제한전류(SCLC) 형태로 해석하는 것이 바람직하다.

(5) $I-V$ 특성시 양 전극 근처의 고저항 합금영역이 나타남으로써 전체 박막의 전압강하는 박막자체의 전압강하와 양 고저항 합금영역에서의 전압강하도 고려해야 한다.

이상의 결론으로서 아직 pre-switch상태의 전도기구를 수식적으로 표현하지 못하였으나 캐리어의 이중주입 형태의 공간전하 제한전류(SCLC)로 해석하면 스위칭 동작기구를 규명하리라 믿는다.

참 고 문 헌

- 1) S.R. Ovshinsky, "Reversible Electrical Switching Phenomena in Disorderd Structures" Phys. Rev. Lett. Vol. 21, pp.1450~1453, 1968.
- 2) M.H. Cohen, "Basic Concepts in the Theory of Amorphous Semiconductors" Proc. 10th. Intl. Conf. on the Physic of Semicon., Cambr. Mass., pp. 645~652, 1970.
- 3) H. Fritzsche and S.R. Ovshinsky, "Electronic Conduction in Amorphous Semiconductors and the Physic of the Switching Phenomena" J. of Non-Cryst. Solids, Vol. 2, pp.393~405, 1970.
- 4) T. Miyazono, Y. Akiba and M. Iida, "Switching Characteristics in Amorphous Semiconductors" Jan. J. of Appl. Phys. Vol. 14, No. 7, pp.969~976, 1975.
- 5) H.K. Henisch, E.A. Fagen and S.R. Ovshinsky, "A Qualitative Theory of Electrical Switching Process in Monostable Amorphous Structures" J. of Non-Cryst. Solids. Vol. 4, pp.538~547, 1970.
- 6) H.K. Henisch and G.J. Vendura, Jr. "Characteristics of Ovonic Threshold Switches with Crystalline Semiconductor Electrodes." Appl. Phys. Lett, Vol. 19, pp.363~365, 1971.
- 7) H.Y. Wey, "Surface of Amorphous Semiconductors and their Contacts with Metals." Phys. Rev. B. Vol. 13, No. 8, pp.3495~3505, 1976.
- 8) 박창엽, 정홍배 "As-Te-Si-Ge 비정질박막스위칭 소자의 전극영향에 관한 연구" 대한전기학회지 Vol. 25, No. 1, pp.104~107, 1976.
- 9) H. Fritzsche, "Electronic Properties of Amorphous Semiconductors in Amorphous and Liquid Semiconductors" edited by J. Tauc. (Plenum Press. New York, 1974) pp.221~312, 1974.
- 10) H.S. Reehal and C.B. Thomas, "A Study of High-Field Transient conduction in Amorphous Films of $Si_{12}Te_{48}As_{30}Ge_{10}$ " J. Phys. D: Appl. Phys., Vol. 11, pp. 927~935, 1978.